



(12) 发明专利申请

(10) 申请公布号 CN 102338959 A

(43) 申请公布日 2012. 02. 01

(21) 申请号 201110279994. 1

(22) 申请日 2011. 09. 20

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区光明大道 9-2 号

(72) 发明人 陈虹瑞

(74) 专利代理机构 深圳市百瑞专利商标事务所

(普通合伙) 44240

代理人 邢涛 田夏

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/1333(2006. 01)

G02F 1/13(2006. 01)

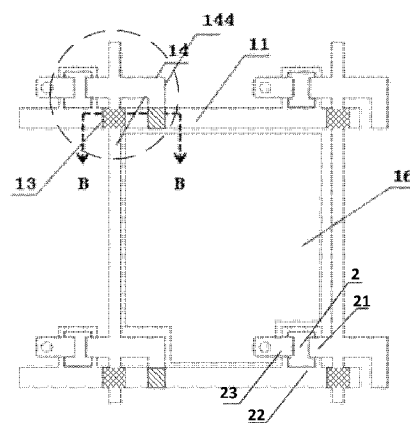
权利要求书 1 页 说明书 4 页 附图 6 页

(54) 发明名称

阵列基板、液晶显示装置及阵列基板的制造和修复方法

(57) 摘要

本发明公开一种阵列基板、液晶显示装置及阵列基板的制造和修复方法。所述薄膜晶体管液晶显示器阵列基板包括像素电极、栅线和数据线,所述栅线和数据线交叠处形成一寄生电容;所述数据线还设置有分支部,所述分支部与所述栅线叠交形成与所述寄生电容并联的保护电容,所述保护电容的耐压小于所述寄生电容。本发明由于选用数据线设置分支部,跟栅线叠交形成与寄生电容并联的耐压更小的保护电容,由于数据线位于顶层,因此后期修复的时候更容易。



1. 一种薄膜晶体管液晶显示器阵列基板,其包括栅线和数据线,所述栅线和数据线交叠处形成一寄生电容,其特征在于:所述数据线还设置有分支部,所述分支部与所述栅线交叠形成与所述寄生电容并联的保护电容,所述保护电容的耐压小于所述寄生电容。

2. 如权利要求1所述的薄膜晶体管液晶显示器阵列基板,其特征在于所述保护电容两电极之间的间距小于所述寄生电容两电极之间的间距。

3. 如权利要求2所述的薄膜晶体管液晶显示器阵列基板,其特征在于所述保护电容与寄生电容形成于同一栅线上。

4. 如权利要求1所述的薄膜晶体管液晶显示器阵列基板,其特征在于所述保护电容两电极的正对面积大于所述寄生电容两电极的正对面积。

5. 如权利要求4所述的薄膜晶体管液晶显示器阵列基板,其特征在于所述保护电容两电极之间的间距小于所述寄生电容两电极之间的间距。

6. 如权利要求4所述的薄膜晶体管液晶显示器阵列基板,其特征在于所述保护电容两电极之间的间距等于所述寄生电容两电极之间的间距。

7. 一种液晶显示装置,其特征在于所述液晶显示装置包括如权利要求1~6任一所述的薄膜晶体管液晶显示器阵列基板。

8. 一种薄膜晶体管液晶显示器阵列基板的制造方法,包括以下步骤:

A:在阵列基板上通过成膜、曝光、刻蚀工艺形成栅线、栅极;

B:直接沉积绝缘层,通过成膜、曝光、刻蚀工艺形成有源层图形、数据线、分支部、源极和漏极;所述数据线与所述栅线交叠,形成寄生电容;所述分支部与相应栅线交叠,以形成与所述寄生电容并联的耐压小于所述寄生电容的保护电容。

9. 如权利要求8所述的一种薄膜晶体管液晶显示器阵列基板的制造方法,其步骤B包括以下步骤:

B1:直接沉积绝缘层,通过成膜、曝光、刻蚀工艺在所述栅线对应的位置形成有源层图形;

B2:通过成膜、曝光、刻蚀工艺形成数据线、分支部、源极和漏极。所述数据线与所述栅线交叠,形成寄生电容;所述分支部与相应栅线交叠,成与所述寄生电容并联的耐压小于所述寄生电容的保护电容。

10. 一种如权利要求1~6任一所述的薄膜晶体管液晶显示器阵列基板修复方法,包括以下步骤:

A:定位被击穿的保护电容位置;

B:割断所述保护电容相应的分支部。

阵列基板、液晶显示装置及阵列基板的制造和修复方法

技术领域

[0001] 本发明涉及液晶显示领域,更具体的说,涉及一种阵列基板、液晶显示装置及阵列基板的制造和修复方法。

背景技术

[0002] 现有技术如图 1 所示,液晶显示装置包括液晶面板,液晶面板包括阵列基板,所述阵列基板包括多个薄膜晶体,与薄膜晶体漏极连接的像素电极、与薄膜晶体栅极连接的栅线,与薄膜晶体源极连接的数据线;所述薄膜晶体的栅极和源极交接处(Crossover),于制程上,交接处形成寄生电容,当电荷不断聚集,容易发生静电放电(ESD)击穿而导致栅线与数据线短路(DGS 线不良),而易发生静电放电击穿的寄生电容没有提供保护措施,由于其位置原因,一旦被击穿便难以修复,可靠性较差,这样可能造成整块液晶面板报废,产生不必要的浪费。发明专利 CN200810057694.7 公开了一种薄膜晶体管液晶显示器阵列基板的像素结构,该技术方案利用栅线与数据线叠交形成与寄生电容并联的保护电容,利用保护电容间距小于寄生电容,造成耐压小于寄生电容的特性,在发生静电放电(ESD)的时候会先击穿保护电容,从而保护了寄生电容。该技术方案解决了寄生电容静电击穿的问题,但也存在一些问题,在五次掩膜工艺生产的阵列基板中,栅线位于底层,其上面依次存在第一绝缘层、数据线和第二绝缘层,一旦保护电容被击穿,修复难度比较大。

发明内容

[0003] 本发明所要解决的技术问题是提供一种设有低成本、修复方便的保护电容的阵列基板、液晶显示装置及阵列基板的制造和修复方法。

[0004] 本发明的目的是通过以下技术方案来实现的:

[0005] 一种薄膜晶体管液晶显示器阵列基板,其包括像素电极、栅线和数据线,所述栅线和数据线交叠处形成一寄生电容;所述数据线还设置有分支部,所述分支部与所述栅线叠交形成与所述寄生电容并联的保护电容,所述保护电容的耐压小于所述寄生电容。

[0006] 优选的,所述保护电容两电极之间的间距小于所述寄生电容两电极之间的间距。一种保护电容耐压小于寄生电容的实施方式,缩短电容两电极之间的间距可以降低耐压。

[0007] 优选的,所述保护电容与寄生电容形成于同一栅线上。栅线不产生分支部,完全由相应的数据线的分支部延伸出来,与所述栅线交叠形成保护电容,这样工艺简单。

[0008] 优选的,所述保护电容两电极的正对面积大于所述寄生电容两电极的正对面积。另外一种保护电容耐压小于寄生电容的实施方式,增大电容两电极之间的正对面积可以降低耐压。

[0009] 优选的,所述保护电容两电极的正对面积大于所述寄生电容两电极的正对面积;所述保护电容两电极之间的间距小于所述寄生电容两电极之间的间距。增大电容两电极之间的正对面积的技术方案在基于五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板上的应用。

[0010] 优选的,所述保护电容两电极之间的间距等于所述寄生电容两电极之间的间距。增大电容两电极之间的正对面积的技术方案在基于四次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板上的应用。

[0011] 一种液晶显示装置,其特征在于所述液晶显示装置包括上述的薄膜晶体管液晶显示器阵列基板。

[0012] 一种薄膜晶体管液晶显示器阵列基板的制造方法,包括以下步骤:

[0013] A:在阵列基板上通过成膜、曝光、刻蚀工艺形成栅线、栅极;

[0014] B:直接沉积绝缘层,通过成膜、曝光、刻蚀工艺形成有源层图形、数据线、分支部、源极和漏极;所述数据线与所述栅线交叠,形成寄生电容;所述分支部与相应栅线交叠,以形成与所述寄生电容并联的耐压小于所述寄生电容的保护电容。

[0015] 优选的,一种薄膜晶体管液晶显示器阵列基板的制造方法,其步骤B包括以下步骤:

[0016] B1:直接沉积绝缘层,通过成膜、曝光、刻蚀工艺在所述栅线对应的位置形成有源层图形;

[0017] B2:通过成膜、曝光、刻蚀工艺形成数据线、分支部、源极和漏极。所述数据线与所述栅线交叠,形成寄生电容;所述分支部与相应栅线交叠,成与所述寄生电容并联的耐压小于所述寄生电容的保护电容。此为五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板的制作方法。

[0018] 一种上述薄膜晶体管液晶显示器阵列基板修复方法,包括以下步骤:

[0019] A:定位被击穿的保护电容位置;

[0020] B:割断所述保护电容相应的分支部。

[0021] 本发明由于选用数据线设置分支部,跟栅线叠交形成与寄生电容并联的耐压更小的保护电容,使得在发生静电放电(ESD)的时候,会首先击穿保护电容,降低寄生电容击穿的机率,由于保护电容的设置位置灵活,被击穿后的保护电容可以通过切断的方式方便的进行修复,使数据线分支线脱离数据线,确保整个像素(Pixel)正常工作,提高了液晶显示装置的可靠性。而由于数据线位于顶层,因此后期修复的时候更容易。

附图说明

[0022] 图1是现有技术中的阵列基板示意图;

[0023] 图2是现有技术中的阵列基板沿A-A方向的剖面图;

[0024] 图3是本发明创造的阵列基板示意图;

[0025] 图4是本发明创造的局部放大图;

[0026] 图5是本发明创造中的阵列基板沿B-B方向的剖面图;

[0027] 图6是本发明创造中的寄生电容和保护电容的等效电路图。

图7是本发明实施例二阵列基板的剖面示意图;

图8是本发明实施例二寄生电容和保护电容的等效电路图;

[0028] 其中:100、玻璃基板;11、栅线;12、绝缘层;13、有源层;14、数据线;15、保护层;16、像素电极;144、数据线分支线;2、薄膜晶体;21、源极;22、栅极;23、漏极;31、寄生电容;32、保护电容。

具体实施方式

[0029] 下面结合附图和较佳的实施例对本发明作进一步说明。

[0030] 如图 3 所示,一种液晶显示装置,包括阵列基板,所述阵列基板包括多个薄膜晶体 2,每个薄膜晶体 2 包括一个与数据线 14 连接的源极 21、一个与栅线 11 连接的栅极 22,一个与像素电极 16 连接的漏极 23,所述栅极 22 和源极 21 在相应的数据线 14 和栅线 11 相交处形成寄生电容 31,所述数据线 14 还设置有分支部 144,所述分支部 144 与所述栅线 22 叠交形成与寄生电容 31 并联的保护电容 32,所述保护电容 32 的耐压小于寄生电容 31。下面结合优选实施方式进一步阐释本发明的构思:

[0031] 实施例一、液晶显示装置的基于五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板实施方式:如图 4~6 所示,将薄膜晶体 2 的源极 21 的数据线往外延伸形成分支部 144,分支部 144 就近向相邻的栅线 11 折弯直至与栅线 11 叠交为止,叠交区域形成所述保护电容 32,即所述保护电容 32 与寄生电容 31 形成于同一栅线上。由于寄生电容 31 一端与保护电容 32 共用一条栅线 11,而寄生电容 31 另一端与源极 21 连通,即与分支部 144 连通,因此寄生电容 31 和保护电容 32 在电气上并联。

[0032] 如图 5 所示,所述阵列基板从下至上依次包括玻璃基板 100、栅线 11、绝缘层 12、数据线 14、保护层 15,分支部 144 和数据线 14 位于同一层。所述栅线 11 和数据线 14 相交区域还设有源层 13,而分支部 144 和栅线 11 的相交区域却没有源层,因此,形成寄生电容的数据线 14 和栅线之间的间距 $D1$ 与形成保护电容的分支部 144 和栅线 11 之间的间距 $D2$ 相比, $D1 > D2$ 。从图 5 等效电路图可见,保护电容 32 与寄生电容 31 并联设置,两个电容的两端电压 V 是相同的,依据电场强度公式:

[0033] $E = \text{电压 } V / \text{两极间距离 } D$;

[0034] D 越小,电场 E 越大,电容越容易被击穿,因此当发生静电放电 (ESD) 击穿时,保护电容 32 比寄生电容 31 更容易被击穿。也就是说当栅线 11 与数据线 14 上存在静电到临界值时,本发明设计的保护电容 32 将会被击穿,从而释放了静电,保护了原寄生电容 31。由于保护电容的设置位置灵活,被击穿后的保护电容 32 可以通过激光 (laser) 方式进行修复,使分支部 144 脱离数据线 14,确保整个像素 (Pixel) 正常工作。

[0035] 所述五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板的制造方法包括以下步骤:

[0036] A:在阵列基板上通过成膜、曝光、刻蚀工艺形成栅线、栅极;

[0037] B1:直接沉积绝缘层,通过成膜、曝光、刻蚀工艺在所述栅线对应的位置形成有源层图形;

[0038] B2:通过成膜、曝光、刻蚀工艺形成数据线、分支部、源极和漏极。所述数据线与所述栅线交叠,形成寄生电容;所述分支部与相应栅线交叠,成与寄生电容并联的耐压小于寄生电容的保护电容。

[0039] C:通过成膜、曝光、刻蚀工艺形成过孔;

[0040] D:通过成膜、曝光、刻蚀工艺形成像素电极,该像素电极通过过孔与源极导通。

[0041] 所述薄膜晶体管液晶显示器阵列基板修复方法,包括以下步骤:

[0042] A:定位被击穿的保护电容位置;

[0043] B:可以采用激光等方式割断所述保护电容相应的分支部。

[0044] 实施例二、液晶显示装置的基于四次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板实施方式：如图 4 所示，将薄膜晶体 2 的源极 21 的数据线往外延伸形成分支部 144，分支部 144 就近向相邻的栅线 11 折弯直至与所述栅线 11 叠交为止，叠交区域形成所述保护电容 32，即所述保护电容 32 与寄生电容 31 形成于同一栅线上。由于寄生电容 31 一端与保护电容 32 共用一条栅线 11，而寄生电容 31 另一端与所述源极 21 连通，即与分支部 144 连通，因此所述寄生电容 31 和保护电容 32 在电气上并联。

[0045] 如图 7 所示，所述阵列基板从下至上依次包括玻璃基板 100、栅线 11、绝缘层 12、数据线 14、保护层 15，分支部 144 和数据线 14 位于同一层。比较发现：形成寄生电容的数据线 14 和栅线之间，以及形成保护电容的分支部 144 和栅线 11 之间都设有有源层 13 和绝缘层，因此两个电容的两个电极之间的间距是相等的，但是保护电容 32 两电极的正对面积 S_2 大于所述寄生电容 31 两电极的正对面积 S_1 。

[0046] 从图 8 等效电路图可见，保护电容 32 与寄生电容 31 并联设置，并且保护电容 32 两电极的正对面积 S_2 大于所述寄生电容 31 两电极的正对面积 S_1 ，在电压相同、介质相同、间距相同的情况下，随着电容电极面积的增加，电容的击穿时间变短，因此在产生静电电压差的时候，保护电容 32 会先于寄生电容 31 击穿，从而保护了寄生电容。

[0047] 现有技术中，为了在四次掩膜工艺生产的阵列基板中实现保护电容的间距小于寄生电容，需要将栅线的分支部拆分成处于不同层的延伸部和导线部，然后用过孔实现这两部分的电气连接，这样就需要增加多个工艺步骤，成本较高，而采用本发明的方案，分支部与数据线处于同一层，不会额外增加现有阵列基板的加工工序，加工更简单，成本更低。

[0048] 从实施例一的分析可知，电容间距缩短会缩短电容的击穿时间，而本实施例中，增加电容正对面积也能缩短电容的击穿时间，因此，本实施方式同样适用于五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板，而且配合间距的缩短，保护效果更好。由于实施例一详细介绍了基于五次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板的构造、制造方法和修复方法，本实施例不再赘述。

[0049] 所述四次掩膜工艺制造的薄膜晶体管液晶显示器阵列基板的制造方法包括以下步骤：

[0050] A：在阵列基板上通过成膜、曝光、刻蚀工艺形成栅线、栅极；

[0051] B：直接沉积绝缘层，通过成膜、曝光、刻蚀工艺形成有源层图形、数据线、分支部、源极和漏极；所述数据线与所述栅线交叠，形成寄生电容；所述分支部与相应栅线交叠，成与所述寄生电容并联的耐压小于所述寄生电容的保护电容。

[0052] C：通过成膜、曝光、刻蚀工艺形成过孔；

[0053] D：通过成膜、曝光、刻蚀工艺形成像素电极，该像素电极通过过孔与源极导通。

[0054] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

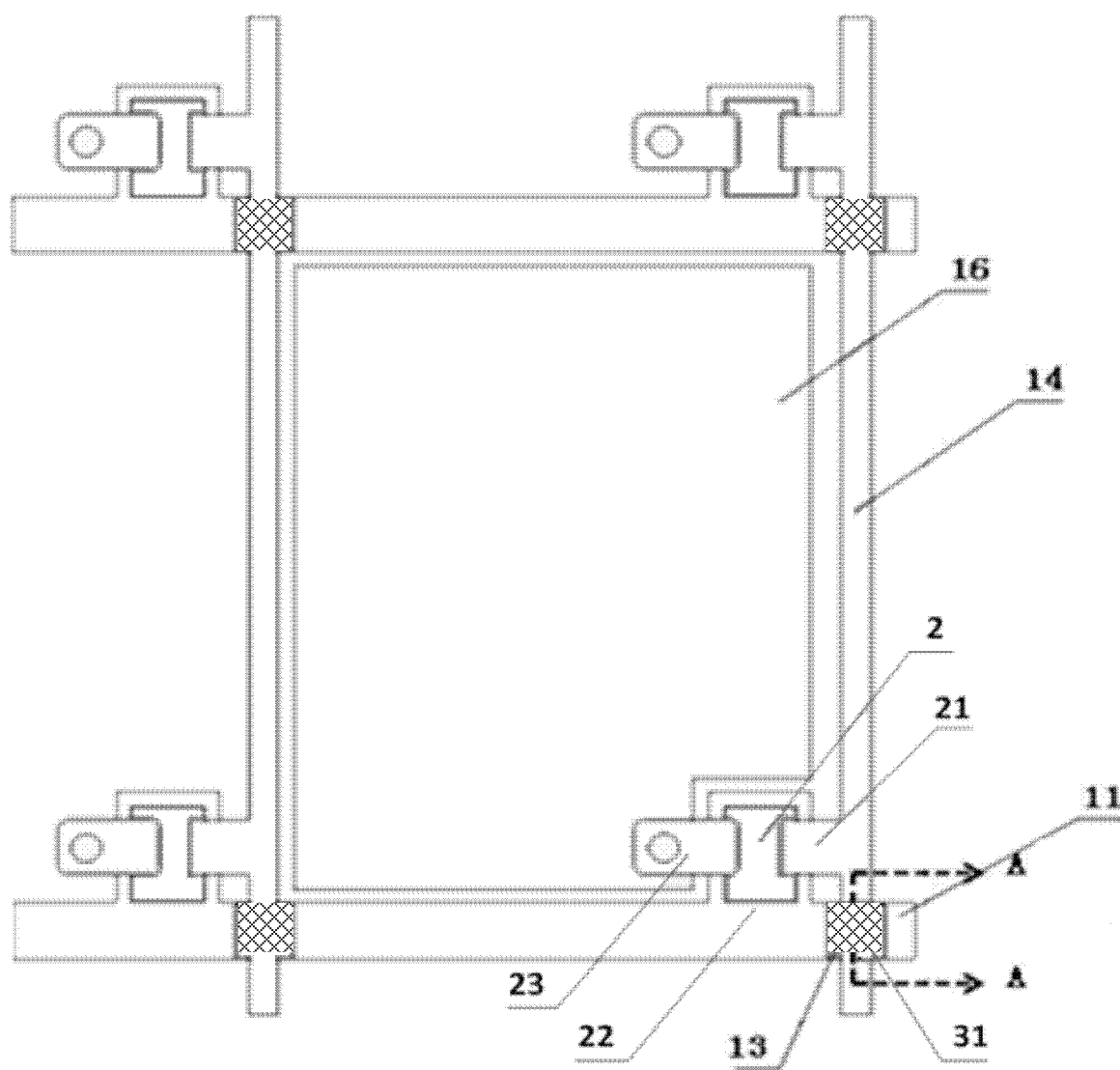


图 1

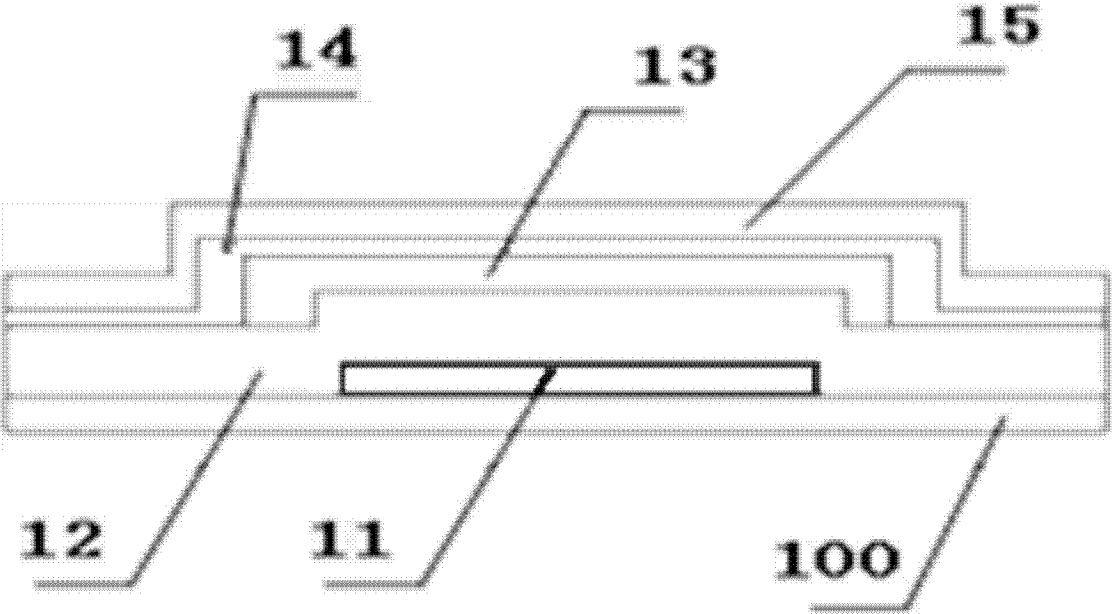


图 2

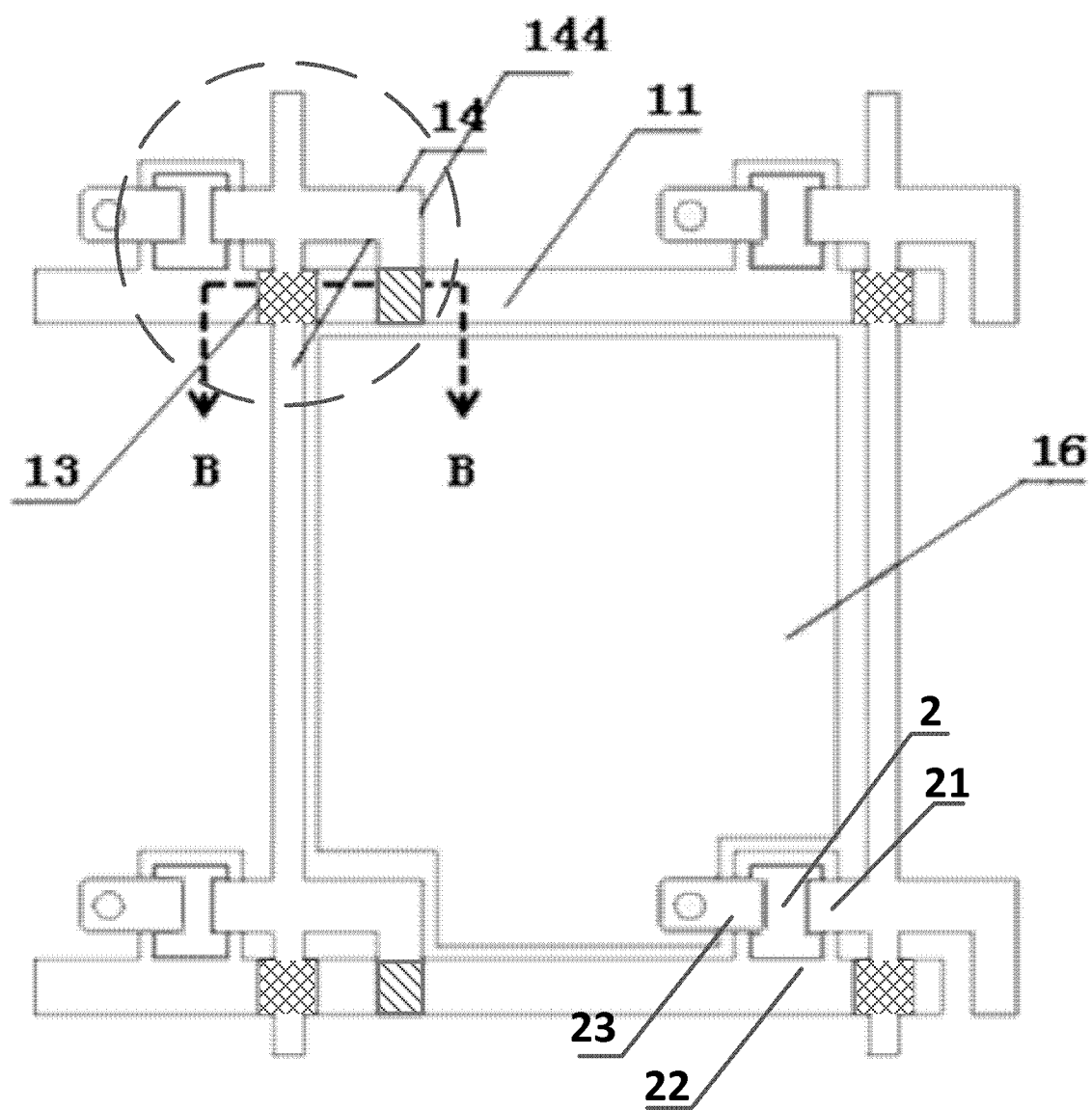


图 3

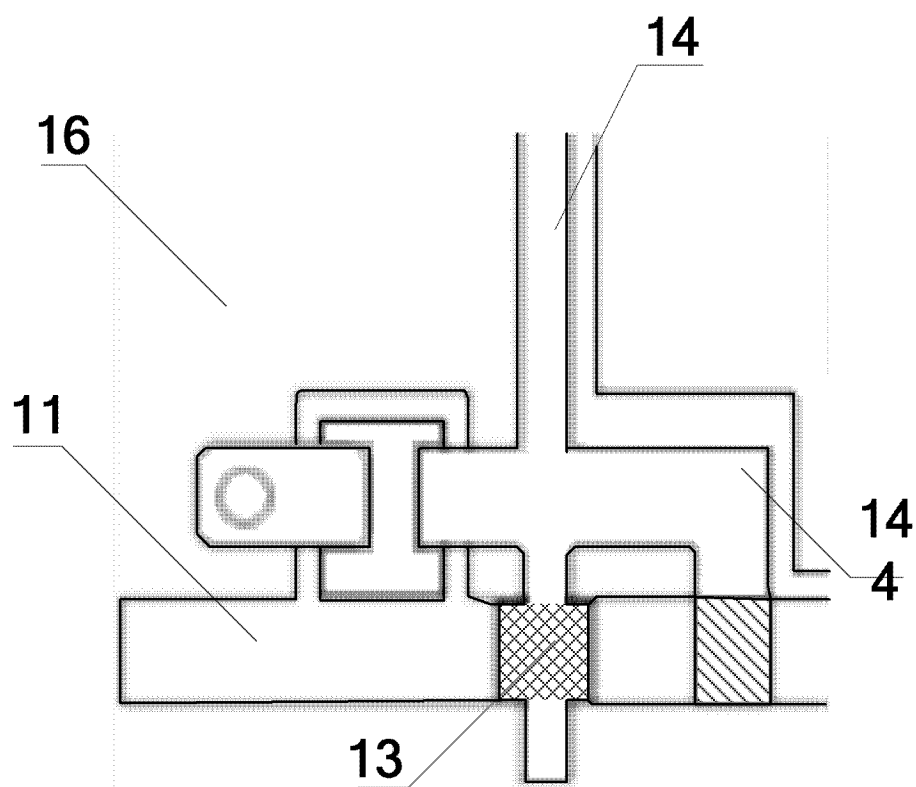


图 4

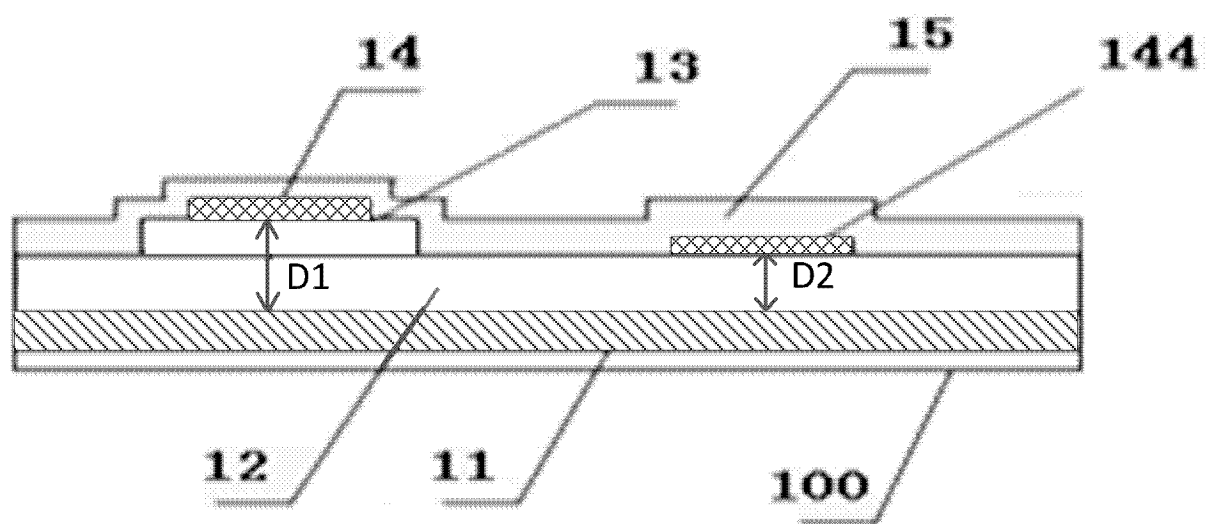


图 5

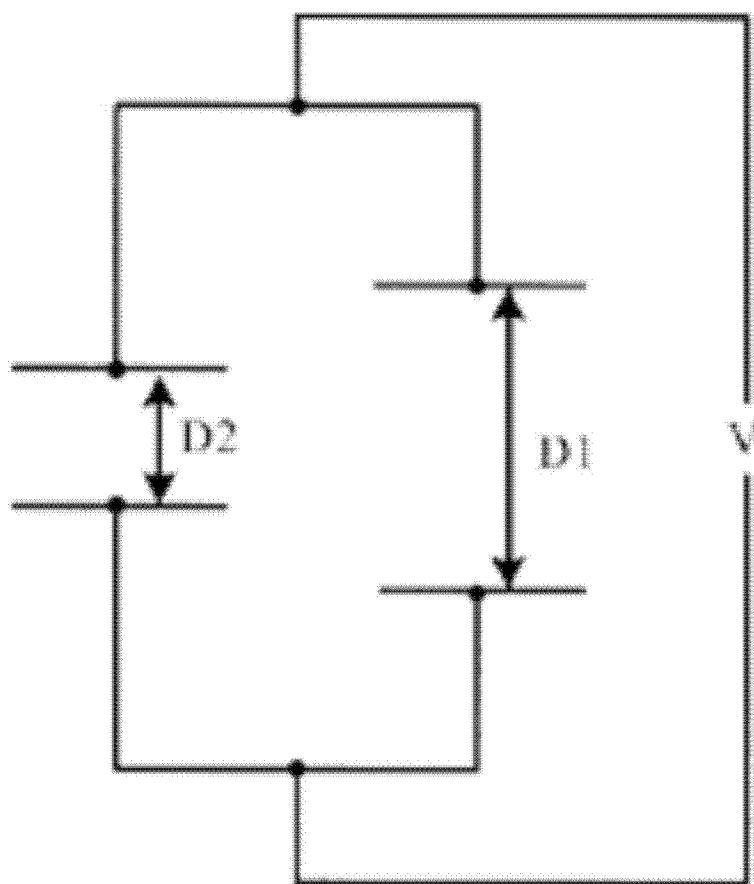


图 6

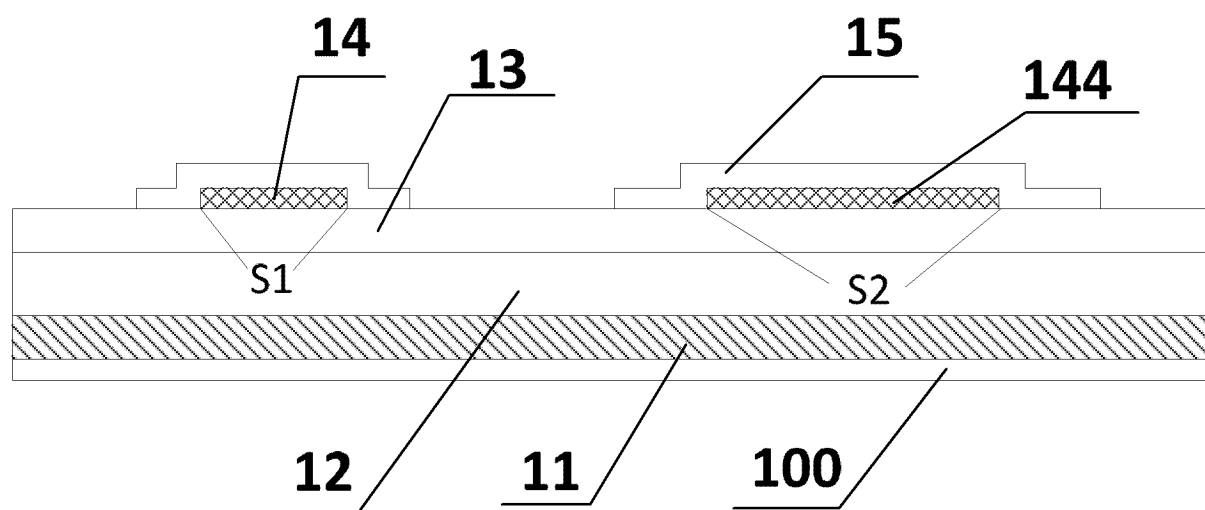


图 7

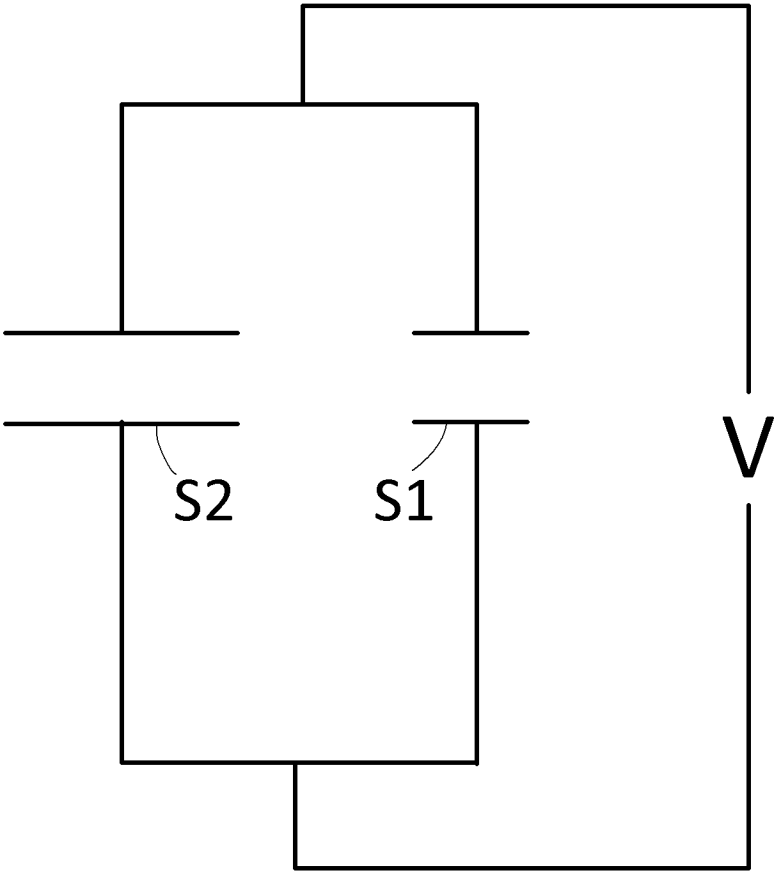


图 8

专利名称(译)	阵列基板、液晶显示装置及阵列基板的制造和修复方法		
公开(公告)号	CN102338959A	公开(公告)日	2012-02-01
申请号	CN201110279994.1	申请日	2011-09-20
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈虹瑞		
发明人	陈虹瑞		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1333 G02F1/13		
CPC分类号	G02F1/1333 G02F1/136259 G02F1/136286		
代理人(译)	邢涛 田夏		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种阵列基板、液晶显示装置及阵列基板的制造和修复方法。所述薄膜晶体管液晶显示器阵列基板包括像素电极、栅线和数据线，所述栅线和数据线交叠处形成一寄生电容；所述数据线还设置有分支部，所述分支部与所述栅线叠交形成与所述寄生电容并联的保护电容，所述保护电容的耐压小于所述寄生电容。本发明由于选用数据线设置分支部，跟栅线叠交形成与寄生电容并联的耐压更小的保护电容，由于数据线位于顶层，因此后期修复的时候更容易。

