



(12) 发明专利

(10) 授权公告号 CN 102148259 B

(45) 授权公告日 2014. 04. 16

(21) 申请号 201110020244. 2

H01L 27/12(2006. 01)

(22) 申请日 2011. 01. 18

H01L 21/77(2006. 01)

(66) 本国优先权数据

201010512054. 8 2010. 10. 12 CN

(56) 对比文件

CN 101013705 A, 2007. 08. 08, 说明书第 13-21 页.

US 2007/0267662 A1, 2007. 11. 22, 全文.

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 成都京东方光电科技有限公司

审查员 林少华

(72) 发明人 李炳天 崔泰城 倪水滨 金铨爽

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

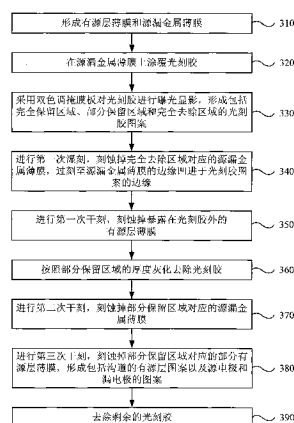
权利要求书1页 说明书8页 附图7页

(54) 发明名称

薄膜晶体管、阵列基板及其制造方法和液晶显示器

(57) 摘要

本发明公开了一种薄膜晶体管、阵列基板及其制造方法和液晶显示器。该方法中形成有源层、源电极和漏电极的流程包括：形成有源层薄膜和源漏金属薄膜；涂覆光刻胶；曝光显影；进行第一次湿刻，刻蚀掉完全去除区域对应的源漏金属薄膜，且过刻至源漏金属薄膜的边缘凹进于光刻胶图案的边缘；进行第一次干刻，刻蚀掉暴露在光刻胶外的有源层薄膜；灰化去除光刻胶；进行第二次干刻，刻蚀掉部分保留区域对应的源漏金属薄膜；进行第三次干刻，刻蚀掉部分保留区域对应的部分有源层薄膜；去除剩余的光刻胶。本发明通过控制刻蚀时间使得刻蚀的图案能够配合灰化后光刻胶的图案，从而在保证产品质量的基础上简化生产工艺，降低生产成本。



1. 一种薄膜晶体管的制造方法,至少包括在衬底基板上形成有源层、源电极和漏电极的流程,其特征在于,所述形成有源层、源电极和漏电极的流程包括:

形成有源层薄膜和源漏金属薄膜;

在所述源漏金属薄膜上涂覆光刻胶;

采用双色调掩模板对所述光刻胶进行曝光显影,形成包括完全保留区域、部分保留区域和完全去除区域的光刻胶图案;

进行第一次湿刻,刻蚀掉完全去除区域对应的源漏金属薄膜,且过刻至所述源漏金属薄膜的边缘凹进于所述光刻胶图案的边缘;

进行第一次干刻,刻蚀掉暴露在光刻胶外的有源层薄膜;

按照部分保留区域的厚度灰化去除光刻胶;

进行第二次干刻,刻蚀掉部分保留区域对应的源漏金属薄膜,同时将暴露在源漏金属薄膜外侧的有源层薄膜刻蚀掉;

进行第三次干刻,刻蚀掉部分保留区域对应的部分有源层薄膜,形成包括沟道的有源层图案以及源电极和漏电极的图案;

去除剩余的光刻胶。

2. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述过刻至所述源漏金属薄膜的边缘凹进于所述光刻胶图案的边缘具体包括:

过刻至所述源漏金属薄膜的边缘凹进于所述光刻胶图案的边缘,以在按照部分保留区域的厚度灰化去除光刻胶后所述源漏金属薄膜的边缘覆盖于光刻胶的图案范围内。

3. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,进行第三次干刻,刻蚀掉部分保留区域对应的部分有源层薄膜包括:

进行第三次干刻,刻蚀掉部分保留区域对应的有源层薄膜中的掺杂半导体薄膜。

4. 根据权利要求1或2或3所述的薄膜晶体管的制造方法,其特征在于:所述第一次湿刻的刻蚀时间为所述完全去除区域对应的源漏金属薄膜完全刻蚀时间的130%~300%。

5. 根据权利要求1或2或3所述的薄膜晶体管的制造方法,其特征在于:所述第二次干刻的刻蚀时间为所述部分保留区域对应的源漏金属薄膜完全刻蚀时间的110%~300%。

6. 一种阵列基板的制造方法,其特征在于:采用权利要求1~5任一所述的薄膜晶体管的制造方法形成所述阵列基板中的有源层、源电极和漏电极的图案。

7. 根据权利要求6所述的阵列基板的制造方法,所述阵列基板包括栅线、栅电极、数据线、有源层、源电极、漏电极、像素电极和公共电极的图案,其特征在于,形成所述栅线、栅电极、数据线、有源层、源电极、漏电极、像素电极和公共电极的流程包括:

在衬底基板上通过构图工艺形成栅线和栅电极的图案;

在形成上述图案的衬底基板上形成栅绝缘层;

在所述栅绝缘层上执行所述形成有源层、源电极和漏电极的流程,以形成所述数据线、有源层、源电极和漏电极的图案,且所述数据线与所述源电极和漏电极同步形成;

在形成上述图案的衬底基板上通过构图工艺形成包括像素电极的图案;

在形成上述图案的衬底基板上形成钝化层;

在所述钝化层上通过构图工艺形成包括公共电极的图案。

薄膜晶体管、阵列基板及其制造方法和液晶显示器

技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种薄膜晶体管、阵列基板及其制造方法和液晶显示器。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 是液晶显示器中的主流产品。近年来,实现宽视角显示的高开口率边缘场切换开关 (High aperture ratio Fringe Field Switching, 简称 HFFS) 和高开口率高级超维场开关 (High aperture ratio Advanced-Super Dimensional Switching, 简称 HAD-SDS) 型 LCD 成为重点发展方向, AD-SDS 通过同一平面内像素电极边缘所产生的平行电场以及像素电极层与公共电极层间产生的纵向电场形成多维空间复合电场,使液晶盒内像素电极间、电极正上方以及液晶盒上方所有取向液晶分子都能够产生旋转转换,从而提高了平面取向系液晶工作效率并增大了透光效率。高级超维场开关技术可以提高 TFT-LCD 画面品质,具有高透过率、宽视角、高开口率、低色差、低响应时间、无挤压水波纹 (push Mura) 波纹等优点。

[0003] HFFS 或 HAD-SDS 型 LCD 的液晶面板由阵列 (Array) 基板和彩膜 (CF) 基板对盒形成,其中阵列基板包括衬底基板,在衬底基板上形成有横纵交叉的数据线和栅线;数据线和栅线围设形成矩阵形式排列的像素单元;每个像素单元包括 TFT 开关、像素电极和公共电极;TFT 开关包括栅电极、源电极、漏电极和有源层;栅电极连接栅线,源电极连接数据线,漏电极连接像素电极,有源层形成在源电极和漏电极与栅电极之间。阵列基板上各导电图案的典型层次结构是在栅电极和栅线上覆盖栅绝缘层;数据线、源电极、漏电极、有源层和像素电极形成在栅绝缘层上,且其上覆盖钝化层;公共电极形成在钝化层上。

[0004] 对于数据线、源电极、漏电极和有源层的图案,现有技术制备其他类型的阵列基板,例如扭曲向列 (Twisted Nematic, 简称 TN) 型阵列基板时,通常采用双色调掩膜板进行一次掩膜构图工艺来完成。但是上述工艺若用在 HAD-SDS 型或 HFFS 阵列基板中则存在较大问题,具体原因如下:按照现有技术制备 5 次掩膜以上两种阵列基板的具体工艺过程如图 1A ~ 1E 所示,首先在栅绝缘层 4 上连续沉积有源层薄膜 21 和源漏金属薄膜 22,有源层薄膜 21 一般自下而上包括半导体薄膜 23 和掺杂半导体薄膜 24;而后涂覆光刻胶 25;采用双色调掩膜板进行曝光显影,形成包括完全保留区域、部分保留区域和完全去除区域的光刻胶 25 图案;进行第一次刻蚀,对应完全去除区域,用湿刻工艺刻蚀掉源漏金属薄膜 22,如图 1A 所示,再用干刻工艺刻蚀掉完全去除区域对应的半导体薄膜 23 和掺杂半导体薄膜 24,如图 1B 所示,形成数据线、源电极和漏电极的图案,数据线、源电极和漏电极的图案对应其各自应有的线宽 (CD) 而刻蚀;按照部分保留区域的厚度灰化去除光刻胶 25,如图 1C 所示,部分保留区域的光刻胶 25 被完全去除;采用干刻工艺刻蚀掉部分保留区域对应的源漏金属薄膜 22,如图 1D 所示,且用干刻工艺刻蚀掉部分保留区域对应的有源层薄膜 21 中的掺杂半导体薄膜 24,形成具有沟道的有源层图案,如图 1E 所示;最后去除剩余的光刻胶 25,可继

续进行后续的制备工艺。上述对数据线、源电极、漏电极和有源层薄膜的刻蚀均可以通过控制刻蚀时间来保证对薄膜的刻蚀厚度,达到与光刻胶图案一致的预定刻蚀位置。

[0005] 上述技术方案中,当形成数据线、源电极 7、漏电极 8 和有源层 6 的图案之后,如图 2 所示,源电极 7 和漏电极 8 的坡度角较大,而且在源电极 7 和漏电极 8 图案周边还有残留的掺杂半导体薄膜 24(n+fence)。所以,若继续形成像素电极 11 的图案,则如图 2 所示,像素电极 11 与漏电极 8 搭接处将形成许多拐角,又因为源漏金属薄膜、半导体薄膜和掺杂半导体薄膜的厚度均大于像素电极 11 所用透明导电薄膜的厚度,所以在拐角处容易形成像素电极 11 图案的断裂,造成显示不良。

[0006] 上述结构缺陷并不仅限于 HAD-SDS 型或 HFFS 型阵列基板中,较薄透明电极直接搭接在漏电极上的结构均存在上述缺陷。为克服上述缺陷,现有技术的解决方式之一通常是将像素电极制作于数据线、源电极和漏电极与有源层之间。即有源层;像素电极;数据线、源电极和漏电极,分别采用三次构图工艺制备完成,这显然会增加构图工艺的次数,例如,现有技术一般需要采用 6 次掩膜工艺 (6Mask) 来制备 HAD-SDS 型或 HFFS 型阵列基板。

发明内容

[0007] 本发明提供一种薄膜晶体管、阵列基板及其制造方法和液晶显示器,以简化薄膜晶体管和阵列基板的制造工艺,降低液晶显示器的制备成本。

[0008] 本发明提供一种薄膜晶体管的制造方法,至少包括在衬底基板上形成有源层、源电极和漏电极的流程,其中,所述形成有源层、源电极和漏电极的流程包括:

[0009] 形成有源层薄膜和源漏金属薄膜;

[0010] 在所述源漏金属薄膜上涂覆光刻胶;

[0011] 采用双色调掩模板对所述光刻胶进行曝光显影,形成包括完全保留区域、部分保留区域和完全去除区域的光刻胶图案;

[0012] 进行第一次湿刻,刻蚀掉完全去除区域对应的源漏金属薄膜,且过刻至所述源漏金属薄膜的边缘凹进于所述光刻胶图案的边缘;

[0013] 进行第一次干刻,刻蚀掉暴露在光刻胶外的有源层薄膜;

[0014] 按照部分保留区域的厚度灰化去除光刻胶;

[0015] 进行第二次干刻,刻蚀掉部分保留区域对应的源漏金属薄膜;

[0016] 进行第三次干刻,刻蚀掉部分保留区域对应的部分有源层薄膜,形成包括沟道的有源层图案以及源电极和漏电极的图案;

[0017] 去除剩余的光刻胶。

[0018] 本发明还提供了一种薄膜晶体管,至少包括有源层、源电极和漏电极的图案,其中:

[0019] 所述源电极和漏电极之下保留有制备所述有源层的有源层薄膜;

[0020] 所述有源层形成在所述源电极和漏电极之下,且与所述源电极和漏电极图案的边缘对齐,所述有源层上的沟道形成在源电极和漏电极之间。

[0021] 本发明还提供了一种阵列基板的制造方法,其中:采用本发明所提供的薄膜晶体管的制造方法形成所述阵列基板中的有源层、源电极和漏电极的图案。

[0022] 本发明还提供了一种阵列基板,包括衬底基板,所述衬底基板上至少形成有数据

线、有源层、源电极和漏电极的图案,其中:

[0023] 所述数据线、源电极和漏电极之下保留有制备所述有源层的有源层薄膜;

[0024] 所述有源层形成在所述源电极和漏电极之下,且与所述源电极和漏电极图案的边缘对齐,所述有源层上的沟道形成在源电极和漏电极之间。

[0025] 本发明还提供了一种液晶显示器,包括液晶面板,其中所述液晶面板包括对盒设置的彩膜基板和本发明所提供的阵列基板。

[0026] 本发明提供的薄膜晶体管、阵列基板及其制造方法和液晶显示器,通过控制刻蚀时间使得刻蚀的图案能够配合灰化后光刻胶的图案,从而减少刻蚀后图案中的拐角,改善坡度形状,避免后续形成的像素电极发生断裂。从而在保证产品质量的基础上简化生产工艺,降低生产成本。

附图说明

[0027] 图 1A ~ 1E 为按照现有技术制备 5 次掩膜 HAD-SDS 型或 HFFS 型阵列基板的结构示意图;

[0028] 图 2 为按照现有技术制备 5 次掩膜 HAD-SDS 型或 HFFS 型阵列基板后发生不良的结构示意图;

[0029] 图 3 为本发明实施例一提供的薄膜晶体管的制造方法的局部流程图;

[0030] 图 4A ~ 4E 为本发明实施例一制备薄膜晶体管中源电极、漏电极和有源层的过程结构示意图;

[0031] 图 5 为本发明实施例二提供的阵列基板的制造方法的流程图;

[0032] 图 6A 为本发明实施例二所制造阵列基板的局部俯视结构示意图;

[0033] 图 6B 为图 6A 中沿 A-A 线的侧视剖切结构示意图。

[0034] 附图标记:

[0035] 1- 衬底基板; 2- 栅线; 3- 栅电极;

[0036] 4- 栅绝缘层; 5- 数据线; 6- 有源层;

[0037] 7- 源电极; 8- 漏电极; 9- 钝化层;

[0038] 10- 沟道; 11- 像素电极; 12- 公共电极;

[0039] 21- 有源层薄膜; 22- 源漏金属薄膜; 23- 半导体薄膜;

[0040] 24- 掺杂半导体薄膜; 25- 光刻胶。

具体实施方式

[0041] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0042] 本发明实施例以 HAD-SDS 型或 HFFS 阵列基板举例说明。

[0043] 实施例一

[0044] 图 3 为本发明实施例一提供的薄膜晶体管的制造方法的局部流程图,本实施例的制造方法至少包括形成有源层、源电极和漏电极的流程。其中,形成有源层、源电极和漏电

极的流程具体包括如下步骤：

[0045] 步骤 310、形成有源层薄膜 21 和源漏金属薄膜 22，有源层薄膜 21 可以包括依次沉积的半导体薄膜 23 和掺杂半导体薄膜 24，源漏金属薄膜 22 可以采用如钼 (Mo)、铝 (Al) 等材料制备，若该薄膜晶体管为阵列基板上的图案，则本步骤通常是在栅绝缘层 4 上进行制备；

[0046] 步骤 320、在源漏金属薄膜 22 上涂覆光刻胶 25；

[0047] 步骤 330、采用双色调掩模板，例如半色调掩模板或灰色调掩模板等，对光刻胶 25 进行曝光显影，形成包括完全保留区域、部分保留区域和完全去除区域的光刻胶 25 图案，其中部分保留区域的光刻胶 25 厚度小于完全保留区域的光刻胶 25 厚度，通常部分保留区域对应于有源层中沟道的位置；

[0048] 此后开始执行刻蚀步骤，需执行源漏金属湿刻 (S/D etch) 和多次干刻 (Multi Etch)，下面分别进行描述。

[0049] 步骤 340、进行第一次湿刻，刻蚀掉完全去除区域对应的源漏金属薄膜 22，且控制刻蚀时间，过刻至源漏金属薄膜 22 的边缘凹进于光刻胶 25 图案的边缘，即凹进于完全保留区域的光刻胶图案边缘，如图 4A 所示；

[0050] 凹进量可以通过控制刻蚀时间来调整，优选的是第一次湿刻的刻蚀时间为完全去除区域对应的源漏金属薄膜 22 完全刻蚀时间的 130%~300%。所谓完全去除区域对应的源漏金属薄膜 22 完全刻蚀时间，也可称为端点检测 (EndPoint Detection, 简称 EPD) 时间，即按照完全去除区域所对应的面积，将此面积内的源漏金属薄膜 22 恰好完全刻蚀掉的时间，此时间是根据待刻蚀材料的属性、厚度、面积，以及刻蚀剂的性能等诸多因素可确定的时间值，在此时间值的基础上再调整得到第一次湿刻的时间，本实施例中第一次湿刻的刻蚀时间优选为该 EPD 时间的 130%~300%。

[0051] 步骤 350、进行第一次干刻，刻蚀掉暴露在光刻胶外的有源层薄膜 21；

[0052] 由于源漏金属薄膜 22 的边缘凹进于光刻胶 25 图案的边缘，所以对有源层薄膜 21 的干刻实际上对应于未被光刻胶 25 覆盖而暴露在外面的部分，如图 4B 所示。

[0053] 步骤 360、按照部分保留区域的厚度灰化去除光刻胶 25，如图 4C 所示；

[0054] 经此灰化步骤后，部分保留区域的光刻胶 25 被完全去除，完全保留区域的光刻胶 25 还能保留一定的厚度。光刻胶 25 的灰化也相当于一次干刻，是采用适当刻蚀剂对光刻胶 25 材料的刻蚀。该刻蚀是从光刻胶 25 材料的表面沿垂直于表面的方向对光刻胶 25 进行减薄，除厚度减小外，在光刻胶 25 图案边缘的侧面也会有一定的刻蚀，导致光刻胶 25 图案范围缩小。由于在步骤 340 中使源漏金属薄膜 22 的边缘凹进于光刻胶 25 图案的边缘，通过控制对源漏金属薄膜 22 的刻蚀时间来控制凹进量，从而使得光刻胶 25 经第一次灰化后，除部分保留区域对应的沟道之外，完全保留区域剩余光刻胶的边缘与其下方的源漏金属薄膜 22 的边缘恰好对齐或尽量使其接近。即步骤 340 中，优选的是过刻至源漏金属薄膜的边缘凹进于光刻胶图案的边缘，以在按照部分保留区域的厚度灰化去除光刻胶后源漏金属薄膜的边缘覆盖于光刻胶的图案范围内。

[0055] 步骤 370、进行第二次干刻，刻蚀掉部分保留区域对应的源漏金属薄膜 22，如图 4D 所示；

[0056] 在此步骤中可以采用干刻工艺来刻蚀源漏金属薄膜 22。与现有技术相比，由于完

全保留区域的边缘基本与其下方的源漏金属薄膜 22 边缘对齐,除部分保留区域对应的源漏金属薄膜 22 没有光刻胶 25 保护而需要刻蚀外,没有额外地超出完全保留区域的源漏金属薄膜 22 需要刻蚀,可参考图 4C 所示。所以本次干刻的刻蚀时间相对于现有技术的干刻时间有所减少。优选的是,第二次干刻的刻蚀时间为部分保留区域对应的源漏金属薄膜 22 完全刻蚀时间的 110%~300%,所谓部分保留区域对应的源漏金属薄膜 22 完全刻蚀时间即是部分保留区域所对应的源漏金属薄膜 22 恰好被刻蚀掉的时间。在步骤 370 中,刻蚀源漏金属薄膜 22 的刻蚀剂,也能够同时将暴露在源漏金属薄膜 22 外侧的掺杂半导体薄膜 24 和半导体模板 23 刻蚀掉,而位于沟道位置的掺杂半导体薄膜 24 由于在源漏金属薄膜 22 覆盖之下,所以在刻蚀完源漏金属薄膜 22 之后才会暴露出来,通过有效控制刻蚀时间就能够保证暴露在源漏金属薄膜 22 外侧的掺杂半导体薄膜 24 和半导体模板 23 被刻蚀掉。

[0057] 步骤 380、进行第三次干刻,刻蚀掉部分保留区域对应的部分有源层薄膜 21,具体可以是刻蚀掉有源层薄膜 21 中的掺杂半导体薄膜 24,形成包括沟道 10 的有源层 6 图案以及源电极 7 和漏电极 8 的图案,如图 4E 所示;

[0058] 本步骤是对掺杂半导体薄膜 24 的刻蚀,若有源层薄膜为采用单一层材料制成的薄膜,则可以通过控制刻蚀时间刻蚀掉部分厚度的有源层薄膜。由于在第一次干刻时掺杂半导体薄膜 24 的边缘与源漏金属薄膜 22 的边缘对齐,所以类似地,除部分保留区域对应的部分外,掺杂半导体薄膜 24 也几乎没有超出完全保留区域的范围,可以缩短本次干刻的时间。

[0059] 步骤 390、去除剩余的光刻胶 25。

[0060] 上述技术方案主要是采用双色调掩模板制备有源层、源电极和漏电极图案的流程,该技术方案中,对于第一次湿刻源漏金属薄膜、灰化去除部分保留区域光刻胶和第二次干刻刻蚀掉部分保留区域对应的源漏金属薄膜的时间进行了有效控制,形成了刻蚀后的图案向光刻胶图案内凹进的形状,从而能够配合后续光刻胶灰化后的缩小面积,从而能够避免在完全保留区域和部分保留区域之间的刻蚀图案形成阶梯形状,从而提高图案刻蚀的准确性。

[0061] 上述技术方案不仅能够通过对源漏金属薄膜的过刻来减少拐角,并且也能够相对于现有技术减小坡度角。原因在于:

[0062] 若按照现有技术,经第一次灰化光刻胶之后,除沟道位置外,完全保留区域的外侧仍有暴露出的源漏金属薄膜,对该薄膜进行干刻时,由于其暴露在光刻胶外部,所以此处的刻蚀以物理刻蚀为主,主要是垂直方向刻蚀,刻蚀出的坡度角很大;而且源漏金属薄膜之下的有源层薄膜会有所残留,即通常出现掺杂半导体薄膜残留(n+fence)现象,与有源层薄膜下方的膜层之间形成高度差。

[0063] 若按照本实施例的技术方案,由于源漏金属薄膜覆盖在完全保留区域之下,所以此处的刻蚀以化学刻蚀为主,主要是水平方向刻蚀,刻蚀速率较小,坡度角也较小,优选是通过控制刻蚀时间形成源漏金属薄膜的坡度角为 $30^{\circ} \sim 75^{\circ}$;通过控制刻蚀时间,可以使源漏金属薄膜下方的有源层薄膜不被暴露出来,从而消除了掺杂半导体薄膜残留的现象。

[0064] 本实施例所提供的薄膜晶体管制造方法应用在阵列基板的制造中将尤为有益,实际应用中,像素电极一般采用铟锡氧化物(Indium Tin Oxides,简称ITO)制成,该材料薄膜比较脆,且厚度相对较小,通常为 $400\text{\AA} \sim 800\text{\AA}$,相比于 $500\text{\AA}$ 左右的半导体薄膜、 $1800\text{\AA}$

左右的掺杂半导体薄膜和2200 Å左右的源漏金属薄膜而言,其厚度较小,容易在厚薄膜图案的拐角处发生断裂。当该技术方案应用于HAD-SDS型或HFFS阵列基板中时,能够减少有源层、数据线、源电极和漏电极图案上的拐角和坡度,从而使得后续形成在其上的像素电极不易在拐角处断裂。

[0065] 本实施例的技术方案通过控制刻蚀时间,改善了源漏金属薄膜的坡度角,也减少了掺杂半导体薄膜的残留现象,解决了较薄的像素电极图案不能沉积在采用双色调掩模板制备的有源层和源漏电极图案上方的问题,因此有助于简化薄膜晶体管以及相应的HAD-SDS型或HFFS阵列基板的制备工艺。

[0066] 本发明实施例还相应地提供了一种薄膜晶体管,至少包括有源层、源电极和漏电极的图案,其中,源电极和漏电极之下保留有制备有源层的有源层薄膜;有源层形成在源电极和漏电极之下,且与源电极和漏电极图案的边缘对齐,有源层上的沟道形成在源电极和漏电极之间。优选的是源电极和漏电极图案的坡度角为 $30^{\circ} \sim 75^{\circ}$ 。该薄膜晶体管可采用本发明任意实施例所提供的薄膜晶体管的制造方法来制备,具体结构可参见图4所示。

[0067] 本发明实施例还提供了一种阵列基板的制造方法,采用本发明任意实施例所提供的薄膜晶体管的制造方法形成该阵列基板中的有源层、源电极和漏电极的图案。本发明所提供的薄膜晶体管的制造方法可应用在多种类型的阵列基板的制造过程中。典型的阵列基板结构是包括栅线、栅电极、数据线、有源层、源电极、漏电极和像素电极,对于水平电场型阵列基板,还可以进一步包括公共电极。优选的是将该薄膜晶体管制造方法应用于HAD-SDS型或HFFS阵列基板的制造中,下面通过实施例详细描述。

[0068] 实施例二

[0069] 图5为本发明实施例二提供的阵列基板的制造方法的流程图,具体为制造HAD-SDS型或HFFS阵列基板的流程,图6A为本实施例所制造阵列基板的局部俯视结构示意图,图6B为图6A中沿A-A线的侧视剖切结构示意图。本实施例的阵列基板包括栅线、栅电极、数据线、有源层、源电极、漏电极、像素电极和公共电极的图案,则形成栅线、栅电极、数据线、有源层、源电极、漏电极、像素电极和公共电极的流程具体包括如下步骤:

[0070] 步骤510、在衬底基板1上通过构图工艺形成栅线2和栅电极3的图案;

[0071] 步骤520、在形成上述图案的衬底基板1上形成栅绝缘层4;

[0072] 步骤530、在栅绝缘层4上执行形成数据线5、有源层6、源电极7和漏电极8的流程,以形成数据线5、有源层6、源电极7和漏电极8的图案;本步骤可以采用实施例一的技术方案,且数据线5与源电极7和漏电极8同步形成。

[0073] 步骤540、在形成上述图案的衬底基板1上通过构图工艺形成包括像素电极11的图案,优选可以制备像素电极11的厚度为20纳米~200纳米;

[0074] 步骤550、在形成上述图案的衬底基板1上形成钝化层9,通常在钝化层9中需要通过构图工艺形成接口区域中的过孔;

[0075] 步骤560、在钝化层9上通过构图工艺形成包括公共电极12的图案,俯视图中未示出绝缘层和公共电极12的图案。

[0076] 本实施例的技术方案为采用实施例一的技术方案制备HAD-SDS型或HFFS阵列基板的一种优选实施方式,可以采用5次掩膜构图工艺完成HAD-SDS型或HFFS阵列基板的制备,简化了生产工艺,降低了产品成本。具体应用中,栅线、栅电极、像素电极和公共电极的

制备工艺并不限于上述方案,还可以采用其他方式制备。

[0077] 本发明实施例还相应地提供了一种阵列基板,包括衬底基板,衬底基板上至少形成有数据线、有源层、源电极和漏电极的图案。其中,数据线、源电极和漏电极之下保留有制备有源层的有源层薄膜;有源层形成在源电极和漏电极之下,且与源电极和漏电极图案的边缘对齐,有源层上的沟道形成在源电极和漏电极之间。

[0078] 对于典型的阵列基板结构,该阵列基板的衬底基板上还形成有像素电极,像素电极与数据线、有源层、源电极和漏电极形成在同一绝缘层上,且像素电极搭接在漏电极上。

[0079] 阵列基板的衬底基板上一般还形成有栅线、栅电极和公共电极;栅线和栅电极形成在衬底基板上,且覆盖在栅绝缘层下;像素电极、数据线、有源层、源电极和漏电极形成在栅绝缘层上,且覆盖在钝化层下;公共电极形成在钝化层上。

[0080] 本发明的阵列基板可以为多种类型,例如垂直电场型,或水平电场型。优选的是HAD-SDS型或HFFS阵列基板阵列基板,下面通过实施例进行详细说明。

[0081] 实施例三

[0082] 本发明实施例三提供了一种阵列基板,可参见图6A和6B所示,该阵列基板为HAD-SDS型或HFFS阵列基板,包括衬底基板1,该衬底基板1上形成有栅线2、栅电极3、数据线5、有源层6、源电极7、漏电极8、像素电极11和公共电极12的图案,其中,数据线5、源电极7和漏电极8之下保留有制备有源层6的有源层薄膜;有源层6形成在源电极7和漏电极8之下,且与源电极7和漏电极8图案的边缘对齐,有源层6上的沟道10形成在源电极7和漏电极8之间;像素电极11与数据线5、有源层6、源电极7和漏电极8形成在同一绝缘层上,且像素电极11搭接在漏电极8上。

[0083] 本实施例的阵列基板可以采用本发明实施例所提供的阵列基板的制造方法来制备,形成相应的图案结构,其工艺步骤简单,并且能够减少数据线、源电极、漏电极和有源层边缘的拐角,减小坡度,改善其轮廓形状,使得像素电极可以直接搭接在漏电极上,不易断裂。

[0084] 本实施例中为一典型HAD-SDS型或HFFS阵列基板的结构,栅线2和栅电极3形成在衬底基板1上,且覆盖在栅绝缘层4下;像素电极11、数据线5、有源层6、源电极7和漏电极8形成在栅绝缘层4上,且覆盖在钝化层9下;公共电极12形成在钝化层9上。但具体应用中栅线2、栅电极3和公共电极12的位置并不限于此。

[0085] 本实施例的阵列基板可采用本发明所提供的阵列基板的制造方法来制备,可通过控制刻蚀时间,使得数据线、源电极和漏电极图案的坡度角为 $30^{\circ} \sim 75^{\circ}$,且避免出现有源层薄膜残留的现象,从而能够在漏电极上搭接较薄的像素电极,优选是设置像素电极的厚度为20纳米~200纳米。

[0086] 本发明实施例还提供了一种液晶显示器,包括液晶面板,该液晶面板包括对盒设置的彩膜基板和本发明任意实施例所提供的阵列基板。该液晶显示器可以通过简化生产工艺来降低生产成本,且同时避免由于像素电极断裂所造成的显示不良。

[0087] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神。

神和范围。

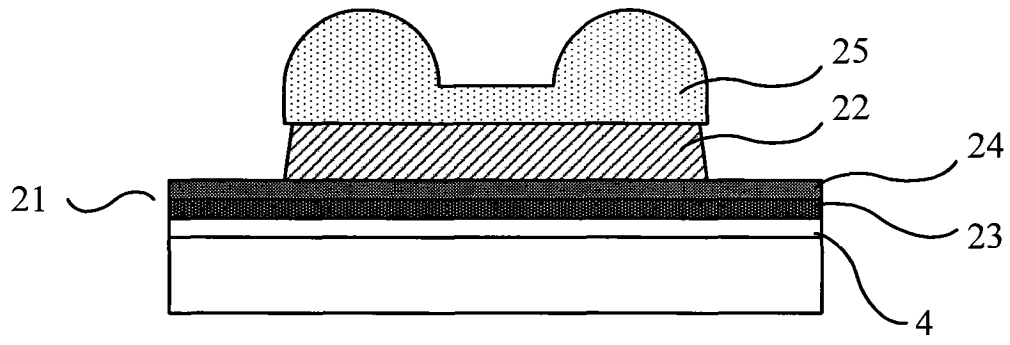


图 1A

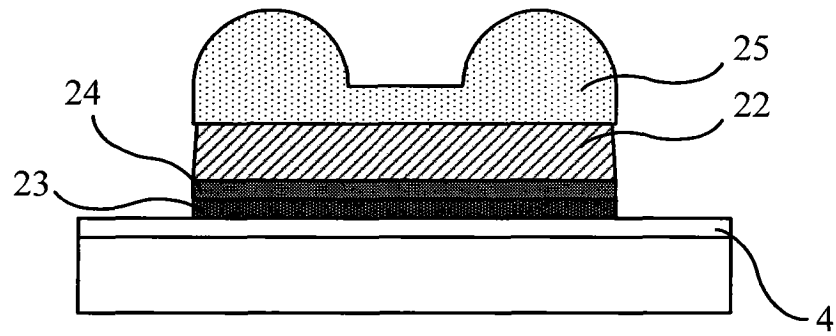


图 1B

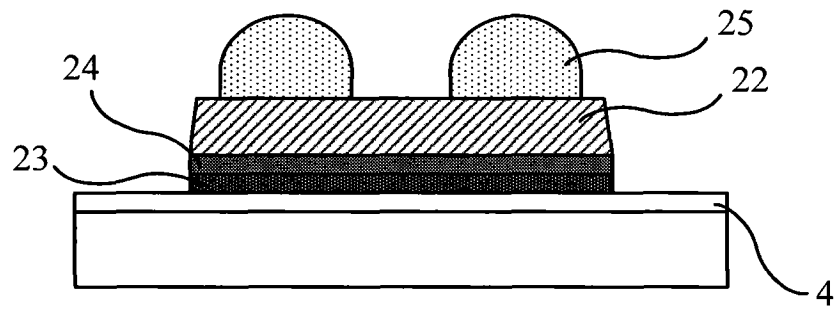


图 1C

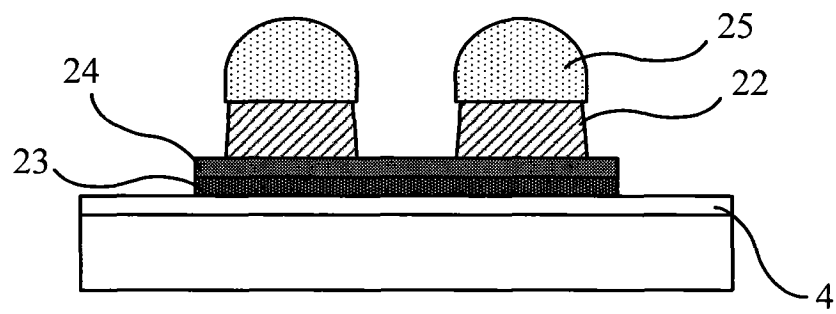


图 1D

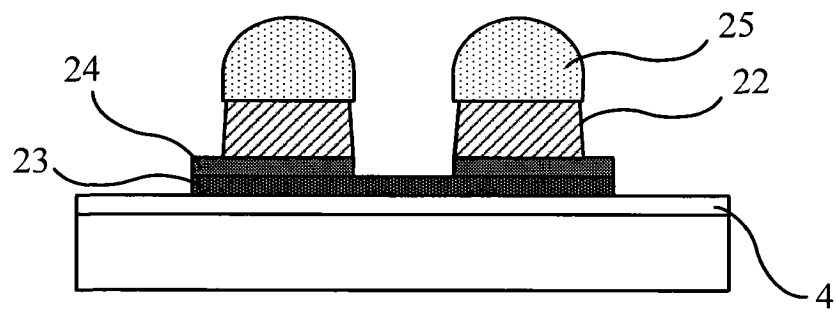


图 1E

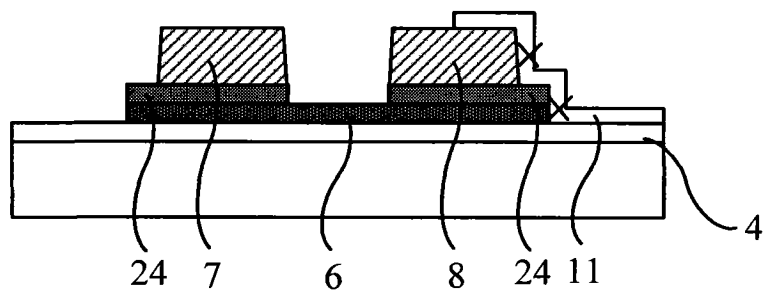


图 2

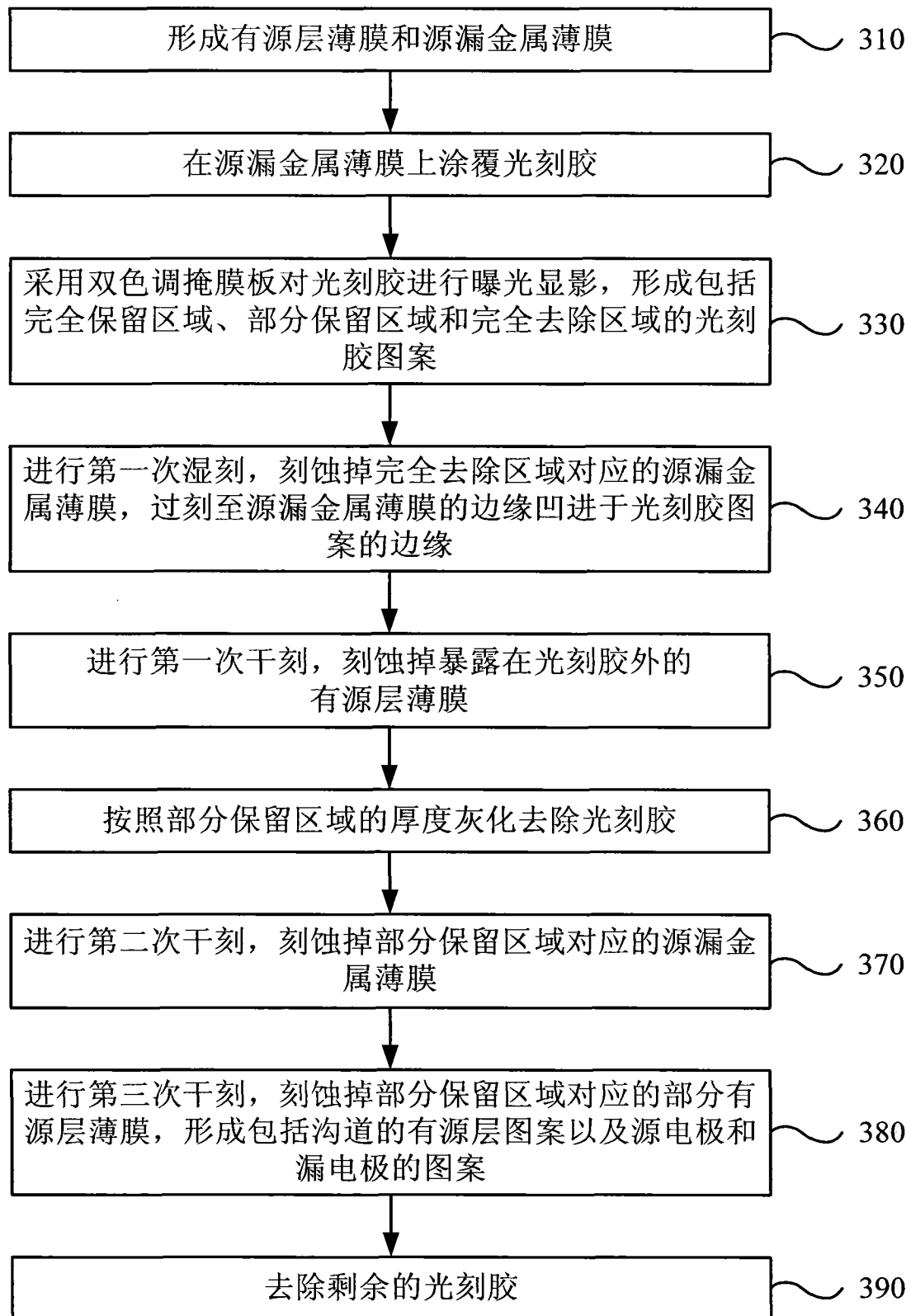


图 3

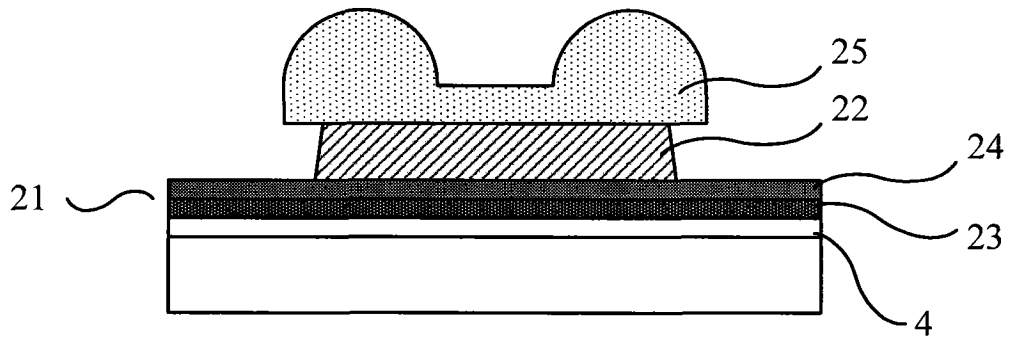


图 4A

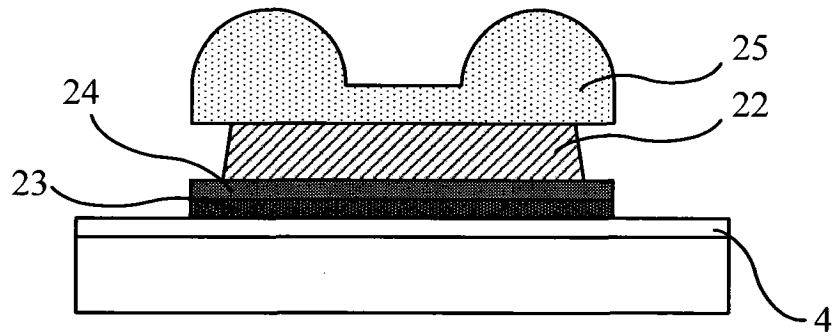


图 4B

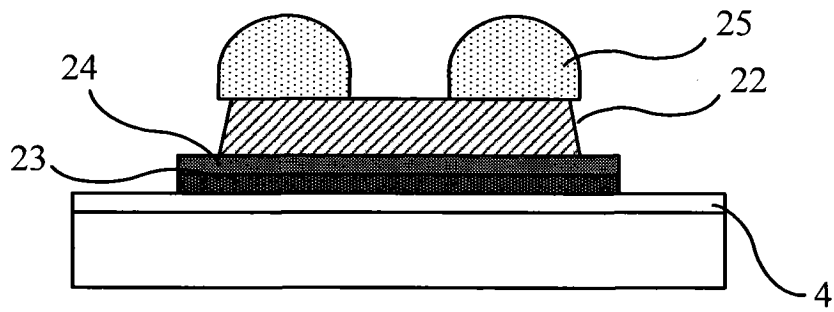


图 4C

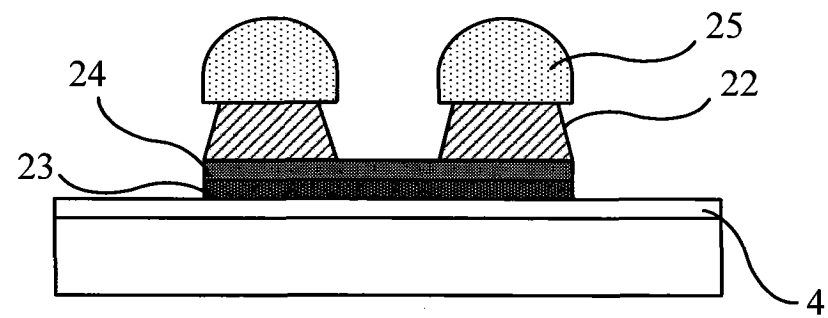


图 4D

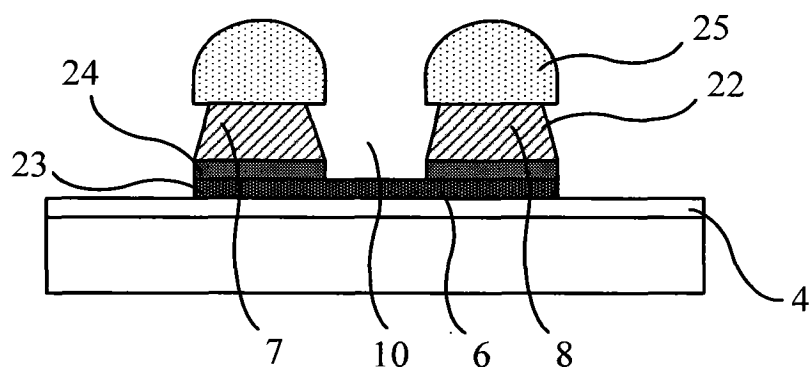


图 4E

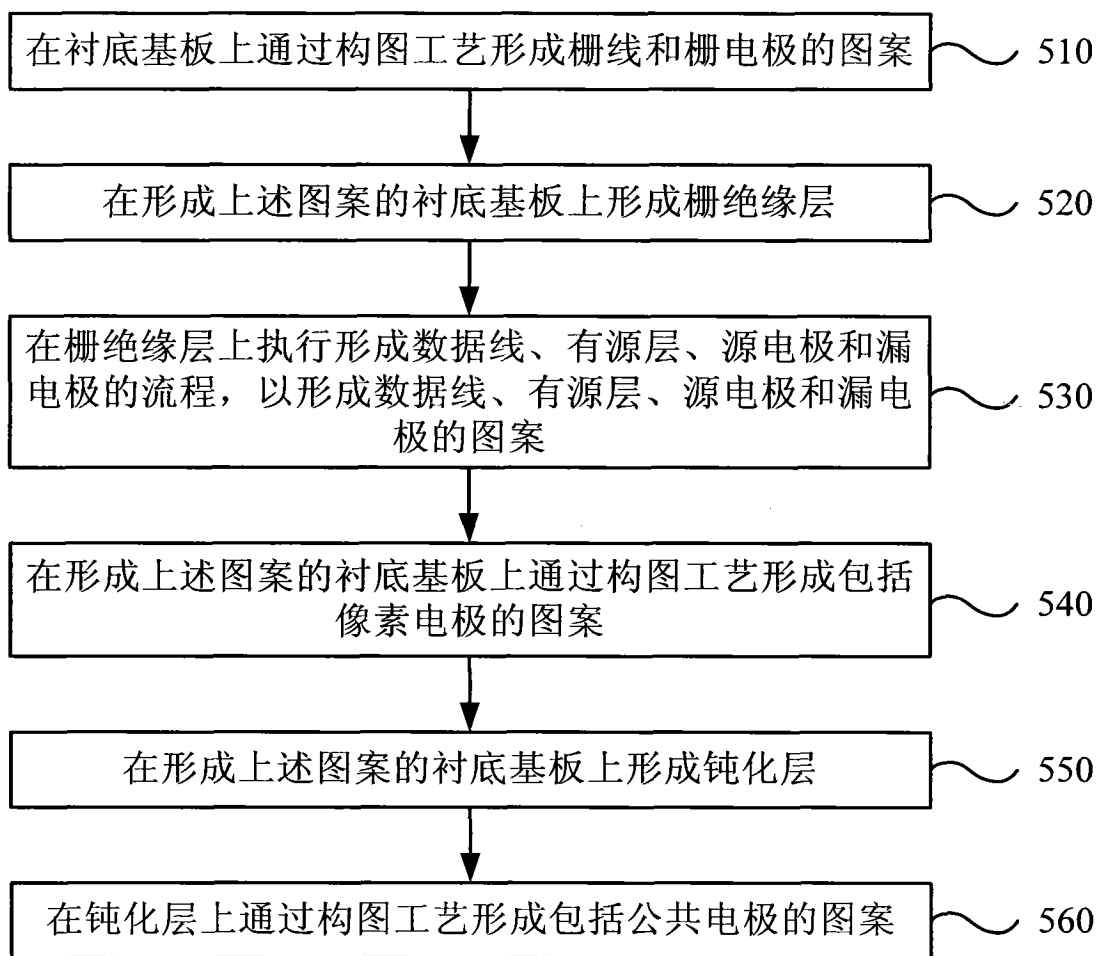


图 5

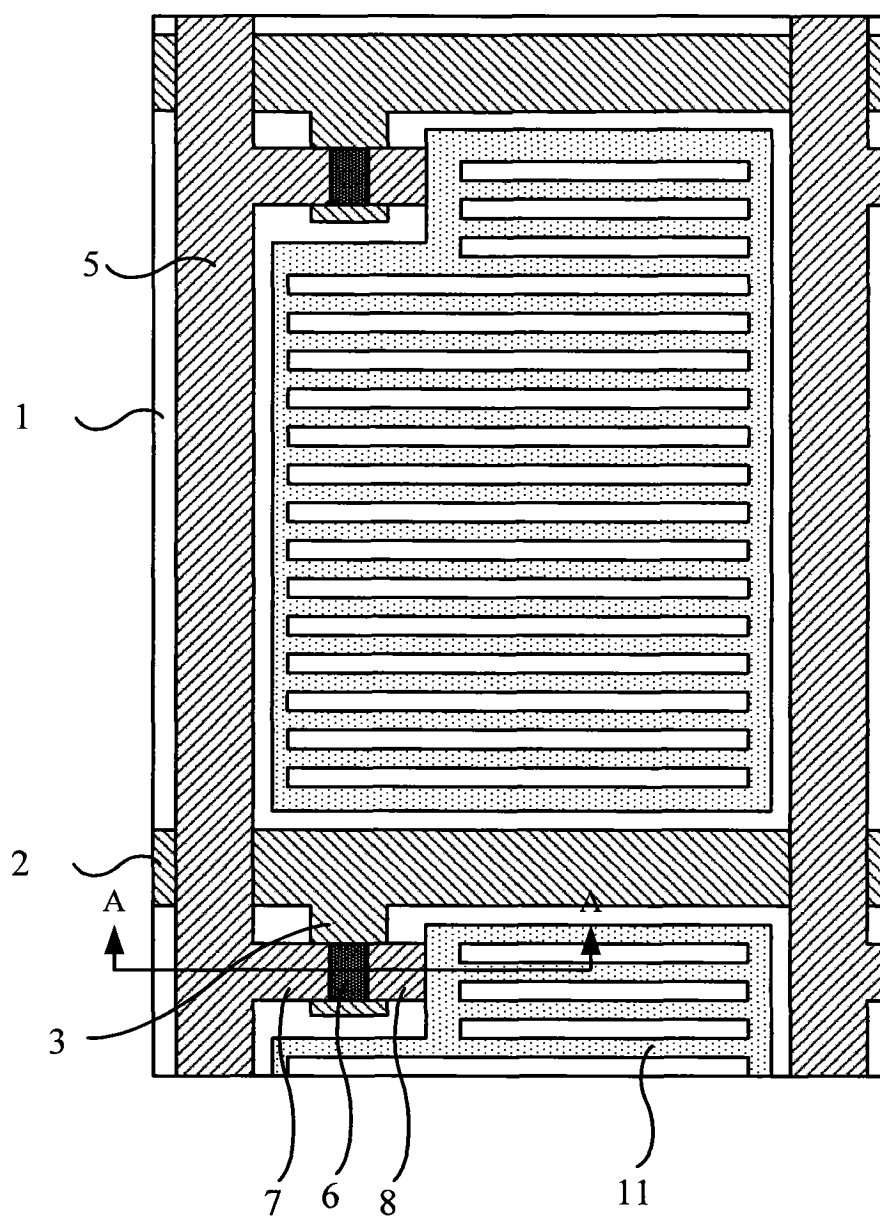


图 6A

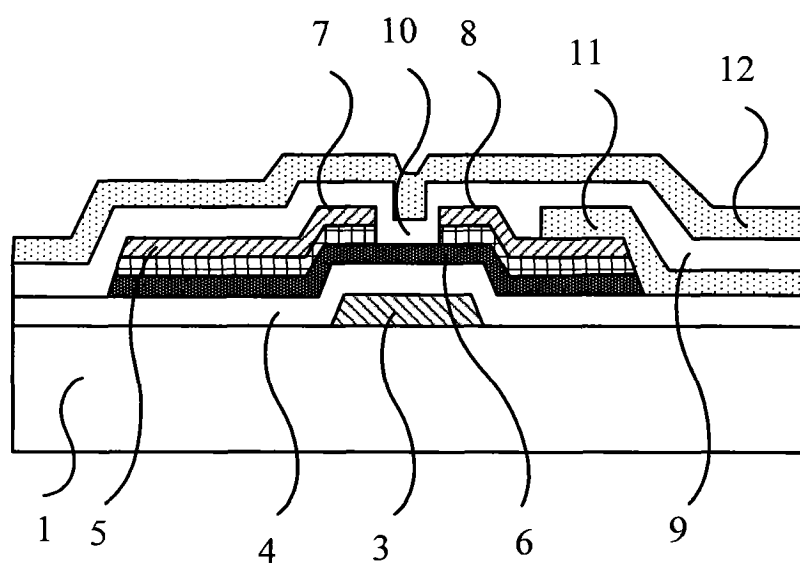


图 6B

专利名称(译)	薄膜晶体管、阵列基板及其制造方法和液晶显示器		
公开(公告)号	CN102148259B	公开(公告)日	2014-04-16
申请号	CN201110020244.2	申请日	2011-01-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	李炳天 崔泰城 倪水滨 金铖爽		
发明人	李炳天 崔泰城 倪水滨 金铖爽		
IPC分类号	G02F1/1362 G02F1/1368 H01L29/786 H01L21/336 H01L27/12 H01L21/77		
CPC分类号	H01L27/1288 H01L29/66742 H01L27/1214		
代理人(译)	王莹		
审查员(译)	林少华		
优先权	201010512054.8 2010-10-12 CN		
其他公开文献	CN102148259A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种薄膜晶体管、阵列基板及其制造方法和液晶显示器。该方法中形成有源层、源电极和漏电极的流程包括：形成有源层薄膜和源漏金属薄膜；涂覆光刻胶；曝光显影；进行第一次湿刻，刻蚀掉完全去除区域对应的源漏金属薄膜，且过刻至源漏金属薄膜的边缘凹进于光刻胶图案的边缘；进行第一次干刻，刻蚀掉暴露在光刻胶外的有源层薄膜；灰化去除光刻胶；进行第二次干刻，刻蚀掉部分保留区域对应的源漏金属薄膜；进行第三次干刻，刻蚀掉部分保留区域对应的部分有源层薄膜；去除剩余的光刻胶。本发明通过控制刻蚀时间使得刻蚀的图案能够配合灰化后光刻胶的图案，从而在保证产品质量的基础上简化生产工艺，降低生产成本。

