



(12) 发明专利申请

(10) 申请公布号 CN 102116979 A

(43) 申请公布日 2011.07.06

(21) 申请号 200910248078.4

(22) 申请日 2009.12.31

(71) 申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

(72) 发明人 赵剑 李治福 蒋顺 李峻

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李丽

(51) Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/1368 (2006.01)

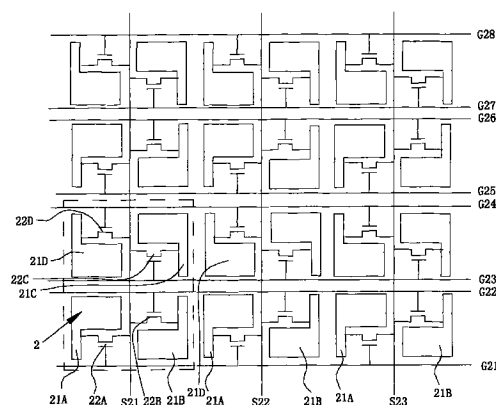
权利要求书 1 页 说明书 7 页 附图 11 页

(54) 发明名称

液晶显示装置

(57) 摘要

一种液晶显示装置,包括由多个以阵列方式排列的子像素阵列构成的像素阵列,各个子像素阵列包括四个像素电极、四个薄膜晶体管、一条数据线和依序排列的四条扫描线组成的两行两列像素的结构,所述四个薄膜晶体管的源极共用所述数据线,每一薄膜晶体管的漏极连接一像素电极,其中一列的两个薄膜晶体管的栅极分别与中间的两条扫描线连接,另外一列的两个薄膜晶体管的栅极与另外两条扫描线连接,所述液晶显示装置驱动时,依次扫描所述四条扫描线。本发明由于发生灰阶变化的像素电极至不同的列上,避免了周期性灰阶不均引起的竖条现象,并且,保证了开口率。



1. 一种液晶显示装置,包括由多个以阵列方式排列的子像素阵列构成的像素阵列,各个子像素阵列包括四个像素电极、四个薄膜晶体管、一条数据线和依序排列的四条扫描线组成的两行两列像素的结构,所述四个薄膜晶体管的源极共用所述数据线,每一薄膜晶体管的漏极连接一像素电极,其特征在于,其中一列的两个薄膜晶体管的栅极分别与中间的两条扫描线连接,另外一列的两个薄膜晶体管的栅极与另外两条扫描线连接,所述液晶显示装置驱动时,依次扫描所述四条扫描线。

2. 如权利要求 1 所述的液晶显示装置,其特征在于,所述各个子像素阵列结构相同。

3. 如权利要求 2 所述的液晶显示装置,其特征在于,与中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的奇数列,与另外两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列。

4. 如权利要求 2 所述的液晶显示装置,其特征在于,与中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列,与另外两条扫描线连接的薄膜晶体管位于整个像素阵列的奇数列。

5. 如权利要求 1 所述的液晶显示装置,其特征在于,所述像素阵列中,相邻四个排列成一行的子像素阵列中,各个子像素阵列的结构不完全相同。

6. 如权利要求 1 所述的液晶显示装置,其特征在于,所述像素阵列中,相邻四个排列成田字形的子像素阵列中,各个子像素阵列的结构不完全相同。

7. 如权利要求 6 所述的液晶显示装置,其特征在于,所述四个子像素阵列中有三个子像素阵列结构相同。

8. 如权利要求 6 所述的液晶显示装置,其特征在于,所述四个子像素阵列中有两个子像素阵列的结构相同。

液晶显示装置

技术领域

[0001] 本发明涉及液晶显示装置,尤其涉及液晶显示装置的像素阵列。

背景技术

[0002] 请参阅图 1 至图 3 所示,现有技术提供了一种液晶显示装置的像素阵列,该像素阵列包括多个以阵列方式排列的子像素阵列 1,各个子像素阵列 1 包括四个像素电极 11A、11B、11C 和 11D、四个薄膜晶体管 12A、12B、12C 和 12D、一条数据线 S11 和依序排列的四条扫描线 G11 至 G14 组成的两行两列的结构,在该结构中,每一薄膜晶体管的漏极与一像素电极连接,每一行的像素电极通过薄膜晶体管的栅极分别连接两条扫描线而形成双扫描线结构(dual gate),具体的,像素电极 11A 和 11B 分别通过薄膜晶体管 12A、12B 连接于扫描线 G11 和 G12,像素电极 11C 和 11D 分别通过薄膜晶体管 12C、12D 连接于扫描线 G14 和 G13,四个薄膜晶体管的源极共用一条数据线,具体的,第一列的像素电极 11A 和 11D 通过薄膜晶体管 12A 和 12D 的源极与数据线 S11 连接且位于数据线 S11 的左侧,第二列像素电极 11B 和 11C 通过薄膜晶体管 12B、12C 与数据线 S11 连接且位于数据线 S11 的右侧。图 1 仅仅是示意图,表示出了由六个子像素阵列 1 组成的 4 行 6 列的像素阵列,在实际生产工艺中,液晶显示装置的像素阵列是由多个子像素阵列 1 组成。

[0003] 请参阅图 1、图 2 和图 3,以 Vcom(公共电极)直流,“two dot inversion”(两点一组,极性反转)的情况为例,对上述子像素阵列 1 组成的像素阵列的显示过程如下:首先打开扫描线 G11,扫描线 G11 打开连接于扫描线 G11 的第一行第一列、第三列和第五列的薄膜晶体管对像素电极 11A 充电,充电完成后,数据线 S11、S12 和 S13 的数据输入像素电极 11A;接着,关闭扫描线 G11,扫描线 G12 打开薄膜晶体管而对第一行第二列、第四列和第六列的像素电极 11B 充电,在对像素电极 11B 充电的过程中,第一列和第二列之间因为有数据线 S11,两列的距离做得较大,寄生电容(图中未示)的影响较小,可以忽略,而在第二列和第三列之间因为没有数据线,为了提高开口率,将两列的距离做得较小,寄生电容 12 影响较大,因此,第一行第二列、第四列的像素电极 11B 的电压会影响第一行第三列、第五列的像素电极 11A 上的电压使得像素电极 11A 的电压发生变化(比如减小),从而,第一行第三列、第五列的像素电极 11A 的灰阶升高,第一行的像素电极 11B 充电完成后,数据线 S11、S12 和 S13 的数据输入像素电极 11B,然后关闭扫描线 G12,打开扫描线 G13,扫描线 G13 通过薄膜晶体管对第二行第一列、第三列和第五列的像素电极 11D 充电,数据线 S11 的数据输入像素电极 11D,然后打开扫描线 G14 对第二行的第二列、第四列和第六列的像素电极 11C 充电,同样的,在对第二行的第二列、第四列和第六列的像素电极 11C 充电的过程中,第二列、第四列和第六列的像素电极 11C 通过寄生电容而影响第二行第三列和第五列的像素电极 11D 的电压使得像素电极 11D 的灰阶升高。

[0004] 从上述分析中,发生灰阶变化的像素电极为第一行第三列和第五列的像素电极 11A 和第二行的第三列和第五列的像素电极 11D,而第一行的第二列和第四列以及第二行的第二列和第四列不发生灰阶变化,以此类推,在整个像素阵列中,总是奇数列上的像素电

极的电压变化而使得灰阶发生变化,而偶数列上灰阶不发生变化,因此,发生灰阶变化的像素集中在一列上,从宏观上看,在液晶显示装置中的显示屏上会因为周期性灰阶不均而出现竖条。

[0005] 另外,为了降低寄生电容的影响而产生竖条的现象,目前,会加大相邻两列像素之间的距离,以减小寄生电容的影响,但是,这样,会降低开口率。

发明内容

[0006] 本发明解决的技术问题是液晶显示装置的周期性灰阶不均引起竖条现象以及加大两列像素之间的距离而影响开口率的问题。

[0007] 为解决上述问题,本发明提供一种液晶显示装置,包括由多个以阵列方式排列的子像素阵列构成的像素阵列,各个子像素阵列包括四个像素电极、四个薄膜晶体管、一条数据线和依序排列的四条扫描线组成的两行两列像素的结构,所述四个薄膜晶体管的源极共用所述数据线,每一薄膜晶体管的漏极连接一像素电极,其中一列的两个薄膜晶体管的栅极分别与中间的两条扫描线连接,另外一列的两个薄膜晶体管的栅极与另外两条扫描线连接,所述液晶显示装置驱动时,依次扫描所述四条扫描线。

[0008] 可选地,所述各个子像素阵列结构相同。

[0009] 可选地,与中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的奇数列,与另外两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列。

[0010] 可选地,与中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列,与另外两条扫描线连接的薄膜晶体管位于整个像素阵列的奇数列。

[0011] 可选地,所述像素阵列中,相邻四个排列成一行的子像素阵列中,各个子像素阵列的结构不完全相同。

[0012] 可选地,所述像素阵列中,相邻四个排列成田字形的子像素阵列中,各个子像素阵列的结构不完全相同。

[0013] 可选地,所述四个子像素阵列中有三个子像素阵列结构相同。

[0014] 可选地,所述四个子像素阵列中有两个子像素阵列的结构相同。

[0015] 与现有技术相比,本发明由于与数据线连接的两列薄膜晶体管中,其中一列薄膜晶体管分别与中间的两条扫描线相连接,另外一列的薄膜晶体管与另外两条扫描线连接,且所述液晶显示装置驱动时,依次扫描所述四条扫描线。因此,在一个子像素阵列中,在同一列的两个像素电极中一个影响行相邻的另一子像素阵列的像素电极的电压而发生灰阶变化,而另一像素电极的像素电压则受到其行相邻的另一子像素阵列的像素电极的影响而发生灰阶变化,因此,在整个像素阵列中,发生灰阶变化的像素电极被分散至不同的列上,而不像现有技术那样,总集中在一列上,因此,本发明通过调整像素电极的薄膜晶体管的栅极与扫描线之间的连接方式而避免了周期性灰阶不均引起的竖条现象,并且,不用增大两相邻像素之间的距离就可以达到目的,保证了的开口率。

附图说明

[0016] 图 1 是现有的液晶显示装置的像素阵列的结构示意图;

[0017] 图 2 是图 1 中第 N 帧图像时的示意图;

- [0018] 图 3 是图 1 中第 N+1 帧图像时的示意图；
- [0019] 图 4 是本发明液晶显示装置的像素阵列第一实施例的结构示意图；
- [0020] 图 5 是本发明液晶显示装置的像素阵列第二实施例的结构示意图；
- [0021] 图 6 是本发明发明液晶显示装置的像素阵列第三实施例的结构示意图；
- [0022] 图 7 是本发明液晶显示装置的像素阵列第四实施例的结构示意图；
- [0023] 图 8 是本发明液晶显示装置的像素阵列第五实施例的结构示意图；
- [0024] 图 9 是本发明液晶显示装置的像素阵列第六实施例的结构示意图；
- [0025] 图 10 是本发明液晶显示装置的像素阵列第七实施例的结构示意图；
- [0026] 图 11 是本发明液晶显示装置的像素阵列第八实施例的结构示意图。

具体实施方式

[0027] 本发明的发明人在制造液晶显示装置的过程中,发现因为寄生电容的影响而使得发生灰阶变化的像素电极存在于同一列上而引起竖条现象。

[0028] 本发明的发明人发现经过创造性的劳动,调整各个像素电极的薄膜晶体管的栅极与扫描线之间的连接方式使得发生灰阶变化的像素电极分布在不同的列,从而,避免了灰阶变化的像素电极集中在一列而引起的竖条现象,而且,不用增大两相邻列像素的距离,保证了开口率。

[0029] 为使本发明的上述目的、特征与优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0030] 请参阅图 4,图 4 表示该发明的第一实施例,在该实施例中,液晶显示装置的像素阵列包括多个以阵列方式排列的第一子像素阵列 2,各个第一子像素阵列 2 的结构相同。以其中一个第一子像素阵列 2 为例,该第一子像素阵列 2 包括四个像素电极 21A、21B、21C 和 21D、四个薄膜晶体管 22A、22B、22C 和 22D、一条数据线 S21 和依序排列的四条扫描线 G21、G22、G23 和 G24 组成的两行两列的结构,在该结构中,每一行的像素电极分别通过薄膜晶体管的栅极连接两条扫描线而形成双扫描线结构 (dual gate),具体的,第一行的像素电极 21A 和 21B 分别通过薄膜晶体管 22A、22B 连接于扫描线 G21 和 G22,第二行的像素电极 21C 和 21D 分别通过薄膜晶体管 22C、22D 连接于扫描线 G23 和 G24;两列薄膜晶体管的源极共用一条数据线,具体的,第一列的薄膜晶体管 22A 和 22D 的源极与数据线 S21 连接且位于数据线 S21 的左侧,第二列薄膜晶体管 22B 和 22C 的源极与数据线 S21 连接且位于数据线 S21 的右侧。在与数据线 S21 连接的两列薄膜晶体管中,其中一列薄膜晶体管 22B 和 22C 分别与中间的两条扫描线 G22 和 G23 相连接,另外一列的薄膜晶体管 22A、22D 与另外两条扫描线 G21 和 G24 连接,以此类推至整个像素阵列,在与数据线连接的任意相邻两列四个薄膜晶体管分别与依次排列的四条扫描线连接,其中一列薄膜晶体管的栅极分别与该四条扫描线中位于中间的两条扫描线相连接,另外一列的薄膜晶体管的栅极与另外两条扫描线连接。图 4 显示了由 6 个第一子像素阵列 2 组成的 4 行 6 列像素阵列结构,该结构中,共有三条数据线 S21、S22 和 S23,八条扫描线 G21、G22、G23、G24、G25、G26、G27 和 G28 以及若干位于扫描线和数据线相交处的像素电极和薄膜晶体管。在所示的 4 行 6 列像素阵列结构中,与中间的两条扫描线连接的薄膜晶体管位于该结构的为第二列、第四列和第六列,与另外两条扫描线连接的薄膜晶体管位于该结构的第一列、第三列和第五列,以此类推至整个像素阵列,

与中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列,与另外两条扫描线连接的薄膜晶体管于整个像素阵列的奇数列。

[0031] 请继续参阅图 4,该实施例的显示过程如下,首先,向扫描线 G21 输入扫描信号使得扫描线 G21 打开。扫描线 G21 打开后,第一行的第一列、第三列和第五列的像素电极 21A 被充电;接着,关闭扫描线 G21,与像素电极 21A 连接的薄膜晶体管 22A 关断,像素电极 21A 进入电压保持状态,打开扫描线 G22,第一行的第二列、第四列和第六列的像素电极 21B 被充电,由于相邻两列的像素电极 21A、21B 之间存在寄生电容(比如,第二列的像素电极 21B 与第三列的像素电极 21A 之间存在寄生电容),以下就以第一行第二列和第三列的像素电极 21B 和 21A 以及第二行第二列和第三列的像素电极 21C 和 21D 为例来说明本实施例,在第一行第二列的像素电极 21B 被充电的过程中,第一行第二列的像素电极 21B 上的电压通过寄生电容使得第一行第三列的像素电极 21A 的电压发生变化,比如,第一行第三列的像素电极 21A 上的电压变小,对于扭曲向列相常白模式,该第一行第三列的像素电极 21A 的灰阶升高;再接着,关闭扫描线 G22,打开扫描线 G23,与扫描线 G23 连接的第二行第二列的像素电极 21C 被充电(当然,此时,第二行的第四列和第六列的像素电极 21C 也会被充电),关断扫描线 G23 后,第二行第二列的像素电极 21C 进入电压保持状态,接着,打开扫描线 G24,与扫描线 G24 连接的像素电极 21D 被充电(当然,此时,第二行第三列和第五列的像素电极 21D 也会被充电),第二行第三列的像素电极 21D 在充电的过程中,同样,由于存在寄生电容,第二行第三列的像素电极 21D 的电压影响第二行第二列的像素电极 21C 上的电压,从而,像素电极 21C 的灰阶变高。

[0032] 综上,第一次发生灰阶变化的第一行第三列的像素电极是 21A,第二次发生灰阶变化的第二行第二列的像素电极是 21C,像素电极 21A 和像素电极 21C 不在同一列上,以此类推至整个像素阵列,发生灰阶变化的像素电极就不在同一列,与现有技术中发生灰阶变化的像素电极在同一列的情况相比,该实施例避免了周期性灰阶不均引起竖条的情况,而且还不用增大相邻两列之间的距离(第二列和第三列之间),保证了开口率。

[0033] 请参阅图 5,图 5 是本发明的第二实施例,该实施例中,所述液晶显示装置的像素阵列也包括多个以阵列方式排列的第二子像素阵列 3,各个第二子像素阵列 3 的结构相同。以其中一个第二子像素阵列 3 为例,第二子像素阵列 3 包括四个像素电极 31A、31B、31C 和 31D、四个薄膜晶体管 32A、32B、32C 和 32D、一条数据线 S31 和依序排列的四条扫描线 G31、G32、G33 和 G34 组成的两行两列的结构,在该结构中,每一行的像素电极分别通过薄膜晶体管的栅极连接两条扫描线而形成双扫描线结构(dual gate),具体的,第一行的像素电极 31A 和 31B 分别通过薄膜晶体管 32A、32B 连接于扫描线 G32 和 G31,第二行的像素电极 31C 和 31D 分别通过薄膜晶体管 32C、32D 连接于扫描线 G34 和 G33;两列薄膜晶体管的源极共用一条数据线,具体的,第一列的薄膜晶体管 32A 和 32D 的源极与数据线 S31 连接且位于数据线 S31 的左侧,第二列薄膜晶体管 32B 和 32C 的源极与数据线 S31 连接且位于数据线 S31 的右侧。在与数据线 S31 连接的两列薄膜晶体管中,其中一列薄膜晶体管 32A、32D 的栅极与扫描线 G32 和 G33 相连接,另外一列薄膜晶体管 32B、32C 的栅极与另外两条扫描线 G31 和 G34 连接。以此类推至整个像素阵列,以此类推至整个像素阵列,在与数据线连接的任意相邻两列四个薄膜晶体管分别与依次排列的四条扫描线连接,其中一列薄膜晶体管的栅极分别与该四条扫描线中位于中间的两条扫描线相连接,另外一列的薄膜晶体管的栅极与另

外两条扫描线连接。图 5 显示了由 6 个第二子像素阵列 3 组成的 4 行 6 列的结构,该结构中,共有三条数据线 S31、S32 和 S33,八条扫描线 G31、G32、G33、G34、G35、G36、G37 和 G38 以及若干位于扫描线和数据线相交处的像素电极和薄膜晶体管。在所示的 4 行 6 列的像素阵列中,与中间的两条扫描线连接的薄膜晶体管位于该结构的为第一列、第三列和第五列,与另外两条扫描线连接的薄膜晶体管位于该结构的第二列、第四列和第六列,以此类推至整个像素阵列,中间的两条扫描线连接的薄膜晶体管位于整个像素阵列的奇数列,与另外两条扫描线连接的薄膜晶体管位于整个像素阵列的偶数列。

[0034] 请继续参阅图 5,由于该实施例中,扫描线和数据线的工作过程相同,因此,在此不再赘述。下面仅对受影响的像素电极为例进行描述,在该实施例中,第一行的第三列的像素电极 31A 影响第一行第二列的像素电极 31B 而使得像素电极 31B 的灰阶发生变化,第二行第二列的像素电极 31C 影响第二行第三列的像素电极 31D 而使得像素电极 31D 的灰阶发生变化,在该实施例中,灰阶发生变化的像素 31B 和 32D 不在同一列上,以此类推至整个液晶显示装置的像素阵列,发生灰阶变化的像素电极就不在同一列,从而,避免了灰阶变换的像素电极集中在同一列而引起的竖条现象,而且,不用增大两相邻列像素之间的距离,保证了开口率。

[0035] 图 4 和图 5 所示的像素阵列中,各个子像素阵列的结构相同,当然,像素阵列中的各个子像素阵列的结构也可以不相同,下面以图 6 至图 10 为例,对子像素阵列结构不同的像素阵列的结构说明如下:

[0036] 请参阅图 6,图 6 是本发明的第三实施例,在该实施例中,相邻四个子像素阵列中排成田字形,在该四个像素阵列中,有三个子像素阵列的结构相同,具体的,包括三个第二子像素阵列 3 和一个第一子像素阵列 2,所述第一子像素阵列 2 位于田字形的右下角,在该实施例中,都是在扫描线 G41、G42、G43、G44、G45、G46、G47 和 G48 依次获得相应的扫描信号后打开与像素电极连接的的薄膜晶体管,然后相应的数据信号通过数据线 S41 和 S42 输入,在此不再赘述信号的输入。在图 6 中,第一行第二列和第三列的像素电极的薄膜晶体管被扫描线 G41 同时打开、第二行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G44 打开,因此,寄生电容不会影响像素电极的灰阶,当第三行第二列的像素电极 41B 的薄膜晶体管在获取 G45 的扫描信号被打开而进入电压保持状态的时候,扫描线 G46 向第三行第三列的像素电极 41A 充电的时候,该像素电极 41A 会影响第三行第二列的像素电极 41B 使得像素电极 41B 的灰阶发生变化,同样的道理,在第四行第三列的像素电极 41D 的薄膜晶体管获取扫描线 G47 的信号而进入电压保持状态的时,第四行第二列的像素电极 41C 会影响第四行第三列的像素电极 41D 的电压而使得像素电极 41D 的灰阶发生变化,在该实施例中,发生灰阶变化的像素电极 41B 和 41D 不在同一列,以此道理类推至整个像素阵列,发生灰阶变化的像素电极不在同一列上,因此,该实施例的像素电极阵列同样不会出现灰阶不均引起竖条的现象。

[0037] 请参阅图 7,图 7 是本发明的第四实施例,在该实施例中,相邻四个子像素阵列排列成田字形,在该四个子像素阵列中,有两个子像素阵列的结构相同,具体的,包括二个第二子像素阵列 3 和二一个第一子像素阵列 2,二个第二子像素阵列 3 排成一列,二个第一子像素阵列 2 排成一列,在该实施例中,当对扫描线逐行进行扫描时,第一行第二列和第三列同时被扫描线 G51 打开、第二行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G54

打开,第三行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G55 打开,第四行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G58 打开,因此,寄生电容不会影响像素电极的灰阶,因此,该实施例的像素电极阵列同样不会出现灰阶不均引起竖条的现象。

[0038] 请参阅图 8,图 8 是本发明的第五实施例,在该实施例中,相邻四个子像素阵列排成田字形,在该四个子像素阵列中,处于交叉位置的两个子像素阵列的结构相同,具体的,包括二个第二子像素阵列 3 和二一个第一子像素阵列 2,两个子像素阵列 2 位于对角线上、两个子像素阵列 3 位于对角线上,在该实施例中,当对扫描线逐行进行扫描时,第一行第二列和第三列同时被扫描线 G62 打开、第二行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G63 打开,第三行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G65 打开,第四行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G68 打开,因此,寄生电容不会影响像素电极的灰阶,因此,该实施例的像素阵列同样不会出现灰阶不均引起竖条的现象。

[0039] 请参阅图 9,图 9 是本发明的第六实施例,在该实施例中,相邻四个子像素阵列排成田字形,在该四个子像素阵列中,有三个子像素阵列的结构相同,具体的,包括三个第一子像素阵列 2 和一个第二子像素阵列 3,第二子像素阵列 3 位于田字形的左下角,在该实施例中,当对扫描线逐行进行扫描时,第一行第二列和第三列被扫描线 G71 同时打开、第二行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G74 打开,因此,寄生电容不会影响像素电极的灰阶,当第三行第二列的像素电极 71B 的薄膜晶体管在获取 G76 的扫描信号被打开而进入电压保持状态的时候,扫描线 G76 向第三行第二列的像素电极 71B 充电的时候,该像素电极 71B 会影响第三行第三列的像素电极 71A 使得像素电极 71A 的灰阶发生变化,同样的道理,在第四行第二列的像素电极 71C 的薄膜晶体管获取扫描线 G77 的信号而进入电压保持状态的时,第四行第三列的像素电极 71D 会影响第四行第二列的像素电极 71C 的电压而使得像素电极 71C 的灰阶发生变化,在该实施例中,发生灰阶变化的像素电极 71A 和 71C 不在同一列,以此道理类推至整个像素阵列,发生灰阶变化的像素电极不在同一列上,因此,该实施例的像素阵列同样不会出现灰阶不均引起竖条的现象。

[0040] 请参阅图 10,图 10 是本发明的第七实施例,在该实施例中,相邻四个子像素阵列排列成田字形,在该四个子像素阵列中,有三个子像素阵列的结构相同,具体的,包括三个第一子像素阵列 2 和一个第二子像素阵列 3,所述第二子像素阵列 3 位于田字形的右下角,在该实施例中,当对扫描线逐行进行扫描时,第一行第二列和第三列被扫描线 G82 同时打开、第二行第二列和第三列的像素电极的薄膜晶体管同时被扫描线 G83 打开,因此,寄生电容不会影响像素电极的灰阶,当第三行第三列的像素电极 81A 的薄膜晶体管在获取扫描线 G85 的扫描信号被打开使得像素电极 81A 进入电压保持状态的时候,扫描线 G86 向第三行第二列的像素电极 81B 充电的时候,该像素电极 81B 会影响第三行第三列的像素电极 81A 使得像素电极 81A 的灰阶发生变化,同样的道理,在第四行第二列的像素电极 81C 的薄膜晶体管获取扫描线 G87 的信号而进入电压保持状态的时,第四行第三列的像素电极 81D 会影响第四行第二列的像素电极 81C 的电压而使得像素电极 81C 的灰阶发生变化,在该实施例中,发生灰阶变化的像素电极 81A 和 81C 不在同一列,以此道理类推至整个像素阵列,发生灰阶变化的像素电极不在同一列上,因此,该实施例的像素阵列同样不会出现灰阶不均引起竖条的现象。

[0041] 上述第三实施例至第七实施例均对相邻四个排列成田字形的子像素阵列中,各个子像素阵列的结构不完全相同的情况,但是,可以预见的是,当四个子像素阵列排列成一行或者一列时,所述液晶显示装置同样不会出现灰阶不均引起竖条的现象,

[0042] 请参阅图 11,图 11 是本发明的第八实施例,在该实施例中,相邻四个子像素阵列排成一行,在该实施例中,包括三个第二子像素阵列 3 和一个第一子像素阵列 2,所述三个第二子像素阵列 3 相邻,在该实施例中,所述四个像素阵列排成二行八列的结构,在该结构中,第一行第二列的像素电极 91B1 和第三列的像素电极 91A 被扫描线 G92 同时充电,因此,不会出现灰阶不均的现象,同样,第二行第二列的像素电极 91C1 和第三列的像素电极 91D 被扫描线 G93 同时充电,也不会出现灰阶不均的现象;第一行第四列的像素电极 91B 被第一行第五列的像素电极 91A 影响而灰阶发生变化,第二行第五列的像素电极 91D 被第二行第四列的像素电极 91C 影响而灰阶发生变化,从而,发生灰阶变化的像素电极 91D 和 91B 不在同一列上,从而,可以避免灰阶不均的现象,同样的道理,发生灰阶变化的第一行第六列的 91B 和第二行第七列的 91D 不在同一列,因此,相邻四个子像素阵列排成一行的情况中,也不会出现竖条现象。以此类推,所述三个第二子像素阵列 3 和第一子像素阵列 2 按照其他方式排成一行,也能避免出现竖条的现象。

[0043] 本发明虽然以较佳实施例公开如上,但其并不是用来限定权利要求,任何本领域技术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此本发明的保护范围应当以本发明权利要求所界定的范围为准。

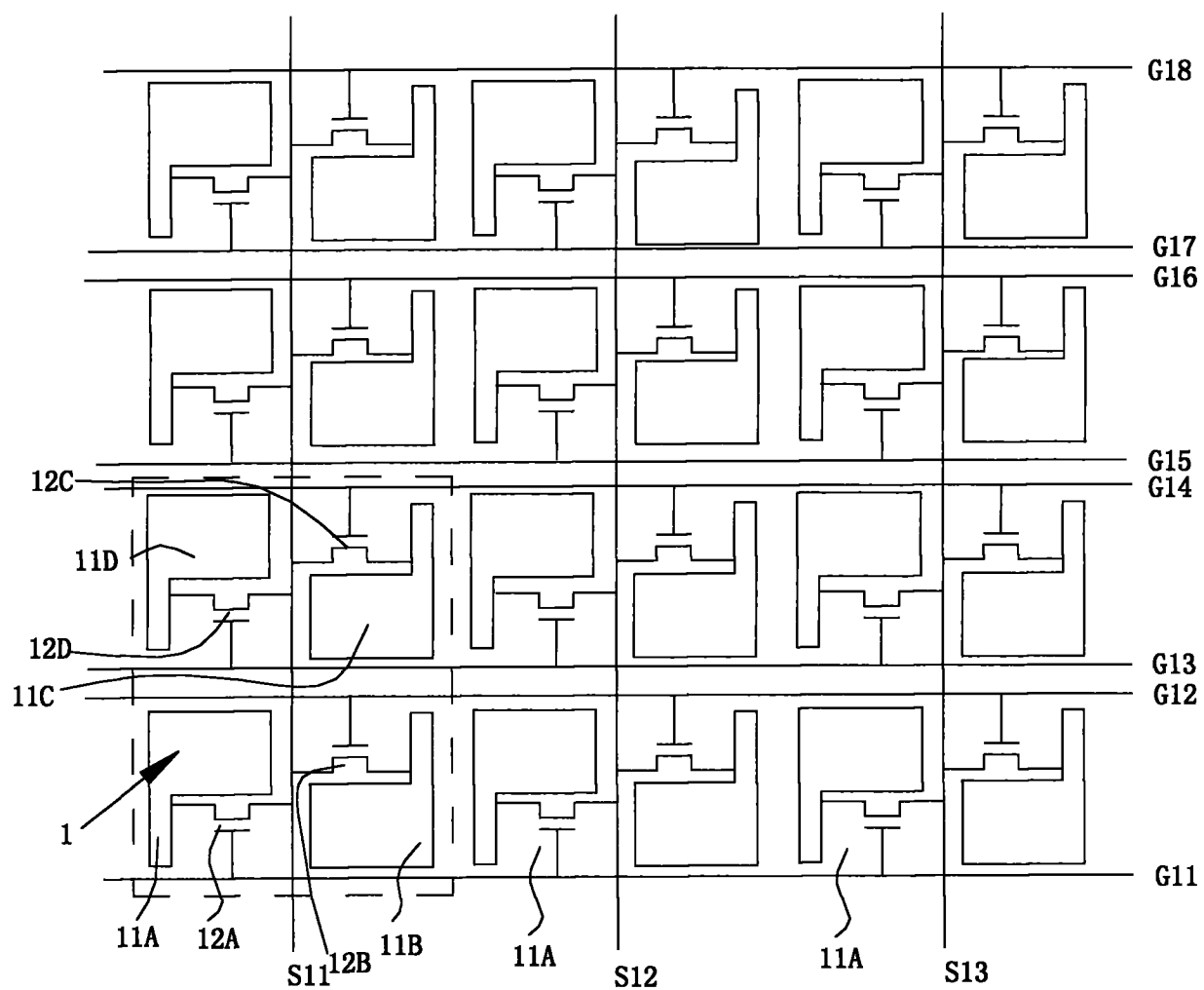


图 1

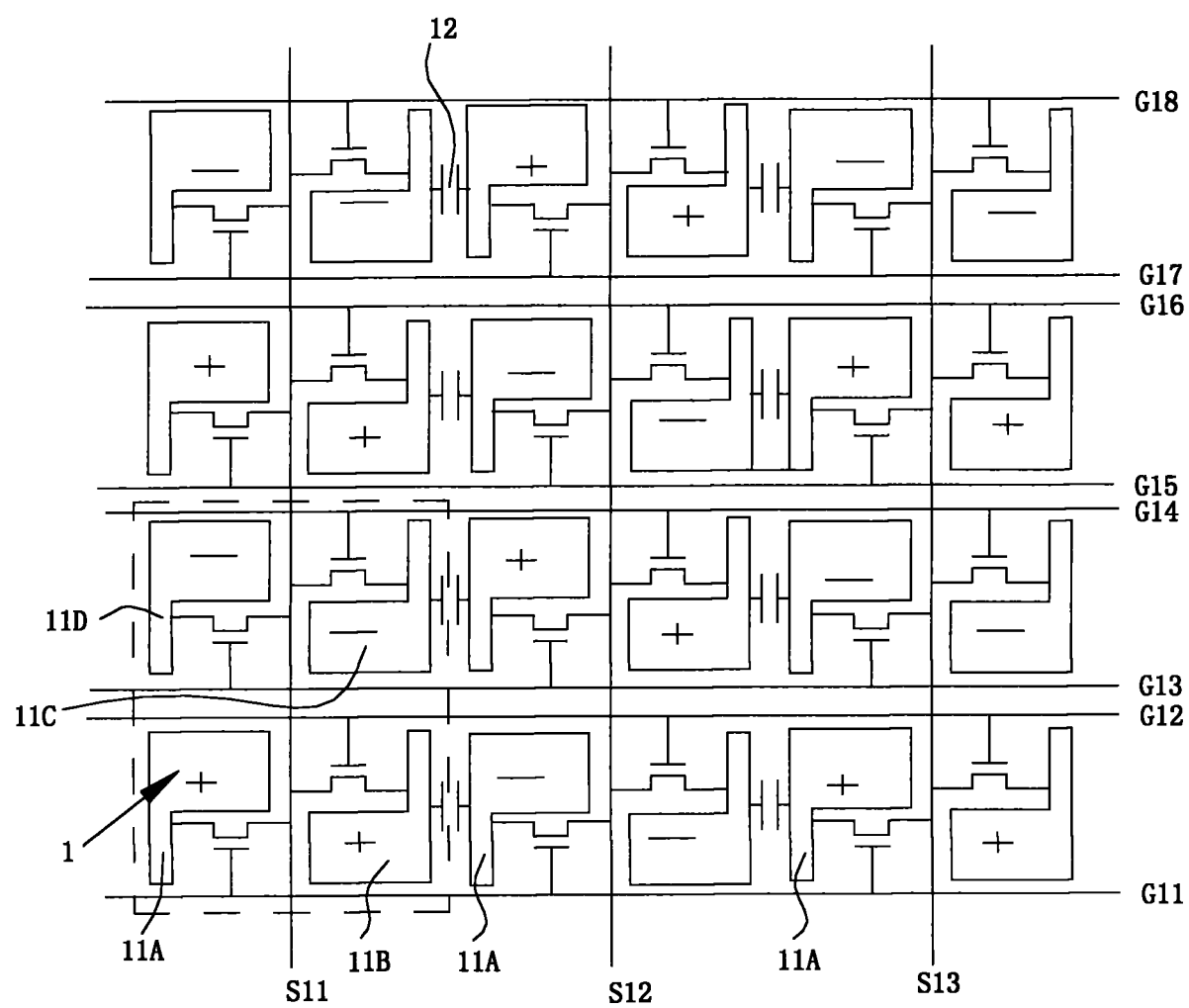


图 2

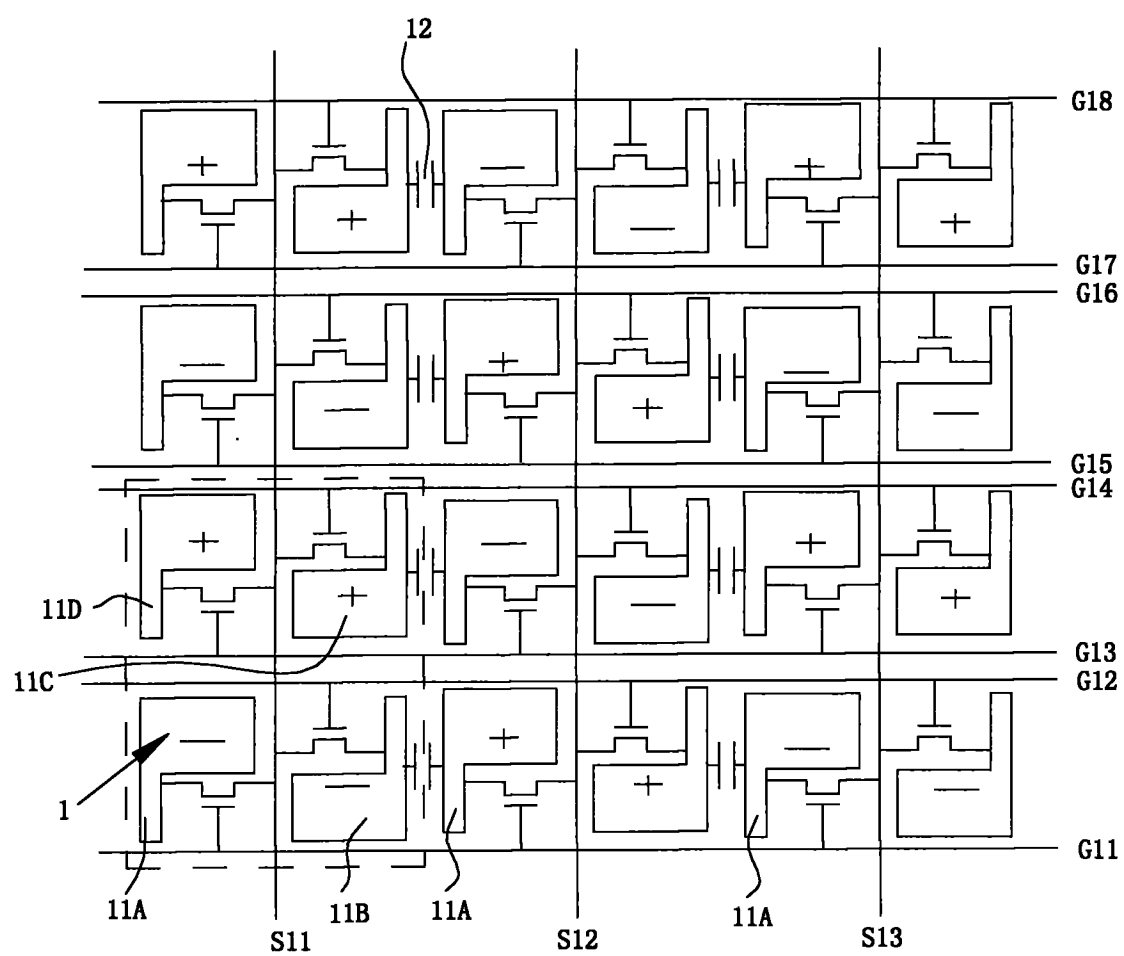


图 3

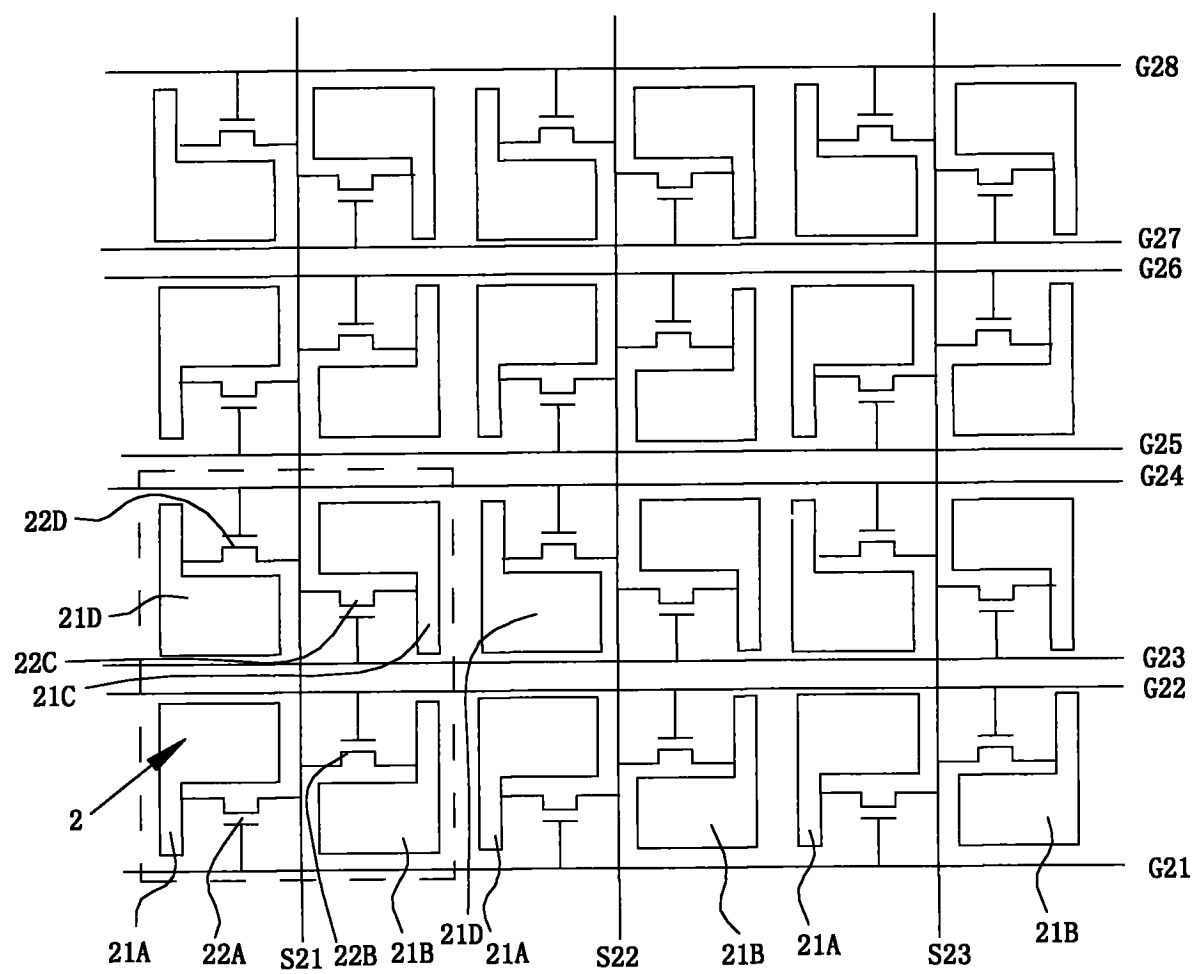


图 4

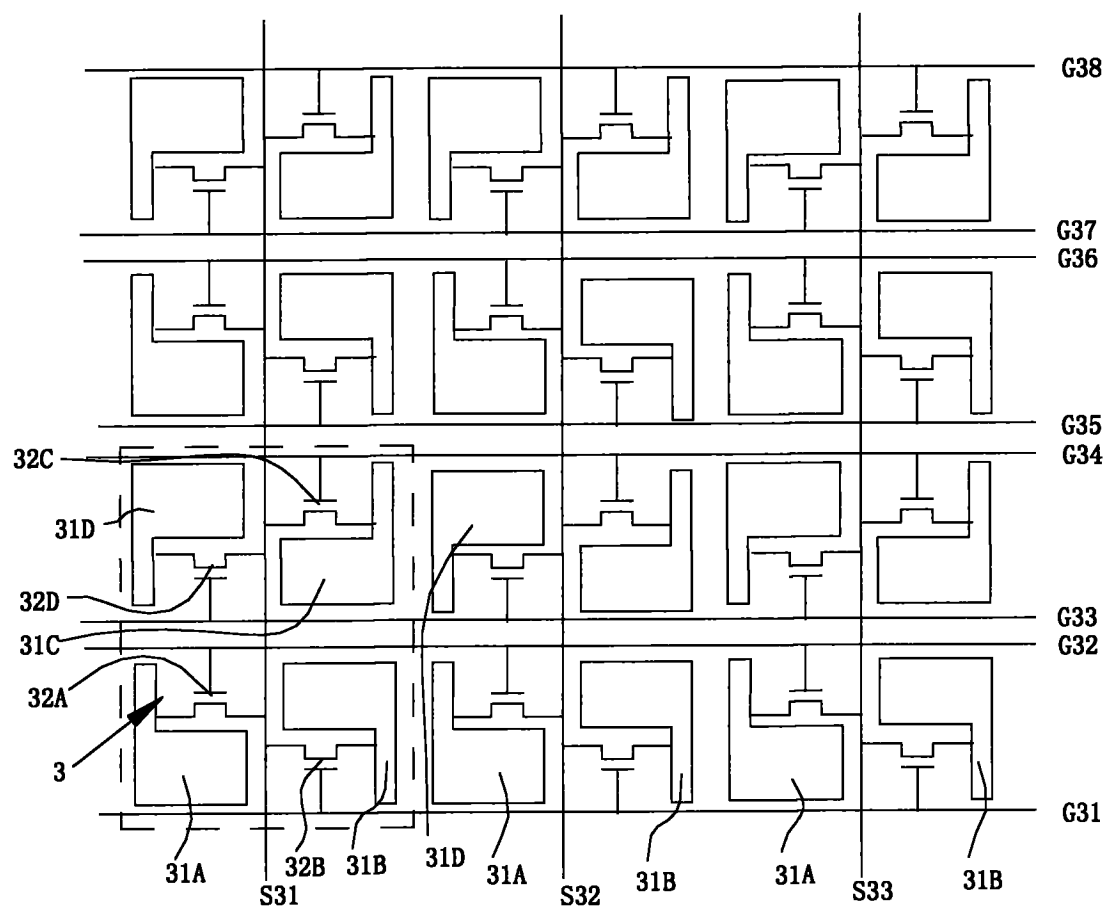


图 5

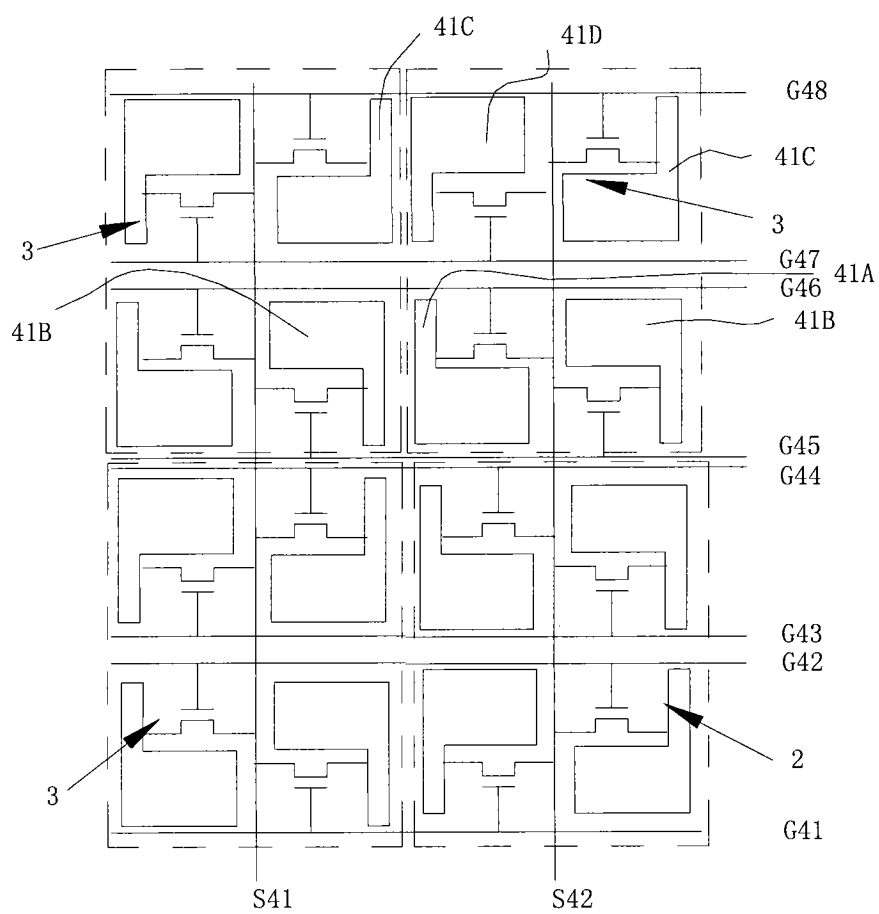


图 6

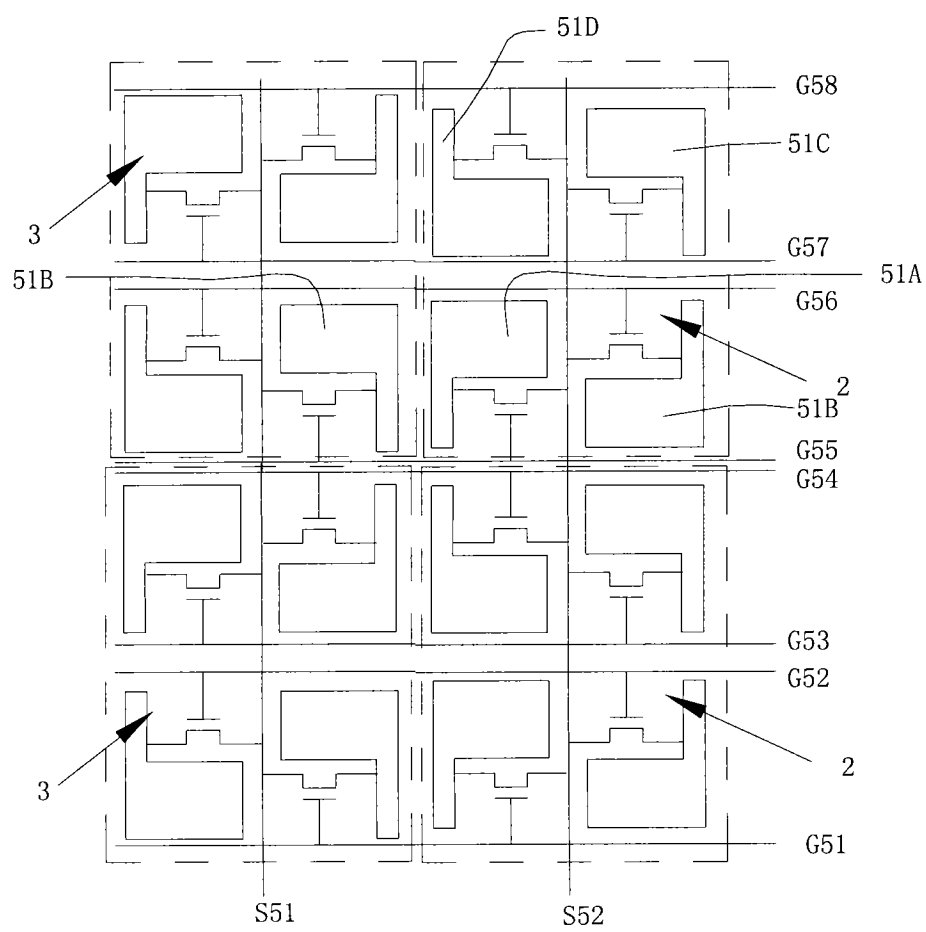


图 7

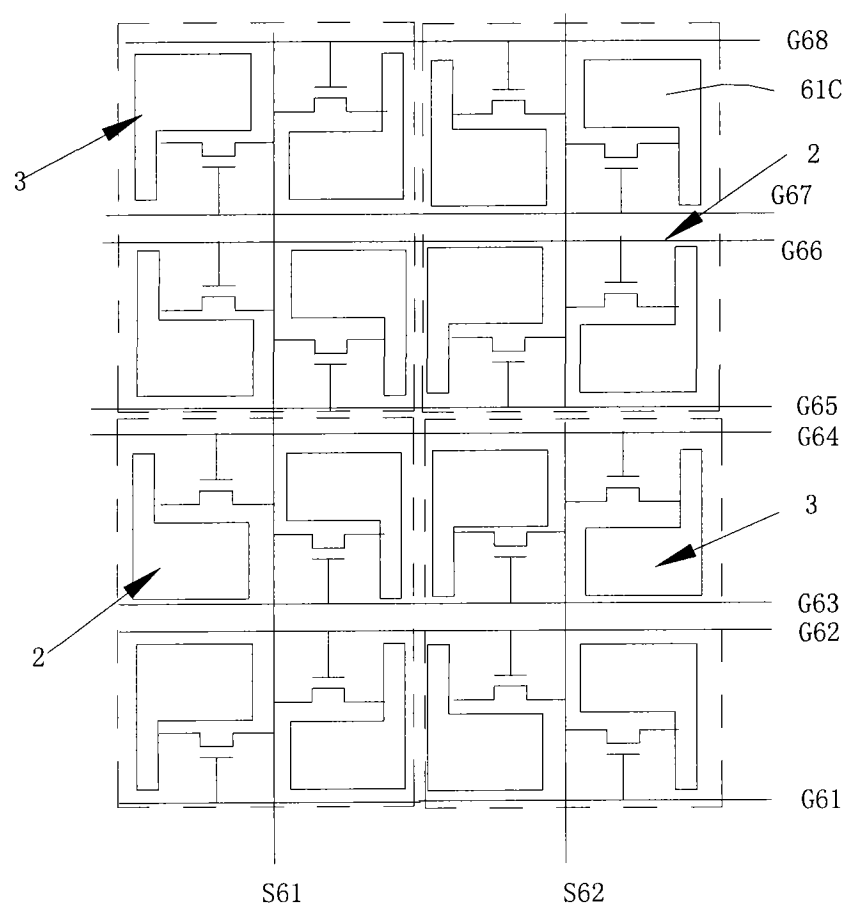


图 8

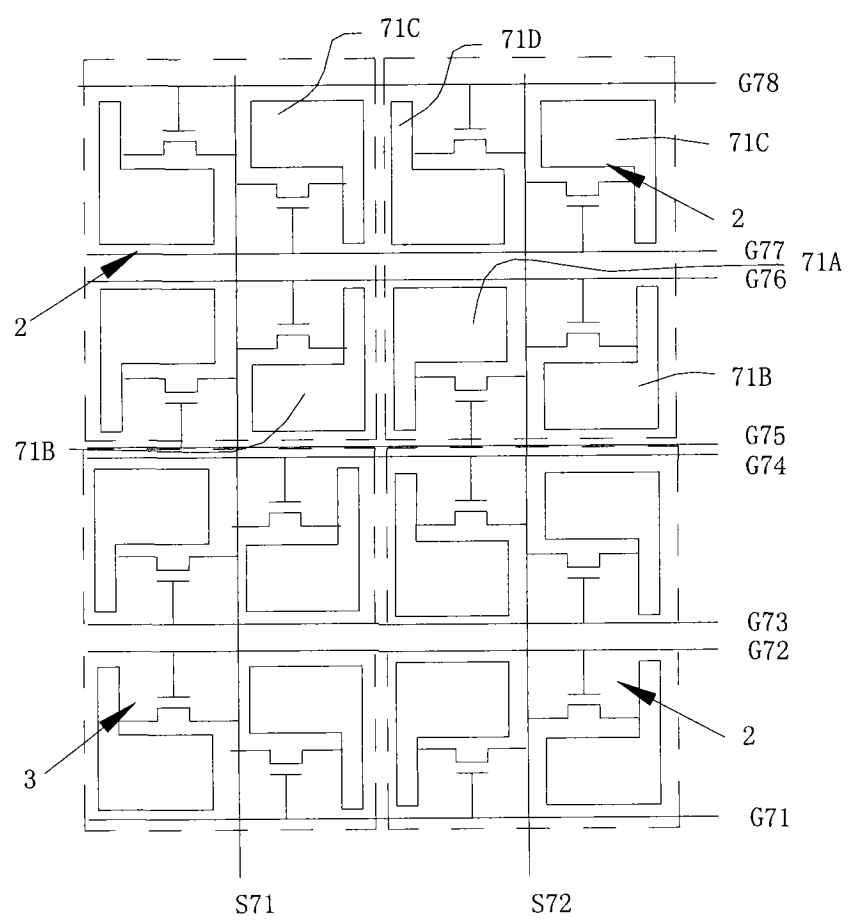


图 9

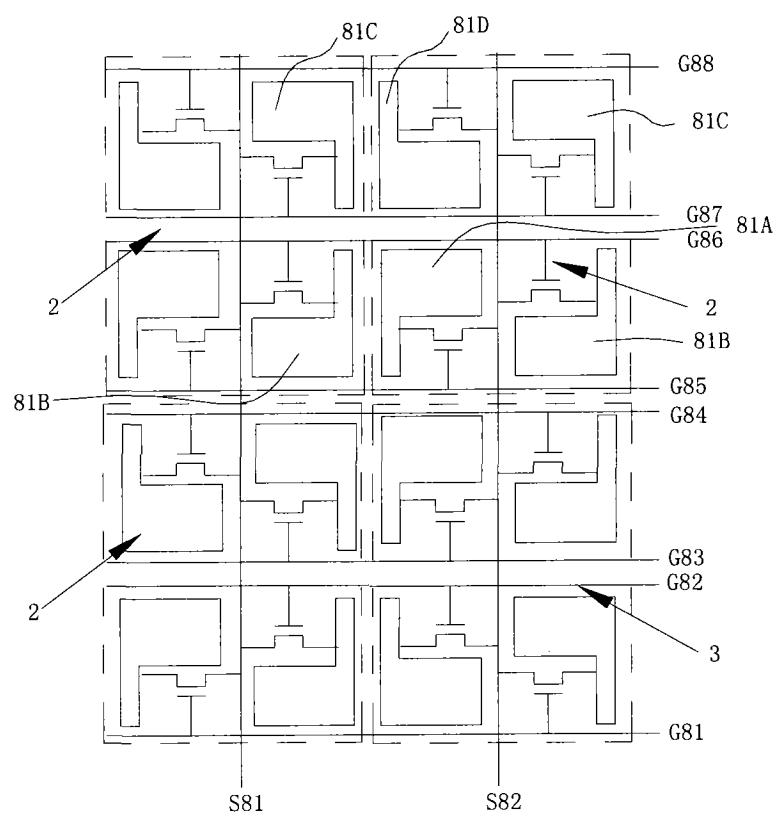


图 10

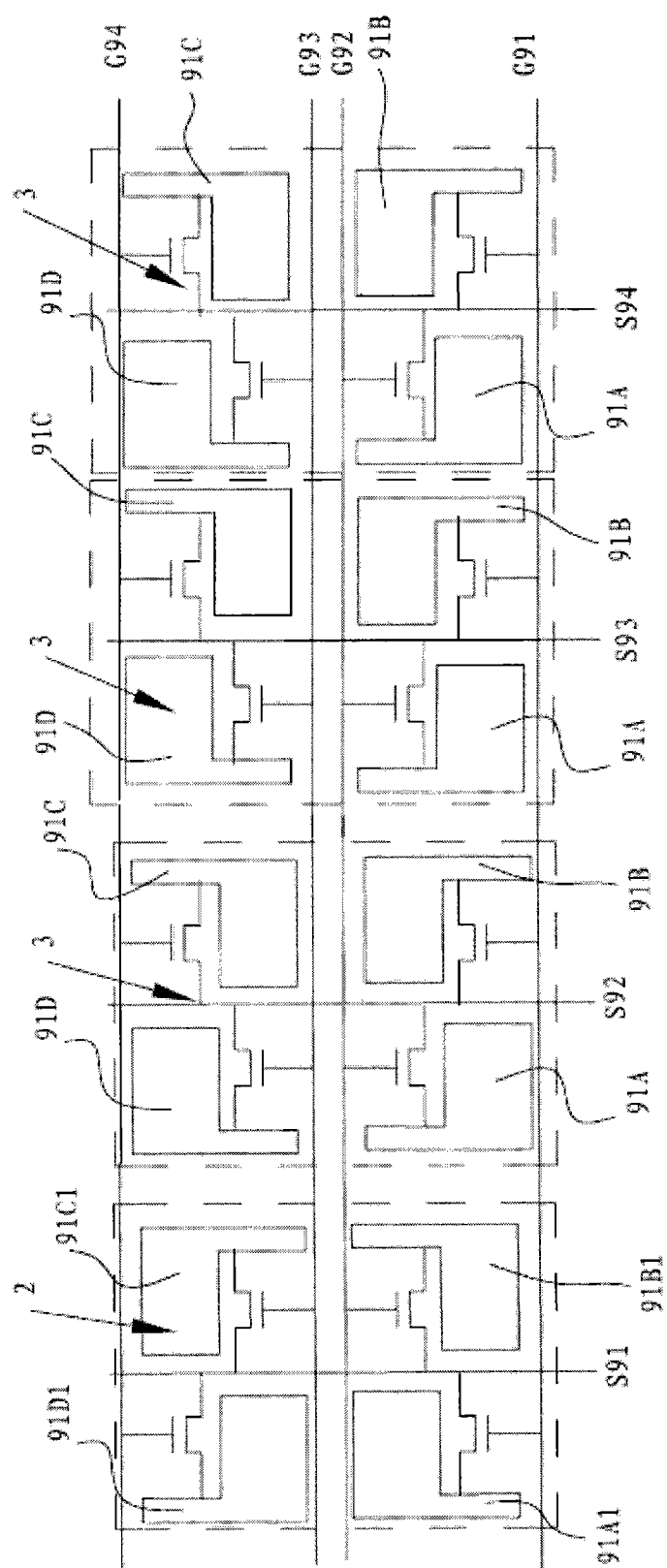


图 11

专利名称(译)	液晶显示装置		
公开(公告)号	CN102116979A	公开(公告)日	2011-07-06
申请号	CN200910248078.4	申请日	2009-12-31
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海天马微电子有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司		
[标]发明人	赵剑 李治福 蒋顺 李峻		
发明人	赵剑 李治福 蒋顺 李峻		
IPC分类号	G02F1/1362 G02F1/1368		
代理人(译)	李丽		
其他公开文献	CN102116979B		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置，包括由多个以阵列方式排列的子像素阵列构成的像素阵列，各个子像素阵列包括四个像素电极、四个薄膜晶体管、一条数据线和依序排列的四条扫描线组成的两行两列像素的结构，所述四个薄膜晶体管的源极共用所述数据线，每一薄膜晶体管的漏极连接一像素电极，其中一列的两个薄膜晶体管的栅极分别与中间的两条扫描线连接，另外一列的两个薄膜晶体管的栅极与另外两条扫描线连接，所述液晶显示装置驱动时，依次扫描所述四条扫描线。本发明由于发生灰阶变化的像素电极至不同的列上，避免了周期性灰阶不均引起的竖条现象，并且，保证了开口率。

