



(12) 发明专利

(10) 授权公告号 CN 101866087 B

(45) 授权公告日 2012. 03. 21

(21) 申请号 200910301554. 4

(22) 申请日 2009. 04. 14

(73) 专利权人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富
士康科技工业园 E 区 4 栋 1 层

专利权人 奇美电子股份有限公司

W0 2009001578 A1, 2008. 12. 31, 全文.

US 2008088783 A1, 2008. 04. 17, 全文.

US 2008246898 A1, 2008. 10. 09, 全文.

CN 101201522 A, 2008. 06. 18, 全文.

审查员 崔双魁

(72) 发明人 陈建丞 林育正 洪文明 吴勇勋
陈鹊如

(51) Int. Cl.

G02F 1/1368 (2006. 01)

G02F 1/1362 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1821842 A, 2006. 08. 23, 说明书具体实施方式及附图.

CN 1821842 A, 2006. 08. 23, 说明书具体实施方式及附图.

CN 1908791 A, 2007. 02. 07, 说明书第 4 页第
3 段至第 5 页第 1 段及附图 3A-3B.

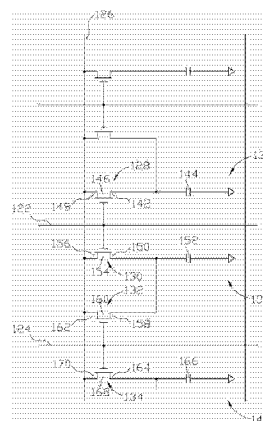
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

子像素结构及液晶显示面板

(57) 摘要

本发明涉及一种液晶显示器的子像素结构, 该子像素结构设置在一第一基板与一第二基板之间。该子像素结构包括一第一部分与一第二部分、一数据线、一第一扫描线和一第二扫描线与该数据线垂直设置。此外, 子像素结构另包括一第一晶体管设置在第一扫描线并连接子像素结构的第一部分, 一第二晶体管设置在第一扫描线并连接子像素结构的第二部分和一第三晶体管设置在第二扫描线并连接子像素结构的第二部分。



1. 一种液晶显示器的子像素结构,设置在一第一基板与一第二基板之间,一种子像素结构,其包括一第一部分、一第二部分、一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线,其特征在于:该子像素结构还包括一第一晶体管、一第二晶体管和第三晶体管,该第一晶体管设置在该第一扫描线与该数据线上并连接到该子像素结构的第一部分,该第二晶体管设置在该第一扫描线与该数据线上并连接该子像素结构的该第二部分,该第三晶体管设置在该第二扫描线与该数据线上并连接该子像素结构的该第二部分。

2. 如权利要求1所述的子像素结构,其特征在于:该子像素结构还包括一设置在该第二扫描线上的第四晶体管。

3. 如权利要求2所述的子像素结构,其特征在于:该第四晶体管连接到一邻近该子像素结构的另一子像素结构。

4. 如权利要求2所述的子像素结构,其特征在于:该第一晶体管、第二晶体管、第三晶体管及该第四晶体管分别为一薄膜晶体管。

5. 如权利要求1所述的子像素结构,其特征在于:该子像素结构还包括至少一第一电容和至少一第二电容,该至少一第一电容设置在该子像素结构的该第一部分并连接该第一晶体管,该至少一第二电容设置在该子像素结构的该第二部分并连接该第二晶体管和该第三晶体管。

6. 如权利要求1所述的子像素结构,其特征在于:该子像素结构还包括至少一第一像素电极和至少一第二像素电极,该至少一第一像素电极设置在该子像素结构的该第一部分并连接该第一晶体管,该至少一第二像素电极设置在该子像素结构的该第二部分并连接该第二晶体管和该第三晶体管。

7. 一种液晶显示面板驱动方法,其包括如下步骤:

提供一子像素结构,该子像素结构包括第一部分、一第二部分、一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线;

在一第一时间周期开启该第一扫描线,由该数据线输入一第一电压并对该第一部分进行充电并同时对该第二部分进行预充电;

在一第二时间周期关闭该第一扫描线,开启该第二扫描线,由该数据线输入一第二电压并仅对该第二部分进行充电。

8. 如权利要求7项所述的液晶显示面板驱动方法,其特征在于:该第一电压与该第二电压相异。

9. 如权利要求7项所述的液晶显示面板驱动方法,其特征在于:另包含设置一第一晶体管于该第一扫描线与该数据线并连接该子像素结构之该第一部分,以及设置一第二晶体管与一第三晶体管于该第二扫描线与该数据线并连接该子像素结构之该第二部分。

10. 一种液晶显示面板,其包括:

一第一基板与一第二基板;

至少一子像素结构设于该第一基板与该第二基板之间,该子像素结构具有一第一部分与一第二部分,且该子像素结构还包括:

一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线、一第一晶体管、一第二晶体管和一第三晶体管,该第一晶体管设置在该第一扫描线与该数据线上并连接该子像素结构的第一部分,该第二晶体管设置在该第一扫描线与该数据线上并连接该子像素结构

的第二部分,该第三晶体管设置在该第二扫描线与该数据线上并连接该子像素结构的该第二部分。

子像素结构及液晶显示面板

技术领域

[0001] 本发明涉及一种液晶显示器的子像素结构,特别涉及一种可提升电容充电能力的子像素结构。

背景技术

[0002] 薄膜晶体管液晶显示器(thin film transistor liquid crystal display, TFT-LCD) 主要是利用成矩阵状排列的薄膜晶体管,并配合适当的电容、转接垫等电子元件来驱动液晶像素,以产生丰富亮丽的图形。由于薄膜晶体管液晶显示器具有外型轻薄、耗电量少和无辐射污染等特性,因此被广泛地应用在笔记型计算机(notebook)、个人数字助理(PDA) 等便携式信息产品上,甚至已有逐渐取代传统桌上型计算机的 CRT 监视器和家用电视的趋势。

[0003] 目前薄膜晶体管液晶显示器主要由薄膜晶体管基板、彩色滤光片基板和填充在薄膜晶体管基板与彩色滤光片基板之间的液晶层所构成。其中薄膜晶体管基板是由多个数组排列的薄膜晶体管和与每个薄膜晶体管对应配置的像素电极所组成。彩色滤光片基板则具有多个个数组排列而成的彩色滤光片,使液晶显示器的每一像素呈现丰富亮丽的颜色。每个像素电极与对应的薄膜晶体管一同组成一像素结构,并使用薄膜晶体管来作为每个像素结构的开关元件。另外,为了控制个别像素的灰阶,通常会经由多条相互垂直交错的扫描线(scan or gate line)与数据线(data or signal line)选取特定的像素,并通过提供适当的操作电压,以显示对应此像素的显示数据。另外,上述的像素电极的部分区域通常会覆盖在扫描线或共享配线(common line)上,以形成储存电容。

[0004] 针对颜色显示动作,每一像素主要由三个子像素所组成,并搭配不同的彩色滤光片来产生红、绿、蓝等颜色。现有的子像素架构通常又可再分隔为两部分,使液晶显示器在灰阶转换上达到更细腻的效果与较佳的更新频率。在这个架构下,每个子像素中的不同部分又各自可以由一条扫描线与一颗薄膜晶体管来控制。为了改善液晶显示器的色偏(color washout)效果,通常会分别对对各个子像素的不同部分施加不同电压,使液晶产生更多指向。

[0005] 然而,为了使子像素中的两个部分分别得到不同电压,在使用一般 60Hz 的更新频率驱动下,上述架构中的各扫描线开启时间会大幅缩短,例如在 1024x768 分辨率的显示器下,扫描线的开启时间会从原本的 16.66 毫秒(ms) 缩短为 8.33 毫秒。若以更高的频率(例如 120Hz) 来驱动子像素,则每条扫描线可开启的时间将仅剩 4.16 毫秒。由于每条扫描线在高频率驱动下的开启时间大幅降低,像素结构中连接扫描线的储存电容即会有充电能力不足的问题。

发明内容

[0006] 为了解决现有的液晶显示器的子像素结构容易在高频驱动下造成充电能力不足的问题,本发明提供一种液晶显示器的子像素结构,可以对每个子像素中的各部分提供不同电压时确保子像素中的各部分获得完整的充电能力。

[0007] 一种子像素结构,其包括一第一部分、一第二部分、一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线。其中,该子像素结构还包括一第一晶体管、一第二晶体管和第三晶体管。该第一晶体管设置在该第一扫描线上并连接到该子像素结构的第一部分,该第二晶体管设置在该第一扫描线并连接该子像素结构的该第二部分,该第三晶体管设置在该第二扫描线上并连接该子像素结构的该第二部分。

[0008] 一种液晶显示面板驱动方法,其包括如下步骤:提供一子像素结构,该子像素结构包括第一部分、一第二部分、一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线;在一第一时间周期由该数据线输入一第一电压并对该第一部分进行充电并同时对该第二部分进行预充电;在一第二时间周期由该数据线输入一第二电压并仅对该第二部分进行充电。

[0009] 一种液晶显示面板,其包括:一第一基板与一第二基板;至少一子像素结构设于该第一基板与该第二基板之间,该子像素结构具有一第一部分与一第二部分,且该子像素结构还包括:一数据线、一第一扫描线和一与该数据线交错设置的第二扫描线、一第一晶体管、一第二晶体管和一第三晶体管。该第一晶体管设置在该第一扫描线并连接该子像素结构的第一部分,该第二晶体管设置在该第一扫描线并连接该子像素结构的第二部分,该第三晶体管设置在该第二扫描线并连接该子像素结构的该第二部分。

[0010] 本发明主要在一子像素结构中同时设置三颗或四颗薄膜晶体管,使子像素结构在120Hz 的频率驱动下可提升像素中各部分的充电时间及整体充电能力。依据本发明的三颗薄膜晶体管的架构,其中两颗薄膜晶体管是设置在子像素结构中的第一条扫描线并分别控制子像素结构的第一部分与第二部分,而另一颗薄膜晶体管则设置在第二条扫描线并控制子像素结构的第二部分。本发明的四颗薄膜晶体管架构则在子像素的两条扫描线分别设置两颗薄膜晶体管。这个设计除了可同时对原本的子像素结构中的两个部分进行充电外,又可同时对下一个子像素进行预充电。由于上述架构可在开启一条扫描线的时候同时对子像素结构中的两个部分进行充电,本发明可在对每个子像素中的各部分提供不同电压时确保子像素中的各部分获得完整的充电能力,进而达到改善色偏的效果。

附图说明

[0011] 图1为本发明第一实施例设置三颗薄膜晶体管在一子像素结构的像素等效电路图。

[0012] 图2为图1中子像素结构的像素示意图。

[0013] 图3为本发明第一实施例在120Hz 频率下驱动一像素结构的灰阶与时序图。

[0014] 图4为本发明另一实施例设置四颗薄膜晶体管在子像素结构的像素等效电路图。

[0015] 图5为图4中子像素结构的像素示意图。

[0016] 图6为图5中实际子像素结构的示意图。

[0017] 图7为本发明第二实施例驱动一像素结构的灰阶与时序图。

具体实施方式

[0018] 请参照图1与图2,图1为本发明第一实施例设置三颗薄膜晶体管在一子像素结构的像素等效电路图,图2则为第1图中子像素结构的像素示意图。如图中所示,本发明的薄

膜晶体管液晶显示器的子像素结构 10 可设置在一彩色滤光片基板和一薄膜晶体管基板之间,且各子像素结构 10 都包括两条水平设置的扫描线 12、14、一垂直交错扫描线 12、14 的数据线 16 和三颗薄膜晶体管 18、20、22 分别电连接扫描线 12、14 与数据线 16。其中,薄膜晶体管 18、20、22 可以为下栅极 (Bottom Gate) 结构或上栅极 (Top Gate) 结构,且每个子像素结构 10 包括两个部分,例如一第一部分 24 与一第二部分 26。在本实施例中,薄膜晶体管 18 是设置在扫描线 12 上并控制子像素结构 10 中第一部分 24 的像素电极 252,薄膜晶体管 20 是设置在扫描线 12 上并控制子像素结构 10 中第二部分 26 的像素电极 254,而薄膜晶体管 22 则是设置在扫描线 14 上并控制子像素结构 10 第二部分 26 的像素电极 254。

[0019] 如图 1 的等效电路图所示,薄膜晶体管 18 的漏极 28 是电连接到子像素结构 10 中第一部分 24 的电容 30,栅极 32 是连接到扫描线 12,而源极 34 则是连接到数据线 16。薄膜晶体管 20 的漏极 36 是连接到子像素结构 10 中第二部分 26 的电容 38,栅极 40 是连接到扫描线 12,而源极 42 则是连接到数据线 16。薄膜晶体管 22 的漏极 44 是电连接到子像素结构 10 中第二部分 26 的电容 38,栅极 46 是连接扫描线 14,而源极 48 则是连接到数据线 16。在本实施例中,设在子像素结构 10 中的电容 30、38 可包括储存电容 (storage capacitor) 及液晶电容 (liquid crystal capacitor) 等,但不局限于此。

[0020] 在驱动子像素结构 10 时,可先开启扫描线 12,通过开启薄膜晶体管 18、20 来同时对子像素结构 10 的第一部分 24 与第二部分 26 进行充电。接着关闭扫描线 12,开启扫描线 14,通过开启薄膜晶体管 22 来对子像素结构 10 的第二部分 26 再次进行充电。以此方式驱动子像素时,可在不同灰阶下使对子像素输入不同电压,达到分压的效果。换句话说,在每个子像素结构中,通过此三颗薄膜晶体管 18、20、22 搭配两条扫描线 12、14 与一条数据线 16 的架构,本发明即可有效增加子像素的充电时间,达到预充的效果。

[0021] 请参照图 3,图 3 为本发明第一实施例在 120Hz 频率下驱动一像素结构 60 的灰阶与时序图。现以同行的像素数组为例来做说明,如图 3 所示,本发明的薄膜晶体管液晶显示器的各像素结构 60 主要可以由三个子像素所组成,例如一红色子像素 62、一绿色子像素 64 和一蓝色子像素 66。但不以此为限,各像素结构也可以由三个以上的子像素来组成。每一个子像素又再分隔为两个部分,例如红色子像素 62 分隔为一第一部分 68 与一第二部分 70,绿色子像素 64 分隔为一第一部分 72 与一第二部分 74,蓝色子像素 66 分隔为一第一部分 76 与一第二部分 78。本实施例的像素结构 60 主要包括三条数据线 80、82、84 和与数据线 80、82、84 交错设置的两条扫描线 88、90。

[0022] 其中扫描线 88 上设有六个薄膜晶体管 94、96、98、100、102、104,分别控制各子像素的其中一部分。举例来说,扫描线 88、薄膜晶体管 94、96 和数据线 80 一同控制红色子像素 62 的第一部分 68 与第二部分 70,扫描线 88、薄膜晶体管 98、100 及数据线 82 一同控制绿色子像素 64 的第一部分 72 与第二部分 74,而扫描线 88、薄膜晶体管 102、104 及数据线 84 则一同控制蓝色子像素 66 的第一部分 76 与第二部分 78。类似地,扫描线 90 上设有三个薄膜晶体管 106、108、110,其中扫描线 90、薄膜晶体管 106 和数据线 80 一同控制红色子像素 62 的第二部分 70,扫描线 90、薄膜晶体管 108 和数据线 82 一同控制绿色子像素 64 的第二部分 74,而扫描线 90、薄膜晶体管 110 和数据线 84 则一同控制蓝色子像素 66 的第二部分 78。

[0023] 像素结构 60 左边显示像素电极与所接收的灰阶电压的关系示意图,其中 P1 为红

色子像素 62 中第一部分 68 的像素电极在 $t = 0$ 至 t_2 时间周期内所接收到的灰阶电压, P2 则为红色子像素 62 中第二部分 70 的像素电极在 $t = 0$ 至 t_2 时间周期内所接收到的灰阶电压。以下搭配像素结构 60 右边的时序图并仅以驱动一个子像素进行说明, 例如仅对红色子像素 62 的第一部分 68 与第二部分 70 的充电状况及时序进行说明。

[0024] 在 $t = 0$ 的时间时, 无任何电压输入各扫描线 88、90 且各薄膜晶体管 94、96、106 的栅极都呈现关闭状态, 因此子像素 62 的第一部分 68 与第二部分 70 皆呈现一暗态状态 (dark state)。然后经由扫描线 88 开启薄膜晶体管 94、96 的栅极并由数据线 80 输入一第一电压 (例如 3V 电压) 至薄膜晶体管 94、96 的源极然后同时对红色子像素 62 的第一部分 68 进行充电与第二部分 70 进行预充电。第一部分 68 与第二部分 70 的像素电极在 t_1 时间内, 例如 4.16 毫秒内即接收到 3V 的灰阶电压。接着关闭扫描线 88 并开启扫描线 90, 由数据线 80、82、84 在 t_2 时间内, 例如第 4.16 ~ 第 8.33 毫秒内的 4.16 毫秒间输入一第二电压 (例如 5V 电压) 至薄膜晶体管 106 的源极并对第二部分 70 进行充电。由于薄膜晶体管 94、96 在此时刻已关闭, 因此第一部分 68 的像素电极所接收的灰阶电压是维持在 3V 而第二部分 70 的像素电极所接收到的灰阶电压则是在 5V。

[0025] 请参照图 4 至图 6, 图 4 为本发明另一实施例设置四颗薄膜晶体管在子像素结构的像素等效电路图, 图 5 为图 4 中子像素结构的像素示意图, 而图 6 则为本实施例实际子像素结构的示意图。如图 5 及图 6 中所示, 本实施例的子像素结构 120 主要包括两条水平设置的扫描线 122、124、一垂直交错扫描线 122、124 的数据线 126、一共同电极 262 和四颗薄膜晶体管 128、130、132、134 分别连接扫描线 122、124 与数据线 126。如上述实施例, 每个子像素结构 120 主要包括两个部分, 例如一包括像素电极 256 的第一部分 136 与包括约略 V 型像素电极 258 的第二部分 138。在本实施例中, 薄膜晶体管 128 是设置在扫描线 122 上并连接到子像素结构 120 第一部分 136 的像素电极 256, 薄膜晶体管 130 是设置在扫描线 122 上并连接到子像素结构 120 第二部分 138 的像素电极 258, 薄膜晶体管 132 则是设置在扫描线 124 上并连接子像素结构 120 第二部分 138 的像素电极 258, 薄膜晶体管 134 是设置在扫描线 124 上并连接下一个子像素结构第一部分 140 的像素电极 260。

[0026] 如图 4 的等效电路图所示, 薄膜晶体管 128 的漏极 142 是连接到子像素结构 120 中第一部分 136 的电容 144, 栅极 146 是连接到扫描线 122, 而源极 148 则是连接到数据线 126。薄膜晶体管 130 的漏极 150 是连接到子像素结构 120 中第二部分 138 的电容 152, 栅极 154 是连接到扫描线 122, 而源极 156 则是连接到数据线 126。薄膜晶体管 132 的漏极 158 是连接到子像素结构 120 中第二部分 138 的电容 152, 栅极 160 是连接扫描线 124, 而源极 162 则是连接到数据线 126。薄膜晶体管 134 的漏极 164 是连接到下一个子像素结构中第一部分 140 的电容 166, 栅极 168 是连接扫描线 124, 而源极 170 则是连接到数据线 126。在本实施例中, 设在子像素结构 120 中的电容 144、152、166 可包括储存电容及液晶电容, 但不局限于此。

[0027] 请参照图 7, 图 7 为本发明第二实施例在 120Hz 频率下驱动一像素结构的灰阶与时序图。如图 7 所示, 本发明的薄膜晶体管液晶显示器的各像素结构 180 主要由三个子像素所组成, 例如一红色子像素 182、一绿色子像素 184 和一蓝色子像素 186。但不以此为限, 各像素结构也可以由三个以上的子像素来组成。每一个子像素又再分隔为两个部分, 例如红色子像素 182 分隔为一第一部分 188 与一第二部分 190, 绿色子像素 184 分隔为一第一部分

192 与一第二部分 194, 蓝色子像素 186 分隔为一第一部分 196 与一第二部分 198。本实施例的像素结构 180 主要包括三条数据线 200、202、204 和与数据线 200、202、204 交错设置的三条扫描线 208、210、212。

[0028] 在本实施例中, 扫描线 208、210、212 上各设有六个薄膜晶体管, 分别对应各子像素的其中一部分。举例来说, 扫描线 208 上设有薄膜晶体管 216、218、220、222、224、226, 其中薄膜晶体管 216、218、220 用来控制上一个像素结构中红色、绿色和蓝色子像素结构的第二部分, 而薄膜晶体管 222、224、226 则用来控制像素结构 180 中红色、绿色和蓝色子像素结构 182、184、186 的第一部分 188、192、196。扫描线 210 上设有薄膜晶体管 228、230、232、234、236、238, 其中薄膜晶体管 228、230、232 用来控制像素结构 180 中红色、绿色和蓝色子像素结构 182、184、186 的第一部分 188、192、196, 而薄膜晶体管 234、236、238 则用来控制像素结构 180 中红色、绿色和蓝色子像素结构 182、184、186 的第二部分 190、194、198。扫描线 212 上设有薄膜晶体管 240、242、244、246、248、250, 其中薄膜晶体管 240、242、244 用来控制像素结构 180 中红色、绿色和蓝色子像素结构 182、184、186 的第二部分 190、194、198, 而薄膜晶体管 246、248、250 则用来控制下一个像素结构中红色、绿色和蓝色子像素结构的第一部分。

[0029] 像素结构 180 左边显示像素电极与所接收的灰阶电压的关系示意图, 例如 P1 为红色子像素 182 中第一部分 188 的像素电极在 $t = 0$ 至 t_2 时间周期内所接收到的灰阶电压, P2 则为红色子像素 182 中第二部分 190 的像素电极在 $t = 0$ 至 t_2 时间周期内所接收到的灰阶电压。以下搭配像素结构 180 右边的时序图并仅以驱动一个子像素进行说明, 例如仅对红色子像素 182 的第一部分 188 与第二部分 190 的充电状况及时序进行说明。在 $t = 0$ 之前的上一个画面时, 薄膜晶体管 216、222 的栅极会经由扫描线开启然后由数据线 200 输入一电压 (例如 5V 电压) 至薄膜晶体管 216、222 的源极并同时控制薄膜晶体管 216 所控制上一个像素中红色子像素的第二部分 (图未示) 进行充电和对红色子像素 188 的第一部分 188 进行预充电。红色子像素 182 中第一部分 188 的像素电极在 $t = 0$ 之前的时间周期即接收到 5V 的灰阶电压。接着关闭扫描线 208 并开启扫描线 210, 由数据线 200 输入一 3V 电压至薄膜晶体管 228、234 的源极并同时控制红色子像素 188 的第一部分 188 及第二部分 190 进行充电。红色子像素 182 中第一部分 188 及第二部分 190 的像素电极在 $t = 0$ 至 t_1 的时间周期即接收到 3V 的灰阶电压。接着关闭扫描线 210 并开启扫描线 212, 由数据线 200 输入一 5V 电压至薄膜晶体管 240、246 的源极并对第二部分 190 及下个像素结构中红色子像素结构的第一部分 (图未示) 进行充电。由于薄膜晶体管 228、236 在此时刻已关闭, 因此第一部分 188 的像素电极在 t_1 至 t_2 的时间周期所接收的灰阶电压是维持在 3V 而第二部分 190 的像素电极所接收到的灰阶电压则是在 5V。

[0030] 综上所述, 本发明主要在一子像素结构中同时设置三颗或四颗薄膜晶体管, 使子像素结构在 120Hz 的频率驱动下可提升子像素中各部分的充电时间及整体充电能力。依据本发明的三颗薄膜晶体管的架构, 其中两颗薄膜晶体管是设置在子像素结构中的第一条扫描线并分别控制子像素结构的第一部分与第二部分, 而另一颗薄膜晶体管则设置在第二条扫描线并控制子像素结构的第二部分, 进而有效解决高更新频率下, 各子像素结构的第一部分与第二部分的各自扫描线开启时间缩减所导致的充电能力不足的问题。本发明的四颗薄膜晶体管架构则在子像素的两条扫描线分别设置两颗薄膜晶体管。此设计除了可同时

对原本的子像素结构中的两个部分进行充电外,又可对下一个子像素进行预充电。由于上述架构都可在开启一条扫描线的时候同时对子像素结构中的两个部分进行充电,本发明可在对每个子像素中的各部分提供不同电压时确保子像素中的各部分获得完整的充电能力,进而达到改善色偏的效果。最后,本发明的像素结构可应用至各种薄膜晶体管液晶显示器,例如扭转向列型(包括 TN、STN、DSTN 等)、平面转换型(包括 AS-IPS、DD-IPS 等)、垂直配向型(包括 PVA、S-PVA、MVA、P-MVA 等)各式薄膜晶体管液晶显示器,皆应属本发明的范围。

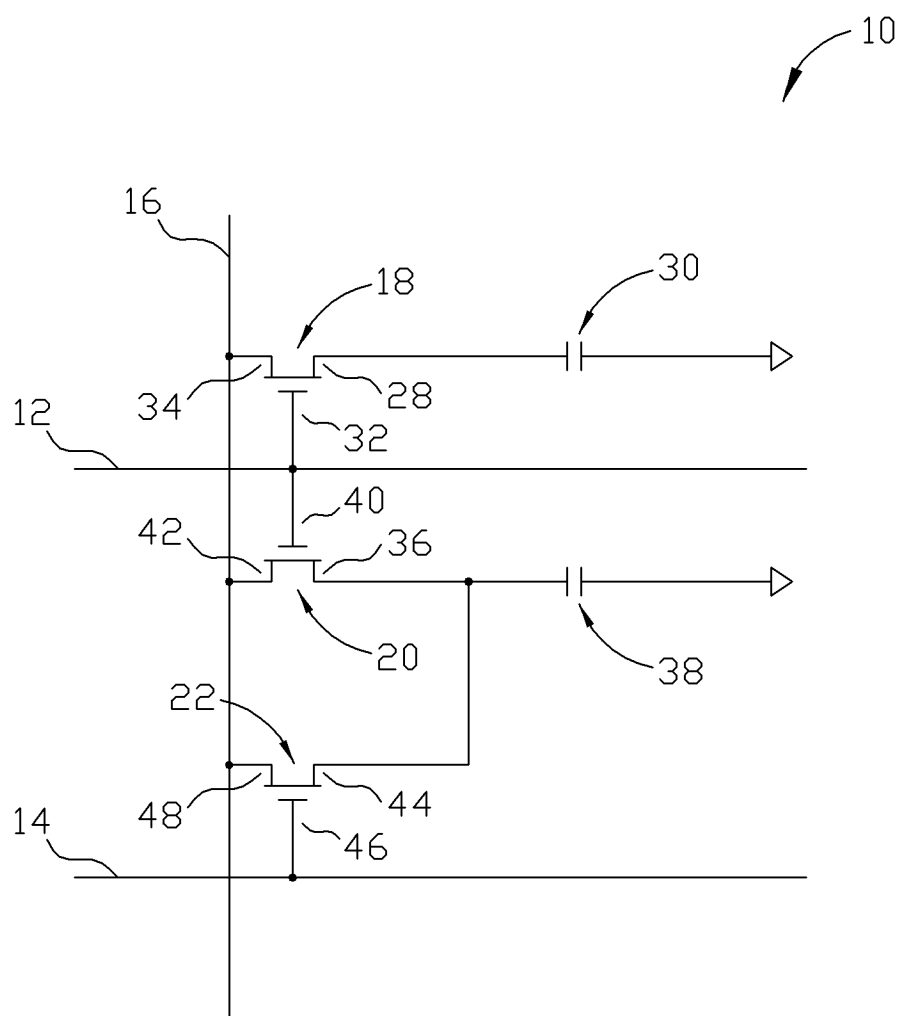


图 1

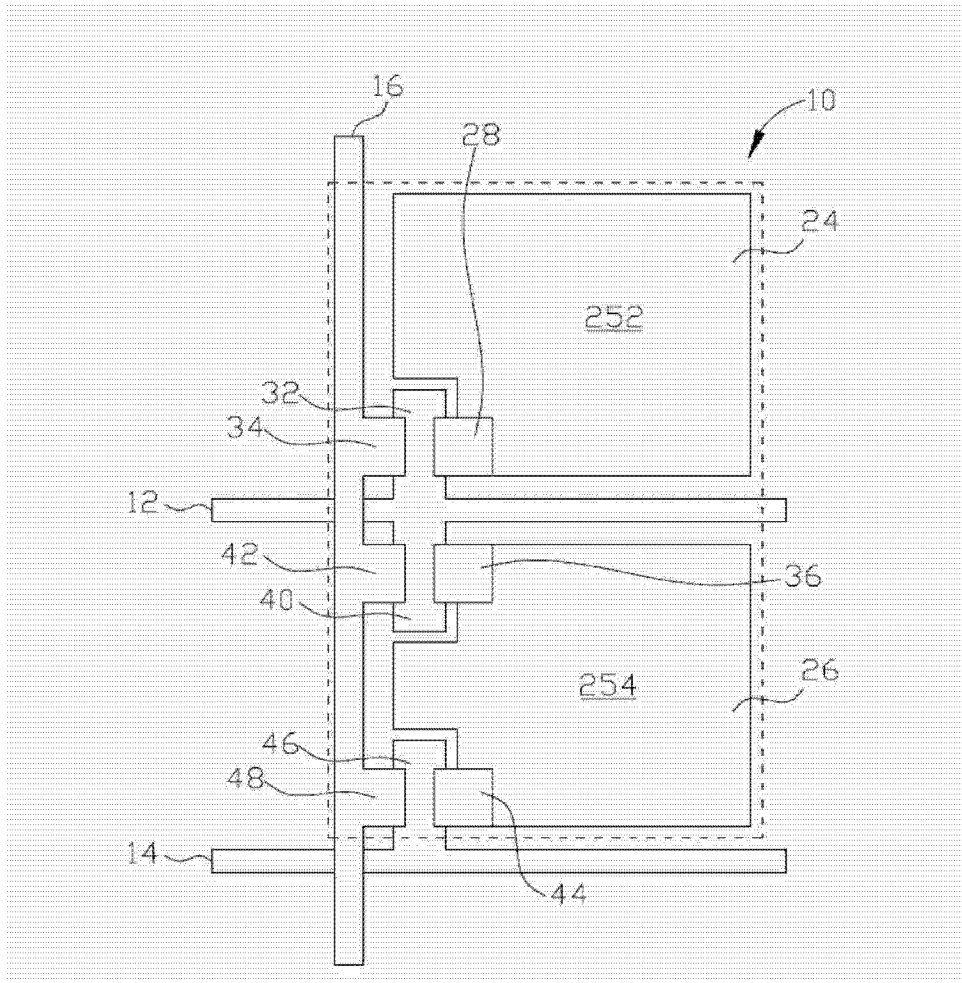


图 2

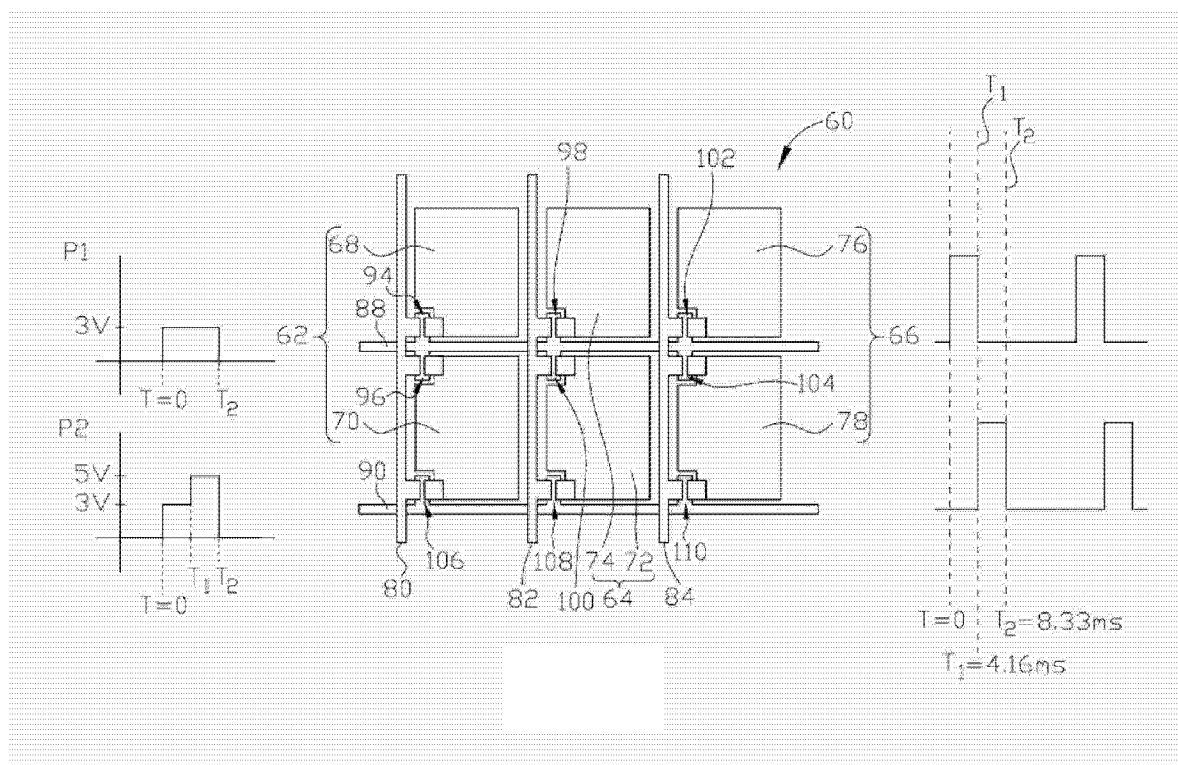


图 3

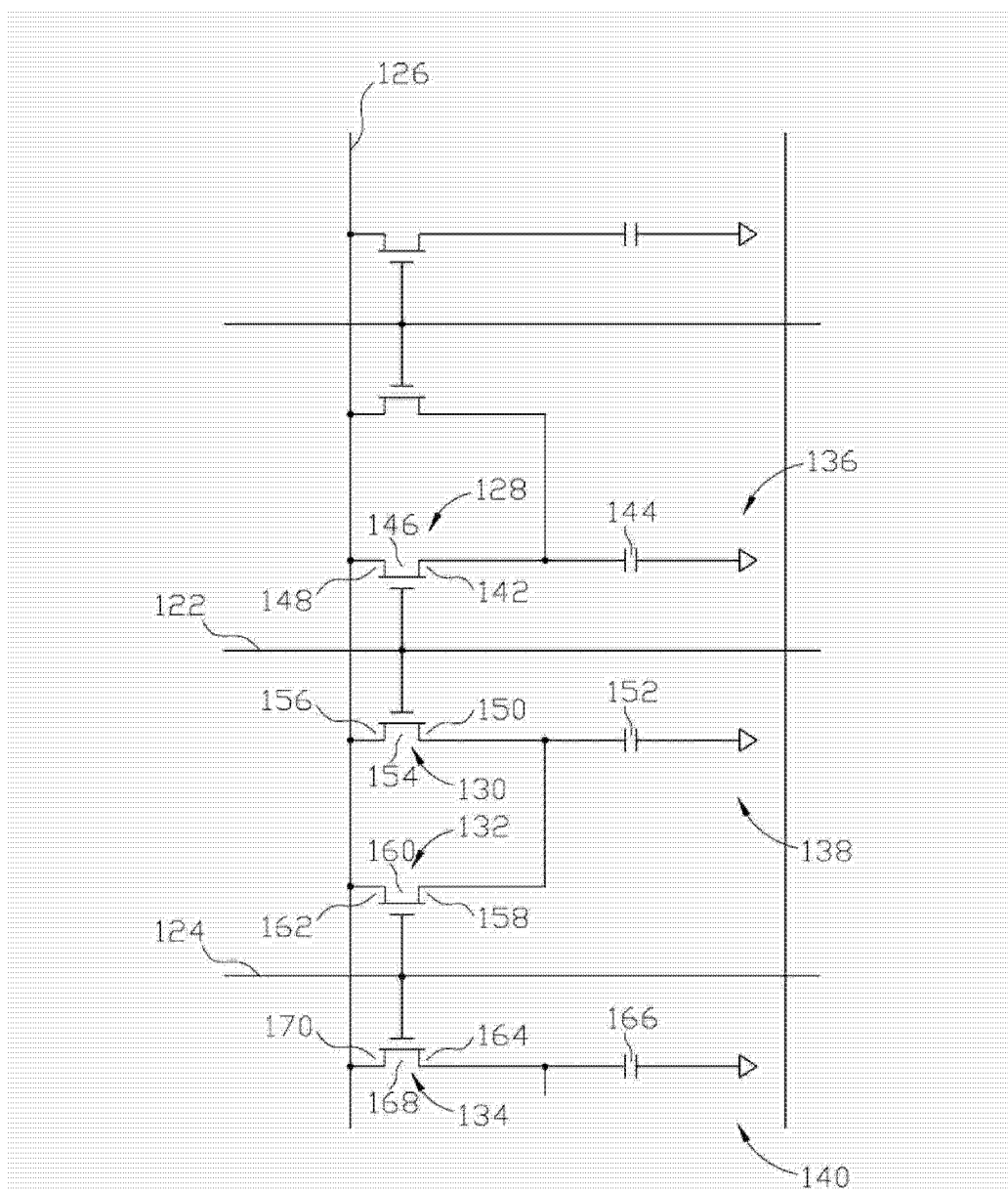


图 4

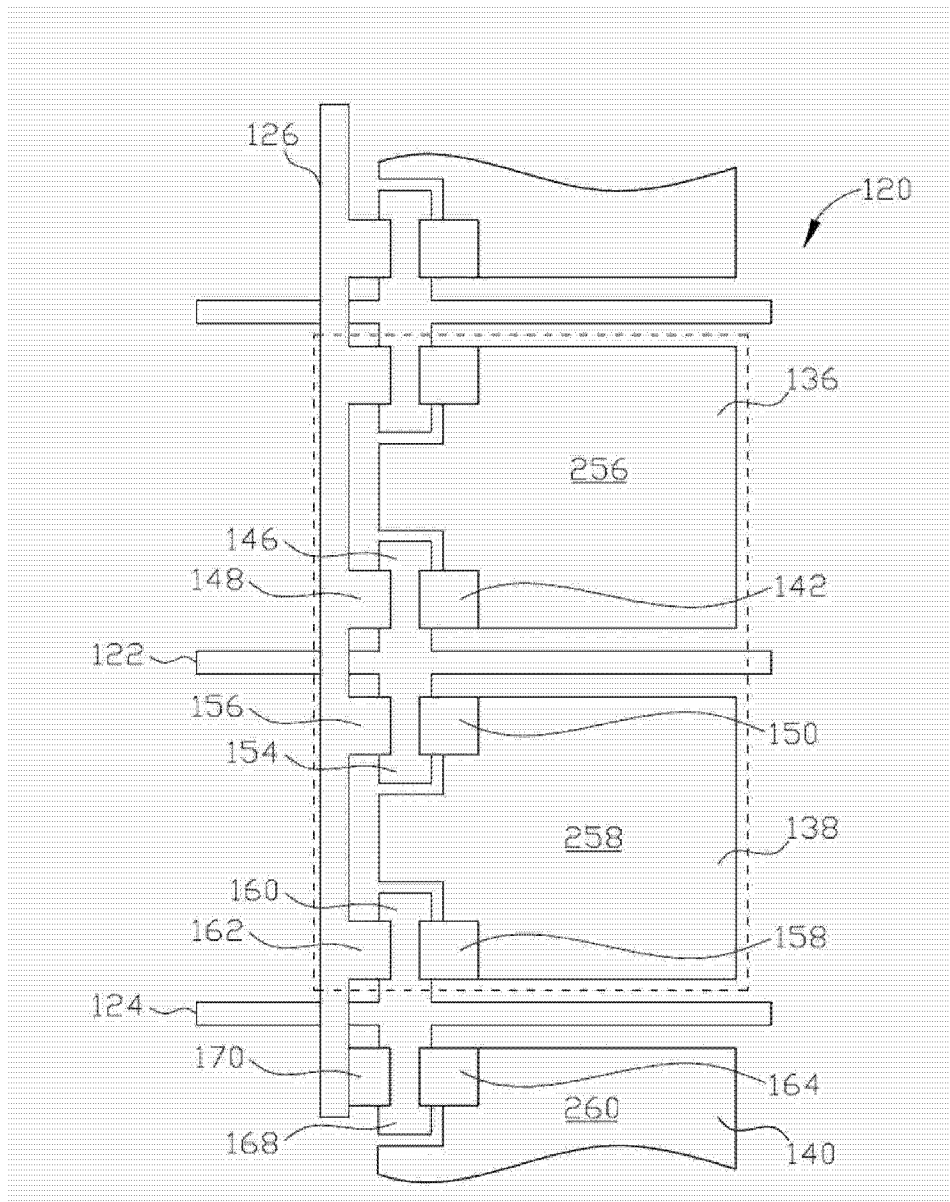


图 5

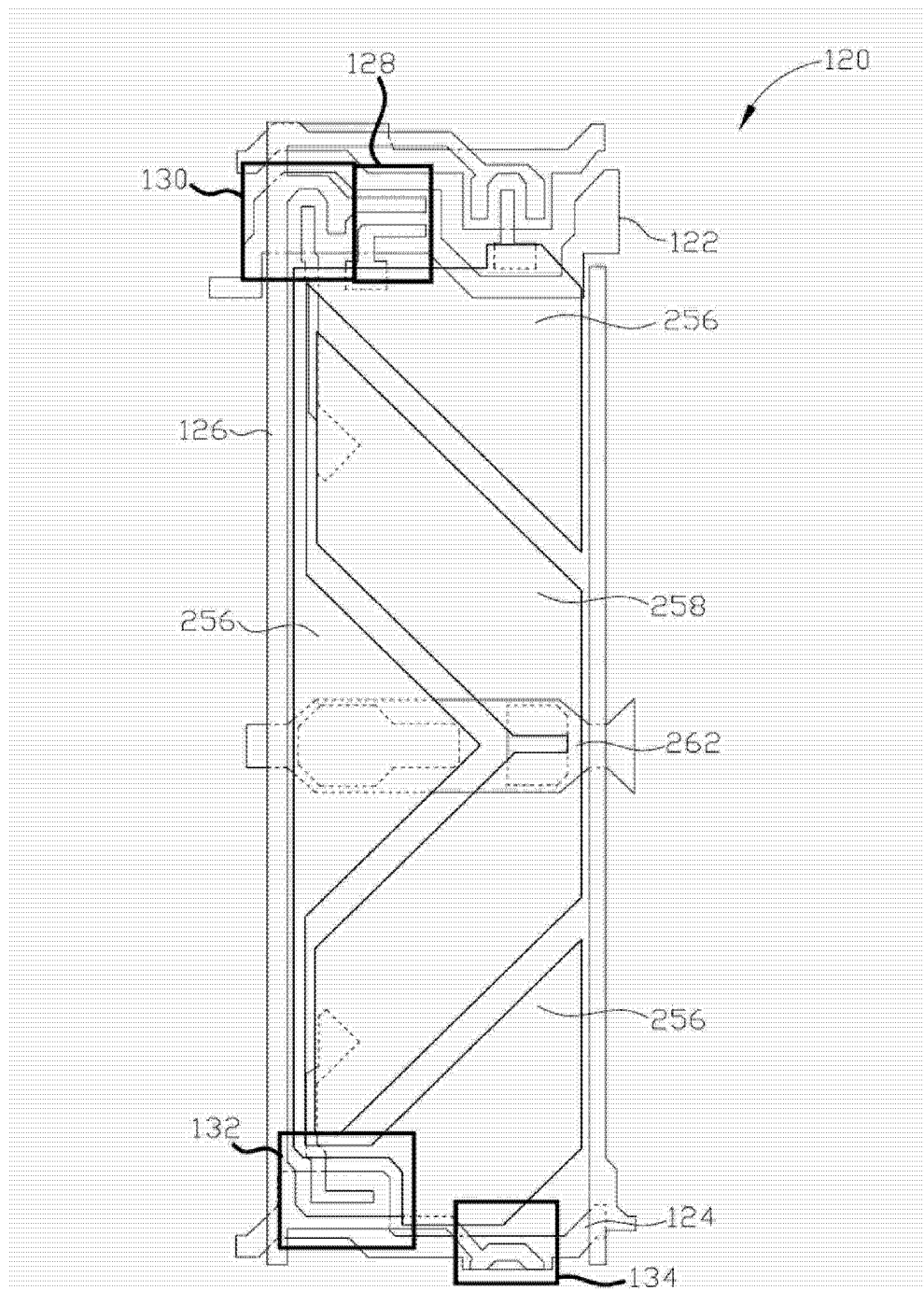


图 6

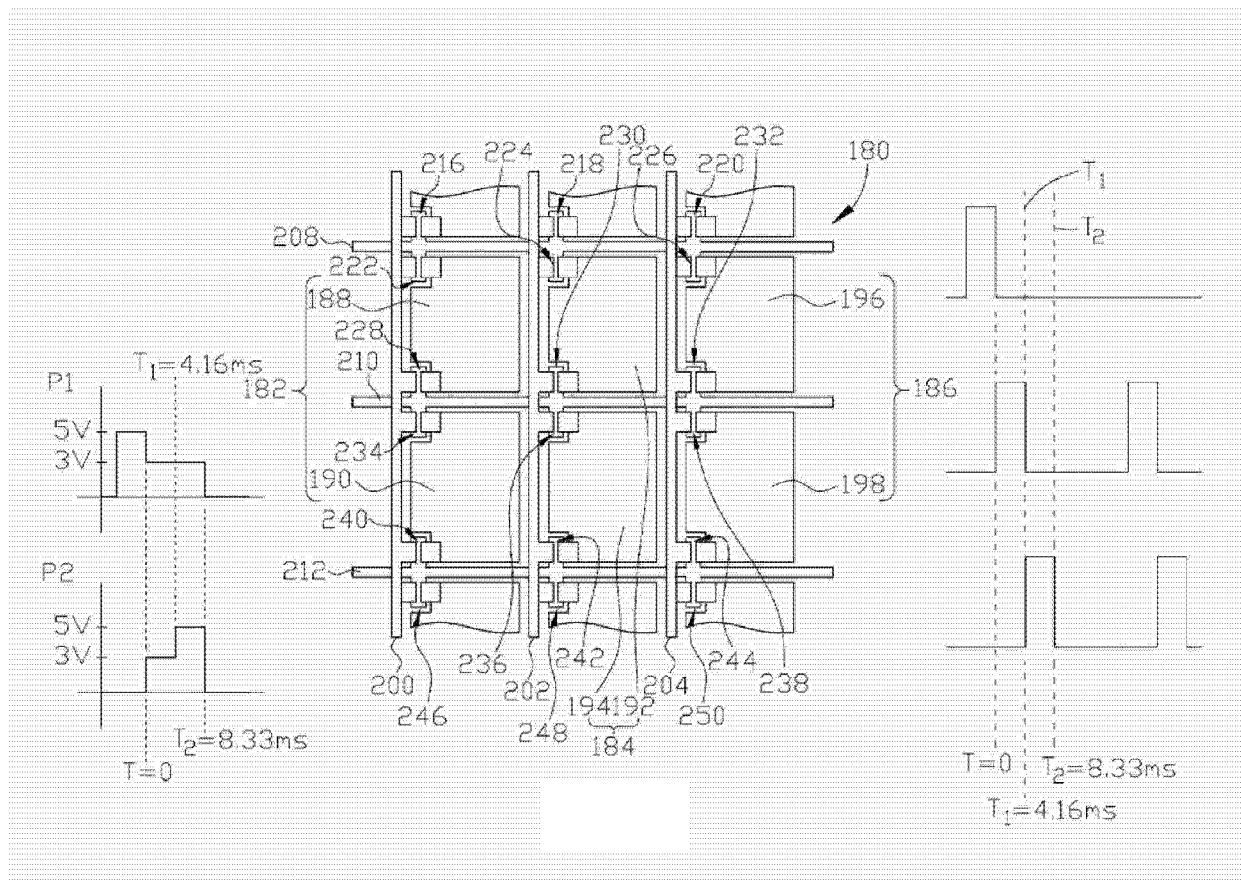


图 7

专利名称(译)	子像素结构及液晶显示面板		
公开(公告)号	CN101866087B	公开(公告)日	2012-03-21
申请号	CN200910301554.4	申请日	2009-04-14
[标]申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
当前申请(专利权)人(译)	群康科技(深圳)有限公司 奇美电子股份有限公司		
[标]发明人	陈建丞 林育正 洪文明 吴勇勋 陈韵如		
发明人	陈建丞 林育正 洪文明 吴勇勋 陈韵如		
IPC分类号	G02F1/1368 G02F1/1362 G09G3/36		
CPC分类号	G02F2001/134345 G09G2300/0443 G09G2300/0814 G09G2310/0251 G09G2320/0252 G09G3/3659 G02F1/13624 G09G2320/0223 G02F1/1368		
审查员(译)	崔双魁		
其他公开文献	CN101866087A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器的子像素结构，该子像素结构设置在一第一基板与一第二基板之间。该子像素结构包括一第一部分与一第二部分、一数据线、一第一扫描线和一第二扫描线与该数据线垂直设置。此外，子像素结构另包括一第一晶体管设置在第一扫描线并连接子像素结构的第一部分，一第二晶体管设置在第一扫描线并连接子像素结构的第二部分和一第三晶体管设置在第二扫描线并连接子像素结构的第二部分。

