



(12) 发明专利

(10) 授权公告号 CN 101561600 B

(45) 授权公告日 2011. 10. 12

(21) 申请号 200810104043. 9

US 2007296658 A1, 2007. 12. 26,

(22) 申请日 2008. 04. 14

CN 101114097 A, 2008. 01. 30,

(73) 专利权人 北京京东方光电科技有限公司

审查员 马美娟

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 柳奉烈

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

H01L 27/12 (2006. 01)

(56) 对比文件

CN 1854825 A, 2006. 11. 01,

US 2005219196 A1, 2005. 10. 06,

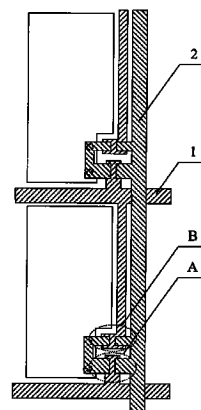
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

液晶显示装置的阵列基板

(57) 摘要

本发明涉及液晶显示装置的阵列基板及排列基板,其中阵列基板包括多个像素,所述每个像素包括与对应的栅线 and 对应的数据线连接的第一薄膜晶体管以及与所述第一薄膜晶体管连接的像素电极,所述每个像素还包括第二薄膜晶体管;第二薄膜晶体管与连接有第一薄膜晶体管的栅线之前的栅线连接,并且与连接有第一薄膜晶体管的信号线和像素电极连接。本发明将关机时残留在像素单元内信号,通过在该像素单元内的第一薄膜晶体管和第二薄膜晶体管同时进行释放,从而相比现有的通过一个薄膜晶体管释放残留信号的结构,有效地提高了释放残历信号的效率,从而有效地提高了关机时液晶显示装置的抗残像性能,并且提高了液晶显示装置的质量。



1. 一种液晶显示装置的阵列基板,包括多个像素,所述每个像素包括与对应的栅线和对应的数据线连接的第一薄膜晶体管以及与所述第一薄膜晶体管连接的像素电极,其特征在于:

所述每个像素还包括第二薄膜晶体管;第二薄膜晶体管与连接所述第一薄膜晶体管的栅线的前一行栅线连接,并且与连接所述第一薄膜晶体管的数据线和像素电极连接。

2. 根据权利要求1所述的液晶显示装置的阵列基板,其特征在于:所述第二薄膜晶体管的电阻大于第一薄膜晶体管的电阻。

3. 根据权利要求2所述的液晶显示装置的阵列基板,其特征在于:第一薄膜晶体管的过道长度大于第二薄膜晶体管的过道长度。

4. 根据权利要求2所述的液晶显示装置的阵列基板,其特征在于:所述第一薄膜晶体管的过道间隔小于所述第二薄膜晶体管的过道间隔。

液晶显示装置的阵列基板

技术领域

[0001] 本发明涉及液晶显示装置的阵列基板,特别涉及非正常关机时抗残像性高的液晶显示装置的阵列基板。

[0002] 背景技术

[0003] 液晶显示装置是一种主要的平面显示装置,主要由阵列基板、彩膜基板和给阵列基板提供信号的时序控制器构成,利用了位于阵列基板和彩膜基板之间的液晶随电场排列的原理,显示了画面。

[0004] 在现有技术中,液晶显示装置的像素通常设有一个薄膜晶体管,并且出现非正常关机时,由于不能及时地释放电压,在画面留有残像。或者出现非正常关机后马上开机时,在画面显示之前画面的缺陷。具体为:在关闭液晶显示装置的电源时,时序控制器(Time Controller,以下简称为 T-Con) 的输出会持续一段时间,使得在这段时间内产生的残余信号(栅线残余信号和数据线残余信号)输入到薄膜晶体管。扫描第 $n-1$ 号栅线时关闭了电源,则从第 n 号栅线开始输入残余信号,在第 n 号栅线,栅线残余信号导通相应的薄膜晶体管,像素单元可以接收数据线残余信号。

[0005] 具体为:非正常关机时产生的栅线残余信号导通薄膜晶体管之后,像素单元不能及时地释放电压,因而在面板上出现亮块(white block)的或者是暗块(dark block)等残像。

[0006] 发明内容

[0007] 本发明的目的是提供一种液晶显示装置的阵列基板,克服了现有的液晶显示装置在非正常关机时出现残像现象的缺陷,实现了非正常关机时抗残像性高的液晶显示装置。

[0008] 为实现上述目的,本发明提供了液晶显示装置的阵列基板,包括多个像素,所述每个像素包括与对应的栅线 and 对应的数据线连接的第一薄膜晶体管以及与所述第一薄膜晶体管连接的像素电极,所述每个像素还包括第二薄膜晶体管;第二薄膜晶体管与连接有第一薄膜晶体管的栅线的前一行栅线连接,并且与连接有第一薄膜晶体管的数据线和像素电极连接。

[0009] 其中,所述第二薄膜晶体管的电阻大于第一薄膜晶体管的电阻。

[0010] 其中,第一薄膜晶体管的过道长度大于第二薄膜晶体管的过道长度。

[0011] 其中,所述第一薄膜晶体管的过道间隔小于所述第二薄膜晶体管的过道间隔。

[0012] 本发明将关机时残留在像素单元内信号,通过在该像素单元内的第一薄膜晶体管和第二薄膜晶体管同时进行释放,从而相比现有的通过一个薄膜晶体管释放残留信号的结构,有效地提高了释放残历信号的效率,从而有效地提高了关机时液晶显示装置的抗残像性能,并且提高了液晶显示装置的质量。

[0013] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0014] 图 1 为本发明第一实施例的结构示意图;

- [0015] 图 2 为图 1 中 A 区域的放大示意图；
[0016] 图 3 为图 1 中 B 区域的方大示意图；
[0017] 图 4 为本发明第二实施例的结构示意图；
[0018] 图 5 为图 4 中 A 区域的放大示意图；
[0019] 图 6 为图 4 中 B 区域的方大示意图。
[0020] 附图标记说明
[0021] 1- 栅线； 2- 数据线；
[0022] 311- 第一薄膜晶体管的漏极； 312- 第一薄膜晶体管的源极；
[0023] 313- 第一薄膜晶体管的栅极； 321- 第二薄膜晶体管的漏极；
[0024] 322- 第二薄膜晶体管的源极； 323- 第二薄膜晶体管的栅极；

具体实施方式

[0025] 本发明第一实施例

[0026] 图 1 为本发明第一实施例的结构示意图,图 2 为图 1 中 A 区域的放大示意图,图 3 为图 1 中 B 区域的方大示意图,如图 1 ~图 3 所示,薄膜晶体管液晶显示装置,包括具有数个像素单元的阵列基板,每一个像素单元包括第一薄膜晶体管(图 1 中的 A 区域)和第二薄膜晶体管(图 1 中的 B 区域);其中第一薄膜晶体管的源极 312 和第二薄膜晶体管的源极 322 与同一个数据线 2 连接,第一薄膜晶体管的漏极 311 和第二薄膜晶体管的漏极 321 与同一个像素单元电极连接,第一薄膜晶体管的栅极 313 与相应的栅线 1 连接,即与具有该像素单元的本行栅线 1 连接,能释放非正常关机时像素单元上留有的残余信号;第二薄膜晶体管的栅极 323 与前端栅线 1 连接,即与该像素单元所 属的前一行栅线 1 连接,能预释放非正常关机时像素单元上留有的残余信号;第一薄膜晶体管的电阻小于第二薄膜晶体管的电阻。

[0027] 本发明第一实施例,将关机时残留在像素单元内信号,通过在该像素单元内的第一薄膜晶体管和第二薄膜晶体管同时进行释放,从而相比现有的通过一个薄膜晶体管释放残留信号的结构,有效地提高了释放残历信号的效率,从而有效地提高了关机时液晶显示装置的抗残像性能,并且提高了液晶显示装置的质量。在这里,阵列基板也可以叫做排列基板。

[0028] 在本发明第一实施例中,液晶显示装置采用没有极性反转的驱动方式时,第二薄膜晶体管的电阻大于第一薄膜晶体管的电阻,因而在正常工作时,在前端栅线的作用下导通第二薄膜晶体管,使得上一行的数据线信号部分地输入到该像素单元,然后在本行栅线的作用下可以导通第一薄膜晶体管,使得在上一行数据线信号的基础上继续输入本行的数据线信号,从而可以加快了液晶的排列,进而对于采用没有极性反转的驱动方式的液晶显示装置提高了质量。

[0029] 由于在正常状态下,第二薄膜晶体管相比第一薄膜晶体管具有较大的电阻,因此其充电效率远低于第一薄膜晶体管;并且在显示过程中充电时间相对较少,维持电场的时间相对较大,所以液晶显示装置正常工作时不会影响画面质量。

[0030] 在本发明第一实施例中,第一薄膜晶体管的源极 312 的过道长度 h_1 大于第二薄膜晶体管的源极 322 的过道长度 h_2 ,这样的话,第一薄膜晶体管的源极电阻小于第二薄膜晶

体管的源极电阻,因此薄膜晶体管的其他参数不变的前提下,第一薄膜晶体管整体的电阻小于第二薄膜晶体管整体的电阻。

[0031] 在本发明第一实施例中,将第一薄膜晶体管和第二薄膜晶体管设置在像素单元的右下角,并且第一薄膜晶体管的漏极 311 和第二薄膜晶体管的漏极 321 为一体设置,这样的话,通过增加过孔、或者通过增加过孔的面积,可以增加漏极和像素电极之间的接触面积,进而可以进一步过孔区域出现像素电极和漏极的接触不良,从而可以提高液晶显示装置的质量。

[0032] 在本发明第一实施例中,像素单元可以为扭曲向列型像素单元、边缘场切换型像素单元和公平面切换型像素单元中的任意一种;或者为透过式像素单元、半透过式像素单元和非透过式像素单元中的任意一种,并且如果是本领域普通技术人员应该知道,本发明的技术方案可以应用在上述各种类型的像素单元中,因此在这里不再一一赘述。

[0033] 本发明第二实施例

[0034] 图 4 为本发明第二实施例的结构示意图,图 5 为图 4 中 A 区域的放大示意图,图 6 为图 4 中 B 区域的放大示意图,如图 4~图 6 所示,薄膜晶体管液晶显示装置,包括具有数个像素单元的阵列基板,每一个像素单元包括第一薄膜晶体管(图 4 中的 A 区域)和第二薄膜晶体管(图 4 中的 B 区域);其中第一薄膜晶体管的源极 312 和第二薄膜晶体管的源极 322 与同一个数据线 2 连接,第一薄膜晶体管的漏极 311 和第二薄膜晶体管的漏极 321 与同一个像素单元电极连接,第一薄膜晶体管的栅极 313 与相应的栅线 1 连接,即与具有该像素单元的本行栅线 1 连接,能释放非正常关机时像素单元上留有的残余信号;第二薄膜晶体管的栅极 323 与前端栅线 1 连接,即与该像素单元所属的前一行栅线 1 连接,能预释放非正常关机时像素单元上留有的残余信号;第一薄膜晶体管的电阻小于第二薄膜晶体管的电阻。具体为:第一薄膜晶体管的过道间隔 d_1 小于第二薄膜晶体管的过道间隔 d_2 。

[0035] 本发明第二实施例,通过薄膜晶体管的过道间隔,使得薄膜晶体管的电阻不同,从而使得具有两个薄膜晶体管的像素单元在不影响正常显示前提下提高了像素单元的释放电压的效率,从而克服了现有技术的缺点。在这里,阵列基板也可以叫做排列基板。

[0036] 在本发明第二实施例中,像素单元可以为扭曲向列型像素单元、边缘场切换型像素单元和公平面切换型像素单元中的任意一种;或者为透过式像素单元、半透过式像素单元和非透过式像素单元中的任意一种,并且如果是本领域普通技术人员应该知道,本发明的技术方案可以应用在上述各种类型的像素单元中,因此在这里不再一一赘述。

[0037] 在本发明第二实施例中,将两个薄膜晶体管设置在像素单元的右下角,但是同样可以将两个薄膜晶体管分别设置在像素单元的不同角落。

[0038] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

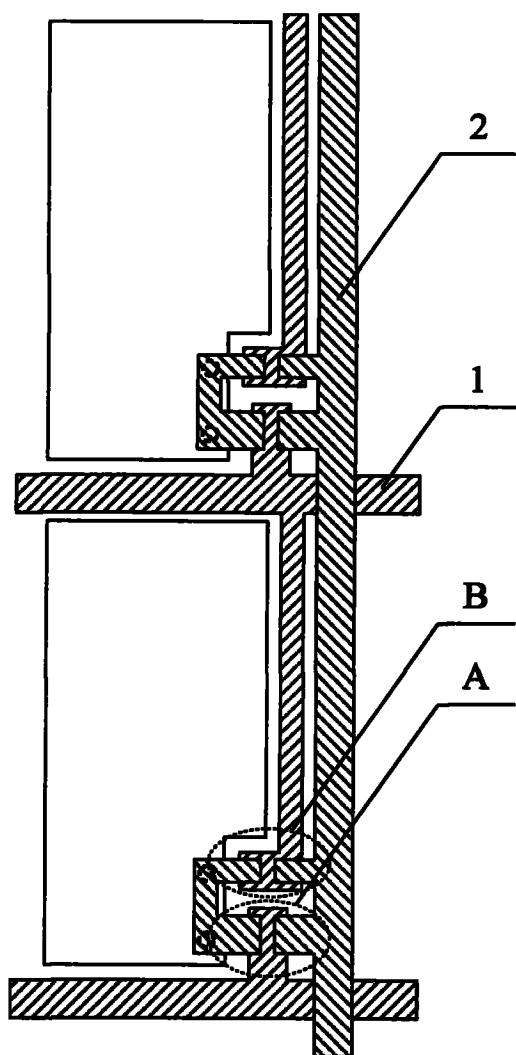


图 1

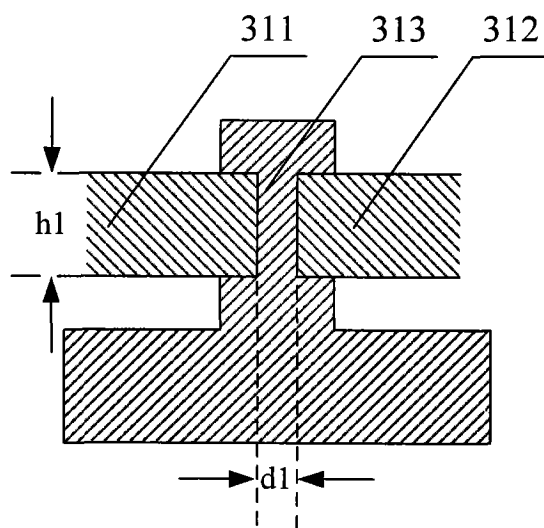


图 2

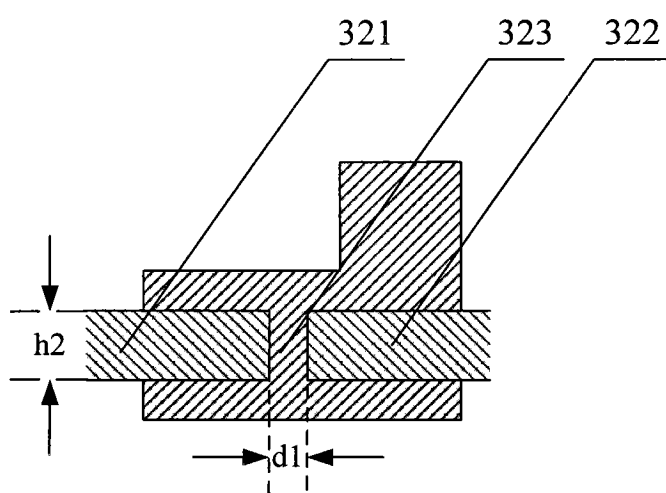


图 3

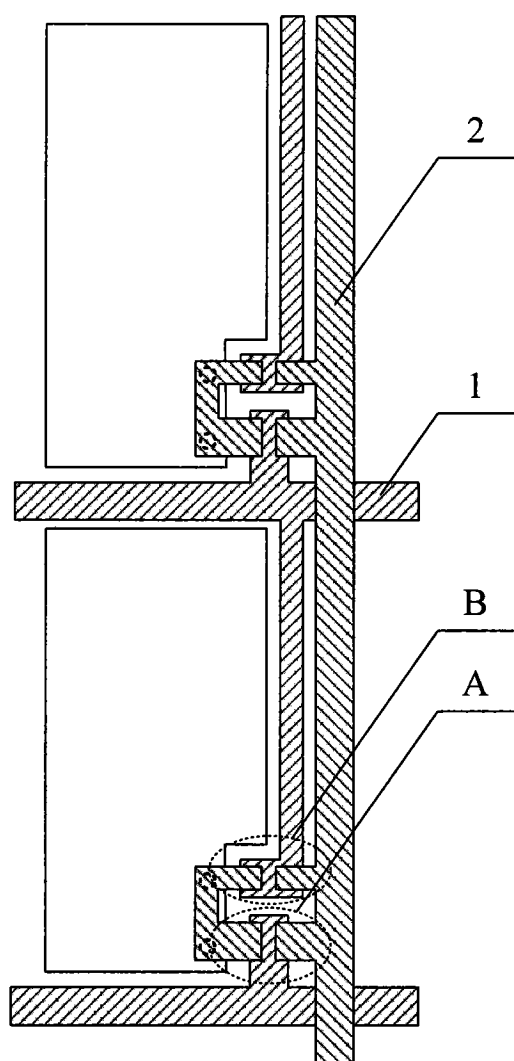


图 4

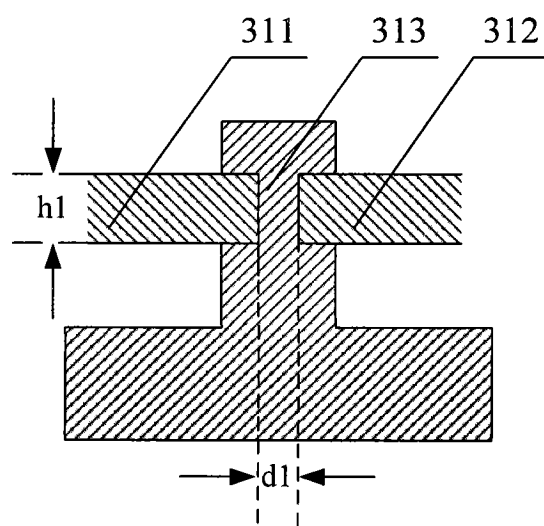


图 5

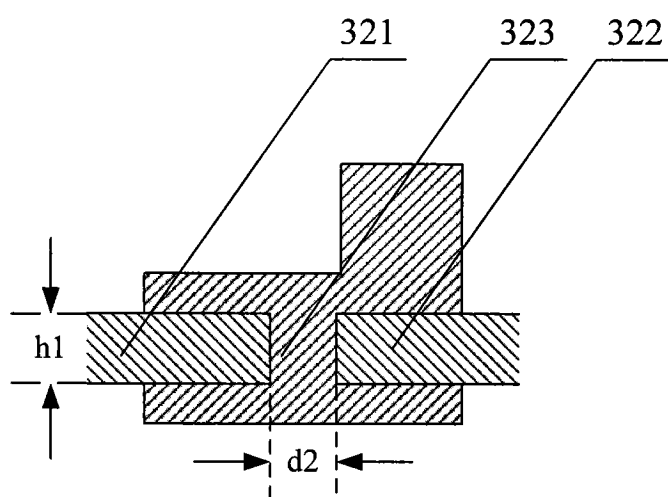


图 6

专利名称(译)	液晶显示装置的阵列基板		
公开(公告)号	CN101561600B	公开(公告)日	2011-10-12
申请号	CN200810104043.9	申请日	2008-04-14
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	柳奉烈		
发明人	柳奉烈		
IPC分类号	G02F1/1362 H01L27/12		
代理人(译)	刘芳		
审查员(译)	马美娟		
其他公开文献	CN101561600A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及液晶显示装置的阵列基板及排列基板，其中阵列基板包括多个像素，所述每个像素包括与对应的栅线和对应的数据线连接的第一薄膜晶体管以及与所述第一薄膜晶体管连接的像素电极，所述每个像素还包括第二薄膜晶体管；第二薄膜晶体管与连接有第一薄膜晶体管的栅线之前的栅线连接，并且与连接有第一薄膜晶体管的数据线和像素电极连接。本发明将关机时残留在像素单元内信号，通过在该像素单元内的第一薄膜晶体管和第二薄膜晶体管同时进行释放，从而相比现有的通过一个薄膜晶体管释放残留信号的结构，有效地提高了释放残历信号的效率，从而有效地提高了关机时液晶显示装置的抗残像性能，并且提高了液晶显示装置的质量。

