



(12) 发明专利

(10) 授权公告号 CN 101308271 B

(45) 授权公告日 2011. 10. 26

(21) 申请号 200810126039. 2

第 2 行到第 14 页第 7 行、附图 4-9.

(22) 申请日 2008. 06. 30

审查员 钟宇

(73) 专利权人 昆山龙腾光电有限公司

地址 215301 江苏省昆山市龙腾路 1 号

(72) 发明人 钟德镇 廖家德 邱郁雯

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 柳春雷

(51) Int. Cl.

G02F 1/133(2006. 01)

G02F 1/1362(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 101251697 A, 2008. 08. 27, 说明书第 6 页
第 2 行到第 14 页第 7 行、附图 4-9.

CN 101251697 A, 2008. 08. 27, 说明书第 6 页

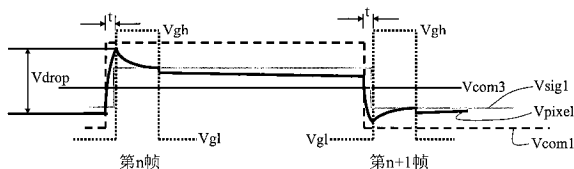
权利要求书 1 页 说明书 10 页 附图 6 页

(54) 发明名称

液晶面板、液晶显示装置及其驱动方法

(57) 摘要

本发明公开了一种液晶面板、液晶显示装置及其驱动方法。液晶面板包括扫描线、数据线和多个像素单元，多个像素单元中的每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极，其中，多个像素单元中的第一像素单元的第一公共电极通过第一公共线电性连接，多个像素单元中的第二像素单元的第一公共电极通过第二公共线电性连接，多个像素单元的第二公共电极电性连接，其特征在于：数据线中的奇数据线连接第一像素单元，偶数据线连接第二像素单元，且所述第一像素单元和第二像素单元在同一帧内极性相反。



1. 一种可实现 1/2 屏插黑的液晶显示装置,其包括液晶面板,液晶面板包括扫描线、数据线和多个像素单元,所述多个像素单元中的每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极,其特征在于:所述多个像素单元包括位于上半屏的第一组像素单元和位于下半屏的第二组像素单元,

所述第一组像素单元中的第一像素单元的第一公共电极电性连接以接收第一公共电压信号,所述第一组像素单元中的第二像素单元的第一公共电极电性连接以接收第二公共电压信号;

所述第二组像素单元中的第一像素单元的第一公共电极电性连接以接收第四公共电压信号,第二组像素单元中的第二像素单元的第一公共电极电性连接以接收第五公共电压信号;

所述多个像素单元的第二公共电极电性连接以接收第三公共电压信号,并且

所述第一公共电压信号和所述第二公共电压信号为交流电压信号且在同一帧内极性相反,所述第四公共电压信号和所述第五公共电压信号为交流电压信号且在同一帧内极性相反。

2. 如权利要求 1 所述的可实现 1/2 屏插黑的液晶显示装置,其特征在于,第一公共电压信号和第四公共电压信号具有不同的时序,第二公共电压信号和第五公共电压信号具有不同的时序。

3. 一种液晶显示装置的驱动方法,所述液晶显示装置包括具有扫描线、数据线和多个像素单元的液晶面板,所述多个像素单元包括第一像素单元和第二像素单元,每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极,所述多个像素单元的第二公共电极电性连接,其特征在于:所述多个像素单元中的第一像素单元的第一公共电极电性连接,所述多个像素单元中的第二像素单元的第一公共电极电性连接,所述驱动方法包括:

施加数据信号至所述数据线;

在薄膜晶体管开启之前,输入与输入至第一像素单元的数据信号相同极性的第一公共电压信号至第一像素单元的第一公共电极,输入与第二像素单元的数据信号相同极性并且与第一公共电压信号相反极性的第二公共电压信号至第二像素单元的第一公共电极;

输入第三公共电压信号至第一像素单元和第二像素单元的第二公共电极。

4. 如权利要求 3 所述的液晶显示装置的驱动方法,其特征在于,在薄膜晶体管开启之前的预定时间,输入第一公共电压信号至第一像素单元的第一公共电极,输入第二公共电压信号至第二像素单元的第一公共电极,所述预定时间大于像素电极从最小电压到最大电压的充电时间。

液晶面板、液晶显示装置及其驱动方法

技术领域

[0001] 本发明涉及一种液晶面板、液晶显示装置及其驱动方法。

背景技术

[0002] 液晶显示装置 (Liquid Crystal Display, LCD) 以低功耗、轻、薄等特点而被广泛应用于个人计算机屏幕、液晶电视、手机或个人数字助理 (PDA) 等现代化电子设备中。

[0003] 通常,液晶显示装置采用电场来控制液晶的通光率,以显示图像。根据液晶的电场驱动方向,可以将液晶大致分类为水平电场型和垂直电场型。水平电场施加型液晶显示装置采用在下基板上彼此平行设置的像素电极和公共电极之间形成的水平电场、以面内切换 (IPS, In-Plane Switching) 模式来驱动液晶。垂直电场施加型液晶显示装置采用在上基板和下基板上彼此相对设置的像素电极和公共电极之间的垂直电场以扭曲向列 (TN, Twisted Nematic) 模式来驱动液晶。

[0004] 在液晶显示装置中,存在单纯矩阵型和对像素利用了 TFT (Thin Film Transistor, 薄膜晶体管) 等有源元件的有源矩阵型等。有源矩阵型液晶显示装置的驱动方法包括帧反转驱动、H 行反转 (行反转) 驱动、V 行反转 (列反转) 驱动、点反转驱动等驱动方法。以下参照附图来举例说明现有技术中采用不同驱动方法的有源矩阵型液晶显示装置。

[0005] 参照图 1 及图 2 来示意性地说明采用列反转驱动的液晶显示装置。图 1 是在液晶显示装置采用列反转驱动时,其液晶面板的像素单元极性的示意图。如图 1 所示,在当前帧中,奇数列像素单元的极性为正,偶数列像素单元的极性为负。图 2 是图 1 所示的液晶面板中部分像素单元的电路示意图。为了简单起见,图 2 中仅示出了部分电路结构。如图 2 所示,同一行像素单元中的 TFT 20 的栅极 20g 连接到同一扫描线上,同一列像素单元具有相同的极性,且同一列像素单元中的 TFT 20 的源极 20s 连接到同一数据线上,每个像素单元中 TFT 20 的漏极 20d 连接到相应的像素电极 22。例如,图 2 中的第一行像素单元中的 TFT 20 的栅极 20g 连接到扫描线 G1 上,第一列像素单元在当前帧中具有正极性且第一列像素单元中的 TFT 20 的源极 20s 连接到数据线 D1 上。

[0006] 参照图 3 及图 4 来示意性地说明采用点反转驱动的液晶显示装置。图 3 是在液晶显示装置采用点反转驱动时,其液晶面板的像素单元极性的示意图。如图 3 所示,与列反转驱动和其他驱动方法不同,每个像素单元都与其上下左右所紧邻的像素单元的极性不同。图 4 是图 3 所示的液晶面板中部分像素单元的电路示意图。同样为了简单起见,图 4 中仅示出了部分电路结构。如图 4 所示,奇数列的相邻两行像素单元中的 TFT 40 的栅极 40g 连接到同一扫描线上,偶数列的相邻两行像素单元中的 TFT 40 的栅极 40g 连接到另一扫描线上,同一列中具有相同极性的像素单元中的 TFT 40 的源极 40s 连接到同一数据线上,每个像素单元中 TFT 40 的漏极 40d 连接到相应的像素电极 42。例如,在图 4 中,像素单元 P11、P13、P21 和 P23 中的 TFT 40 的栅极连接到扫描线 G1 上,像素单元 P22、P24、P32 和 P34 中的 TFT 40 的栅极 40g 连接到扫描线 G2 上,像素单元 P11 和 P31 中的 TFT 40 的源极 40s 连接到数据线 D1 上。

[0007] 一种现有的有源矩阵型液晶面板,通常包括 n 行互相平行的扫描线, m 列互相平行且与这 n 行扫描线垂直绝缘相交的数据线,以及多个像素单元。每个像素单元包括薄膜晶体管、液晶电容 C_{LC} 及存储电容 C_{st} 。薄膜晶体管位于扫描线和数据线的相交处,其作为开关元件来驱动像素电极。薄膜晶体管的栅极连接到扫描线以接收扫描线所传输的扫描信号,源极连接到数据线,漏极连接到像素电极。扫描线和数据线所围的最小区域定义为像素区域。每一行像素包括 m 个像素电极,像素电极与对置基板的公共电极(也称对置电极)之间形成液晶电容 C_{LC} 。像素电极与阵列基板的公共电极(也称存储电极)之间形成存储电容 C_{st} 。

[0008] 液晶电容的第一端(即像素电极)通过薄膜晶体管的漏极和源极而与数据线耦接,液晶电容的第二端则连接至对置基板以接收公共电压信号 V_{com} 。存储电容的第一端与液晶电容的第一端连接,存储电容的第二端则连接至阵列基板上以接收公共电压信号 V_{com} 。当对液晶面板进行扫描时,在一帧时间内产生多个扫描信号,这些扫描信号被施加至各条扫描线。当扫描信号使薄膜晶体管导通时,数据信号电压藉数据线通过薄膜晶体管的源极和漏极传输至液晶电容的第一端与存储电容的第一端,从而对液晶电容和存储电容进行充电。

[0009] 以下参照图 5A 和图 5B 来说明现有技术的液晶面板(例如图 1 至图 4 所示的液晶面板)中的像素单元在被驱动时,其像素电压、数据信号电压、公共电压信号和扫描信号的波形。在图 5A 和图 5B 中, V_{gh} 代表扫描线的高电压(也称为扫描开启信号), V_{gl} 代表扫描线的低电压, V_{sig1} 、 V_{sig2} 代表提供给数据线上的数据信号电压, V_{pixel} 代表像素电极充电的电压(也称为像素电压), V_{com} 代表提供给像素单元的公共电极的公共电压信号。

[0010] 图 5A 为图 2 和图 4 中的奇数据线上连接的某像素单元的像素电压、数据信号电压、公共电压信号和扫描信号的波形图。为了简单起见,图 5A 中仅示出关于第 n 帧和第 $n+1$ 帧的波形。如图 5A 所示,对于第 n 帧,在向某条扫描线施加扫描开启信号期间,高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态,即,薄膜晶体管的漏极与源极导通。在此期间,代表第 n 帧像素电压的数据信号电压 V_{sig1} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极,使连接于该扫描线上的像素单元显示像素电压 V_{pixel} ,并使这些像素单元中的存储电容处于充电状态,且由存储电容在该帧的随后时间内保持该像素电压 V_{pixel} 。理论上,在第 $n+1$ 帧的扫描开启信号施加至该扫描线之前,连接于该扫描线上的像素单元显示的像素电压 V_{pixel} 保持不变。但实际上,当扫描信号从高电压 V_{gh} 转变为低电压 V_{gl} 瞬间,薄膜晶体管截止,液晶电容藉由存储电容而维持的充电电压会由于电容耦合效应而突然有所下降,并且在扫描信号保持为低电压 V_{gl} 之后会由于邻近的寄生电阻的影响而有少许减小。

[0011] 在第 $n+1$ 帧的扫描开启信号施加至该扫描线时,该扫描线上连接的像素单元的极性发生反转。与第 n 帧类似,在第 $n+1$ 帧的扫描开启信号施加至该扫描线期间,高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态,同时,代表第 $n+1$ 帧像素电压的数据信号电压 V_{sig1} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极,使连接于该扫描线上的像素单元的显示更新为第 $n+1$ 帧像素电压 V_{pixel} ,并使这些像素单元中的存储电容处于充电状态,且由存储电容在该帧的随后时间内保持该像素电压 V_{pixel} 。如此,周而复始。

[0012] 图 5B 为图 2 和图 4 中的偶数据线上连接的某像素单元的像素电压、数据信号电

压、公共电压信号和扫描信号的波形图。为了简单起见,图 5B 中也仅示出关于第 n 帧和第 $n+1$ 帧的波形。因为偶数据线上连接的像素单元与奇数据线上连接的像素单元的像素电极的极性相反,即,偶数据线上连接的像素单元的像素电压与奇数据线上连接的像素单元的像素电压在同一帧内极性相反,所以偶数据线上连接的像素单元的像素电压的波形图与奇数据线上连接的像素单元的像素电压的波形图相反。由于在此情况下通过图 5A 的描述可以清楚地理解图 5B,因此这里不再赘述。

[0013] 在现有技术的液晶面板显示像素电压时,如果连续两帧画面的图像有所不同,则很容易产生拖影。这是因为液晶材料的反应速度慢、反应时间长。而且,当画面中的物体快速移动时,在扫描一个画面的过程中,液晶材料无法实时追踪物体的轨迹。在这种情况下,液晶材料所产生的是数次画面扫描时间的累积反应。针对液晶材料的特殊属性,为解决其影像残留问题,已提出相当多的研究报告,其中主要有以下三种解决方向:(1) 内在性质 (intrinsic property):将液晶的粘稠度改变为低黏性 (lowviscosity);(2) 加大扭转电压,即过压驱动 (over driving):使液晶更快地扭转与恢复;(3) 插入全黑画面 (简称插黑, black insertion):在每一个影像画面显示完之后,在下一个影像画面显示之前,插入一个全黑画面。

[0014] 然而,采用改变液晶的粘稠度的方式来提高动态显示画面的质量,会使液晶的其他参数特性也随之改变,这会带来其他一些不利后果。采用过压驱动方式,需要提高驱动电压或者采用电压补偿方式,对驱动电路的要求较高。采用现有的插黑技术,源极驱动电路必须交替产生影像数据与全黑数据,亦即,不管是影像数据或是插黑数据,这些数据均由源极驱动电路来产生。由于源极驱动电路必须在不同时间产生插黑电压与数据驱动电压,因此,栅极驱动电路的扫描频率也必须加倍,使得源极驱动器的负载大为增加,且源极驱动器的反应速度也必须相应提高。

发明内容

[0015] 考虑到上述问题,本发明的优选实施例提供了一种液晶面板、液晶显示装置及其驱动方法,可以在不需要提高驱动频率的情况下进行插黑或者插灰处理并且可以具备预充电功能。

[0016] 根据本发明的一个技术方案,提供了一种可实现 $1/2$ 屏插黑的液晶显示装置,其包括液晶面板,液晶面板包括扫描线、数据线和多个像素单元,所述多个像素单元中的每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极,其中,所述多个像素单元包括位于上半屏的第一组像素单元和位于下半屏的第二组像素单元,所述第一组像素单元中的第一像素单元的第一公共电极电性连接以接收第一公共电压信号,所述第一组像素单元中的第二像素单元的第一公共电极电性连接以接收第二公共电压信号,所述第二组像素单元中的第一像素单元的第一公共电极电性连接以接收第四公共电压信号,第二组像素单元中的第二像素单元的第一公共电极电性连接以接收第五公共电压信号,所述多个像素单元的第二公共电极电性连接以接收第三公共电压信号,并且,所述第一公共电压信号和所述第二公共电压信号为交流电压信号且在同一帧内极性相反,所述地四公共电压信号和所述第五公共电压信号为交流电压信号且在同一帧内极性相反。

[0017] 根据本发明的另一个技术方案,提供了一种液晶显示装置的驱动方法,所述液晶

显示装置包括具有扫描线、数据线和多个像素单元的液晶面板,所述多个像素单元包括第一像素单元和第二像素单元,每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极,所述多个像素单元的第二公共电极电性连接,其中,所述多个像素单元中的第一像素单元的第一公共电极电性连接,所述多个像素单元中的第二像素单元的第一公共电极电性连接,所述驱动方法包括:施加数据信号至所述数据线;在薄膜晶体管开启之前,输入与输入至第一像素单元的数据信号相同极性的第一公共电压信号至第一像素单元的第一公共电极,输入与第二像素单元的数据信号相同极性并且与第一公共电压信号相反极性的第二公共电压信号至第二像素单元的第一公共电极;输入第三公共电压信号至第一像素单元和第二像素单元的第二公共电极。

[0018] 相较于现有技术,本发明通过提供极性相反的第一和第二公共电压信号,实现了在不需要提高驱动频率的情况下进行插黑或者插灰的技术并且具备预充电的功能。

附图说明

[0019] 图 1 是根据现有技术的液晶显示装置在采用列反转驱动时,其液晶面板的像素单元极性的示意图。

[0020] 图 2 是图 1 所示的液晶面板中部分像素单元的电路示意图。

[0021] 图 3 是根据现有技术的液晶显示装置在采用点反转驱动时,其液晶面板的像素单元极性的示意图。

[0022] 图 4 是图 3 所示的液晶面板中部分像素单元的电路示意图。

[0023] 图 5A 和图 5B 分别是图 2 和图 4 中的奇数据线和偶数据线上连接的某像素单元的像素电压、数据信号电压、公共电压信号和扫描信号的波形图。

[0024] 图 6 是根据本发明第一实施例的液晶显示装置在采用点反转驱动时,其液晶面板的阵列基板侧部分像素单元的电路示意图。

[0025] 图 7 是根据本发明第一实施例的液晶显示装置在采用点反转驱动时,其液晶面板的部分像素单元的电路示意图。

[0026] 图 8A 和图 8B 分别是根据本发明第一实施例的奇数据线和偶数据线上连接的某像素单元的公共电压信号的波形图。

[0027] 图 9A 和图 9B 分别是根据本发明第一实施例的奇数据线和偶数据线上连接的某像素单元的像素电压、数据信号电压、公共电压信号和扫描信号的波形图。

[0028] 图 10A 和图 10B 分别是根据本发明第一实施例的液晶面板在两种情况下的驱动仿真图。

[0029] 图 11 是根据本发明第二实施例的 1/2 屏插黑的示意图。

[0030] 图 12 是图 11 的实现方式示意图。

具体实施方式

[0031] 以下将参照附图来详细说明本发明的示例性实施例。

[0032] 以下实施例是以液晶显示装置在采用点反转驱动方式时进行详细描述,但本发明实施例并不局限于此,例如,本发明实施例的液晶显示装置亦可采用列反转驱动方式,只要不脱离本发明的实质所做的任何改动均应被包括在本发明的权利要求的保护范围之内。

[0033] 首先参照图 6 至图 10B 来说明本发明的第一实施例。本发明第一实施例的液晶显示装置包括一液晶面板，液晶面板包括阵列基板和彩色滤光片基板（也称对置基板）。

[0034] 如图 7 所示，液晶面板通常包括多个像素单元 10，并且在阵列基板侧 设置数据线 D1、D2、D3...和扫描线 G1、G2、G3...。每个像素单元 10 包括薄膜晶体管 101、液晶电容 C_{LC} 及存储电容 C_{st} (C_{st1} 或者 C_{st2})。存储电容 C_{st} 的第一端为像素电极 102，第二端为阵列基板上的公共电极 103、104（即第一公共电极，或称为存储电极）。液晶电容 C_{LC} 的第一端为像素电极 102，第二端为对置基板上的公共电极 105（即第二公共电极，或称为对置电极）。扫描线中的单条扫描线电连接相邻两行像素单元中的奇数列像素单元或偶数列像素单元。相邻两行像素单元中的奇数列像素单元或偶数列像素单元中的薄膜晶体管 101 的栅极 101g 与扫描线 (G1、G2...) 连接，以接收扫描线所传输的扫描信号。奇数数据线 (D1、D3...) 连接当前帧为所有正极性的像素单元 10，称为第一像素单元，偶数数据线 (D2、D4...) 连接当前帧为所有负极性的像素单元 10，称为第二像素单元。第一像素单元中存储电容 C_{st1} 的第二端即第一公共电极 103 通过第一公共线 106 电性连接，第一公共线 106 用以接收第一公共电压信号 V_{com1} （如图 6 所示），第二像素单元中存储电容 C_{st2} 的第二端即第一公共电极 104 通过第二公共线 108 电性连接，第二公共线 108 用以接收第二公共电压信号 V_{com2} （如图 6 所示）。像素电极 102 通过薄膜晶体管 101 的漏极 101d 和源极 101s 而与数据线 (D1、D2...) 耦接。多个像素单元中液晶电容 C_{LC} 的第二端即第二公共电极 105 电性连接以接收第三公共电压信号 V_{com3} 。在本实施例中，第一、第二公共电压信号 V_{com1} 、 V_{com2} 是交流电压信号。第三公共电压信号 V_{com3} 是直流电压。

[0035] 液晶显示装置采用列反转驱动时的液晶面板的连接方式与上述采用点反转驱动时所不同的是：扫描线中的单条扫描线电连接同一行像素单元的所有像素单元。其他连接方式与上述采用点反转驱动时的液晶面板的连接方式类似，故在这里不再赘述。

[0036] 参照图 8A 和图 8B，其分别是根据本发明第一实施例的奇数数据线和偶数据线上连接的像素单元的第一、第二公共电压信号 V_{com1} 、 V_{com2} 的波形图。第一公共电压信号 V_{com1} 和第二公共电压信号 V_{com2} 在同一帧中电压幅值相同但极性相反（即，当第一公共电压信号 V_{com1} 为高电平时第二公共电压信号 V_{com2} 为低电平；当第一公共电压信号 V_{com1} 为低电平时第二公共电压信号 V_{com2} 为高电平）。

[0037] 以下参照图 9A 和图 9B 来说明本发明第一实施例的像素单元在被驱动时，其像素电压、数据信号电压、公共电压信号和扫描信号的波形。在图 9A 和图 9B 中， V_{gh} 代表扫描线的高电压（也称为扫描开启信号）， V_{gl} 代表扫描线的低电压， V_{sig1} 、 V_{sig2} 代表提供给数据线上的数据信号电压， V_{pixel} 代表像素电极 102 充电的电压（即像素电压）， V_{com3} 代表提供给像素单元 10 中液晶电容 C_{LC} 的公共电极 105（即第二公共电极）的第三公共电压信号， V_{com1} 、 V_{com2} 分别代表提供给奇数数据线和偶数据线上连接的像素单元 10 中存储电容 C_{st1} 、 C_{st2} 的公共电极 103、104（即第一公共电极）的第一、第二公共电压信号。

[0038] 图 9A 和图 9B 分别为本发明第一实施例的奇数数据线和偶数据线上连接的某像素单元的像素电压、数据信号电压、第一公共电压信号和扫描信号的波形图。为了简单起见，图 9A 和图 9B 仅示出了关于第 n 帧和第 n+1 帧的波形。在液晶面板工作时，第一、第二公共电压信号 V_{com1} 、 V_{com2} 比扫描开启信号 V_{gh} 提前 t 时间输入，即在薄膜晶体管 101 开启之前的 t 时间输入第一、第二公共电压信号 V_{com1} 、 V_{com2} ，并且 $t > T_{on}$ (T_{on} 为像素电极从最小

电压到最大电压的充电时间), 第一公共电压信号 V_{com1} 与薄膜晶体管 101 开启后输入到第一像素单元上的数据信号电压 V_{sig1} 具有相同极性 (即第一公共电压信号 V_{com1} 与数据信号电压 V_{sig1} 同为高电平或低电平), 第二公共电压信号 V_{com2} 与薄膜晶体管 101 开启后输入到第二像素单元上的数据信号电压 V_{sig2} 具有相同极性 (即第二公共电压信号 V_{com2} 与数据信号电压 V_{sig2} 同为高电平或低电平)。液晶显示装置的黑白响应时间 $T_{response}$ 包括像素电极 102 从最小电压到最大电压的充电时间 T_{on} 和像素电极 102 从最大电压到最小电压的时间 T_{off} , 并且 $T_{off} > T_{on}$ 。例如, 当使用黑白响应时间为 5ms 的液晶显示装置时, 像素电极 102 从最小电压到最大电压的充电时间 $T_{on} < 2ms$, 在这种情况下, 可以取 $t = 2ms$ 。

[0039] 如图 9A 所示, 对于第 n 帧, 在薄膜晶体管 101 开启之前的 t 时间, 第一公共电压信号 V_{com1} 开始输入, 由于电容耦合效应, 像素电极 102 产生一个耦合电压 V_{drop} , V_{drop} 由下式得出:

$$[0040] \quad V_{drop} = \Delta V_{com1} \times C_{st} / (C_{LC} + C_{st} + C_{gs}), \quad (1)$$

[0041] 其中 ΔV_{com1} 为第一公共电压信号 V_{com1} 的变化值 (即当 V_{com1} 从最小值 $V_{com1_{min}}$ 变为最大值 $V_{com1_{max}}$ 时, $\Delta V_{com1} = V_{com1_{max}} - V_{com1_{min}}$, 当 V_{com1} 从最大值 $V_{com1_{max}}$ 变为最小值 $V_{com1_{min}}$ 时, $\Delta V_{com1} = V_{com1_{min}} - V_{com1_{max}}$), C_{LC} 为液晶电容, C_{st} 为存储电容, C_{gs} 为 TFT 的栅极与源极之间的电容。

[0042] 在对像素电极 102 充电之前, 即第 n 帧的扫描开启信号来临之前, 像素单元 10 具有一耦合电压 V_{drop} 。耦合后的像素电压 $V_{coupled}$ 为第 $n-1$ 帧的像素电压与耦合电压 V_{drop} 之和。如图 9A 所示, 对于第 n 帧, 在对像素电极 102 充电之前, 由于第一公共电压信号 V_{com1} 从最小值 $V_{com1_{min}}$ 转变为最大值 $V_{com1_{max}}$, 由式 (1) 可知, 此时 V_{drop} 为正电压, 因此耦合后的像素电压 $V_{coupled}$ 增大, 即耦合电压 V_{drop} 已将像素电极 102 从负极性拉向正极性。因此, 当在对像素电极 102 充电时, 像素电极 102 只需从正极性的电压变为正极性的电压, 而不需要像现有技术需从负极性的电压变为正极性的电压, 故减小了像素电极 102 变化的电压差, 因此, 具有预充电功能。

[0043] 在上述 t 时间之后, 扫描线被施加第 n 帧的扫描开启信号, 扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管 101 处于导通状态, 即, 薄膜晶体管 101 的漏极 101d 与源极 101s 导通。在此期间, 代表第 n 帧像素电压的数据信号电压 V_{sig1} 藉数据线通过薄膜晶体管 101 的源极 101s 和漏极 101d 施加至像素电极 102, 使该扫描线上连接的像素单元 10 从耦合后的像素电压 $V_{coupled}$ 变换到第 n 帧的像素电压 V_{pixel} , 并使该扫描线上连接的像素单元中的存储电容 C_{st} 处于充电状态, 且由存储电容在第 n 帧的时间内保持该像素电压 V_{pixel} 。理论上, 在第 $n+1$ 帧的扫描开启信号施加至该扫描线之前, 该扫描线上连接的像素单元 10 显示的像素电压 V_{pixel} 保持不变。但实际上, 当扫描信号从高电压 V_{gh} 转变为低电压 V_{gl} 瞬间, 薄膜晶体管 101 截止, 液晶电容 C_{LC} 藉由存储电容 C_{st} 而维持的充电电压会由于电容耦合效应而突然有所下降, 并且在扫描信号保持为低电压 V_{gl} 之后会由于邻近的寄生电阻的影响而有少许减小。

[0044] 在第 $n+1$ 帧的扫描开启信号施加至该扫描线时, 该扫描线上连接的像素单元的极性发生反转。与第 n 帧类似, 在薄膜晶体管 101 开启之前的 t 时间, 第一公共电压信号 V_{com1} 从最大值 $V_{com1_{max}}$ 转变为最小值 $V_{com1_{min}}$, 由于电容耦合效应, 像素电极 102 产生一个耦合电压 V_{drop} , 该 V_{drop} 同样由式 (1) 得出。

[0045] 与第 n 帧类似,耦合后的像素电压 V_{coupled} 为第 n 帧的像素电压与耦合电压 V_{drop} 之和。如图 9A 所示,对于第 $n+1$ 帧,在对像素电极 102 充电之前,由于第一公共电压信号 V_{com1} 从最大值 $V_{\text{com1}_{\text{max}}}$ 转变为最小值 $V_{\text{com1}_{\text{min}}}$,由式 (1) 可知,此时 V_{drop} 为负电压,因此耦合后的像素电压 V_{coupled} 减小,即耦合电压 V_{drop} 已将像素电极 102 从正极性拉向负极性,因此,当在对像素电极 102 充电时,像素电极 102 只需从负极性的电压变为负极性的电压,而不需要像现有技术需从正极性的电压变为负极性的电压,故减小了像素电极 102 变化的电压差,因此,具有预充电功能。

[0046] 在 t 时间之后,在第 $n+1$ 帧的扫描开启信号施加至该扫描线期间,扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管 101 都处于导通状态,同时,代表第 $n+1$ 帧像素电压的数据信号电压 V_{sig1} 藉数据线通过薄膜晶体管 101 的源极 101s 和漏极 101d 施加至像素电极,使该扫描线上连接的像素单元 10 从耦合后的像素电压 V_{coupled} 变换到第 $n+1$ 帧像素电压 V_{pixel} ,并使像素单元 10 中的存储电容 C_{st} 处于充电状态。在薄膜晶体管关闭后,由存储电容 C_{st} 保持第 $n+1$ 帧像素电压 V_{pixel} 。同样,实际上,当扫描信号从高电压 V_{gh} 转变为低电压 V_{gl} 瞬间,薄膜晶体管 101 截止,液晶电容 C_{LC} 藉由存储电容 C_{st} 而维持的充电电压会由于电容耦合效应而突然有所下降,并且在扫描信号保持为低电压 V_{gl} 之后会由于邻近的寄生电阻的影响而有少许减小。如此,周而复始。

[0047] 图 9B 为偶数据线上连接的某像素单元的像素电压、数据信号电压、第二公共电压信号和扫描信号的波形图。因为偶数据线上连接的第二像素单元与奇数据线上连接的第一像素单元在同一帧内的极性相反,且第一公共电压信号和第二公共电压信号在同一帧内的极性相反,所以偶数据线上连接的第二像素单元的像素电压和第二公共电压信号的波形图分别与奇数据线上连接的第一像素单元的像素电压和第一公共电压信号的波形图相反。由于在此情况下通过对图 9A 的描述可以清楚地理解图 9B,因此这里不再赘述。

[0048] 以下将参照图 10A 和图 10B 来说明根据本发明第一实施例的液晶面板的驱动仿真情况。由于实际仿真仪器和条件的局限,因此在这里将基于 60Hz、900 条扫描线的单条扫描线时间来仿真 12 条扫描线。

[0049] 参照图 10A,其示出本发明第一实施例的液晶面板在一种情况下的驱动仿真图,该仿真图是在以下参数时取得的:扫描信号的高电压 $V_{\text{gh}} = 20\text{V}$,扫描信号的低电压 $V_{\text{gl}} = -10\text{V}$;数据信号的高电压 $V_{\text{dh1}} = 6.7\text{V}$,数据信号的低电压 $V_{\text{dl1}} = 6.3\text{V}$ (此处的数据信号电压对应于 256 级的亮度灰阶中的最亮灰阶 L255 的电压,即输入白色电压信号的情况);TFT 的长度 $= 4.5\mu\text{m}$,TFT 的宽度 $= 31.7\mu\text{m}$;存储电容 $C_{\text{st}} = 346.67\text{fF}$,TFT 的栅极与源极之间的电容 $C_{\text{gs}} = 28.96\text{fF}$,液晶电容 $C_{\text{LC}} = 273.355\text{fF}$;第一公共电压信号的最大值 $V_{\text{com1}_{\text{max}}} = 10\text{V}$,第一公共电压信号的最小值 $V_{\text{com1}_{\text{min}}} = -10\text{V}$,第三公共电压信号 $V_{\text{com3}} = 4.965\text{V}$ 。

[0050] 第 $n-1$ 帧的像素电压为 5.17V 。在第 n 帧的扫描开启信号施加至扫描线之前的 t 时间,第一公共电压信号 V_{com1} 从 10V 变为 -10V ,由于电容耦合,像素电极产生一个耦合电压 V_{drop} ,如图 10A 所示, V_{drop} 为 -10.66V ,因此耦合后的像素电压为 $5.17 - 10.66 = -5.49\text{V}$,耦合后的像素电压与第三公共电压信号 V_{com3} 之间的电压差(即,液晶电容的电压)为 $4.965 - (-5.49) = 10.455\text{V}$ 。

[0051] 在 t 时间之后,扫描线被施加第 n 帧的扫描开启信号,扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态。在此期间,代表第 n 帧像素电压的数据信号

的低电压 V_{d11} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极,使该扫描线上连接的像素单元从耦合后的像素电压 $V_{\text{coupled}} - 5.49\text{V}$ 变换到数据信号的低电压 6.3V ,并使该扫描线上连接的像素单元中的存储电容处于充电状态。当扫描信号从高电压 V_{gh} 转变为低电压 V_{g1} 瞬间,薄膜晶体管截止,液晶电容藉由存储电容而维持的充电电压会由于电容耦合效应而突然下降,产生一馈通电压 $6.3 - 4.76 = 1.54\text{V}$,在此之后保持为 4.76V 。

[0052] 在第 $n+1$ 帧的扫描开启信号施加至该扫描线之前的 t 时间,第一公共电压信号 V_{com1} 从 -10V 变为 10V ,由于电容耦合,像素电极产生一个耦合电压 V_{drop} ,如图 10A 所示, V_{drop} 为 -10.66V ,因此耦合后的像素电压 V_{coupled} 为 $4.76 + 10.66 = 15.42\text{V}$,耦合后的像素电压 V_{coupled} 与第三公共电压信号 V_{com3} 之间的电压差(即,液晶电容的电压)为 $15.42 - 4.965 = 10.455\text{V}$ 。

[0053] 在 t 时间之后,扫描线被施加第 $n+1$ 帧的扫描开启信号,扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态。在此期间,代表第 $n+1$ 帧像素电压的数据信号的高电压 V_{dh1} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极,使该扫描线上连接的像素单元从耦合后的像素电压 $V_{\text{coupled}} 15.42\text{V}$ 变换到数据信号的高电压 6.7V ,并使该扫描线上连接的像素单元中的存储电容处于充电状态。当扫描信号从高电压 V_{gh} 转变为低电压 V_{g1} 瞬间,薄膜晶体管截止,液晶电容藉由存储电容而维持的充电电压会由于电容耦合效应而突然下降,产生一馈通电压 $6.7 - 5.17 = 1.53\text{V}$,在此之后保持为 5.17V 。如此,周而复始。

[0054] 由此可见,在图 10A 的情况下,耦合后的像素电压 V_{coupled} 分别为 -5.49V 和 15.42V ,这两个电压值分别与第三公共电压信号 V_{com3} ($V_{\text{com3}} = 4.965\text{V}$) 的电压差均为 10.455V ,大于 6V ,因此在采用最暗灰阶对应的压差为 6V 的液晶显示装置的情况下,当输入为白色电压信号(即,最亮级别信号)时,像素单元具有很好的插黑效果。

[0055] 参照图 10B,其示出本发明第一实施例的液晶面板在另一种情况下的驱动仿真图,该仿真图是在以下参数时取得的:扫描信号的高电压 $V_{gh} = 20\text{V}$,扫描信号的低电压 $V_{g1} = -10\text{V}$;数据信号的高电压 $V_{dh2} = 13.2\text{V}$,数据信号的低电压 $V_{d12} = 0.2\text{V}$ (此处的数据信号电压对应于 256 级的亮度灰阶中的最暗灰阶 L_0 的电压,即输入黑色电压信号的情况);TFT 的长度 $= 4.5\mu\text{m}$,TFT 的宽度 $= 31.7\mu\text{m}$;存储电容 $C_{\text{st}} = 346.67\text{fF}$,TFT 的栅极与源极之间的电容 $C_{\text{gs}} = 28.96\text{fF}$,液晶电容 $C_{\text{LC}} = 273.355\text{fF}$;第一公共电压信号的最大值 $V_{\text{com1}_{\text{max}}} = 10\text{V}$,第一公共电压信号的最小值 $V_{\text{com1}_{\text{min}}} = -10\text{V}$,第三公共电压信号 $V_{\text{com3}} = 5.17\text{V}$ 。

[0056] 第 $n-1$ 帧的像素电压为 11.74V 。在第 n 帧的扫描开启信号施加至扫描线之前的 t 时间,第一公共电压信号 V_{com1} 从 10V 变为 -10V ,由于电容耦合,像素电极产生一个耦合电压 V_{drop} ,如图 10A 所示, V_{drop} 为 -10.66V ,因此耦合后的像素电压 V_{coupled} 为 $11.74 - 10.66 = 1.08\text{V}$,耦合后的像素电压 V_{coupled} 与第三公共电压信号 V_{com3} 之间的电压差(即,液晶电容的电压)为 $5.17 - 1.08 = 4.09\text{V}$ 。

[0057] 在 t 时间之后,扫描线被施加第 n 帧的扫描开启信号,扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态。在此期间,代表第 n 帧像素电压的数据信号的低电压 V_{d12} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极,使该扫描线上连接的像素单元从耦合后的像素电压 $V_{\text{coupled}} 1.08\text{V}$ 变换到数据信号的低电压 0.2V ,并使该扫描线上连接的像素单元中的存储电容处于充电状态。当扫描信号从高电压 V_{gh} 转变为低电

压 V_{g1} 瞬间, 薄膜晶体管截止, 液晶电容藉由存储电容而维持的充电电压会由于电容耦合效应而突然下降, 产生一馈通电压 $0.2 - (-1.4) = 1.6V$, 在此之后保持为 $-1.4V$ 。

[0058] 在第 $n+1$ 帧的扫描开启信号施加至该扫描线之前的 t 时间, 第一公共电压信号 V_{com1} 从 $-10V$ 变为 $10V$, 由于电容耦合, 像素电极产生一个耦合电压 V_{drop} , 如图 10A 所示, V_{drop} 为 $-10.66V$, 因此耦合后的像素电压 $V_{coupled}$ 为 $-1.4 + 10.66 = 9.26V$, 耦合后的像素电压 $V_{coupled}$ 与第三公共电压信号 V_{com3} 之间的电压差 (即, 液晶电容的电压) 为 $9.26 - 5.17 = 4.09V$ 。

[0059] 在 t 时间之后, 扫描线被施加第 $n+1$ 帧的扫描开启信号, 扫描信号的高电压 V_{gh} 使连接于该扫描线上的薄膜晶体管处于导通状态。在此期间, 代表第 $n+1$ 帧像素电压的数据信号的高电压 V_{dh2} 藉数据线通过薄膜晶体管的源极和漏极施加至像素电极, 使该扫描线上连接的像素单元从耦合后的像素电压 $V_{coupled} 9.26V$ 变换到数据信号的高电压 $13.2V$, 并使该扫描线上连接的像素单元中的存储电容处于充电状态。当扫描信号从高电压 V_{gh} 转变为低电压 V_{g1} 瞬间, 薄膜晶体管截止, 液晶电容藉由存储电容而维持的充电电压会由于电容耦合效应而突然下降, 产生一馈通电压 $13.2 - 11.74 = 1.46V$, 在此之后保持为 $11.74V$ 。如此, 周而复始。

[0060] 由此可见, 在图 10B 所示的情况下, 耦合后的像素电压 $V_{coupled}$ 分别为 $1.08V$ 和 $9.26V$, 这两个电压值分别与第三公共电压信号 V_{com3} ($V_{com3} = 5.17V$) 的电压差均为 $4.09V$, 小于 $6V$, 因此在采用最暗灰阶对应的压差为 $6V$ 的液晶显示装置的情况下, 当输入为黑色电压信号 (即, 最暗级别信号) 时, 像素单元仅具有插灰效果。

[0061] 因此, 本发明通过在扫描开启施加至扫描线之前使得像素电极具有易耦合电压 V_{drop} , 从而在不需要提高驱动频率的情况下, 实现良好的插黑或插灰效果。

[0062] 以下将参照图 11 至图 12 来说明本发明的第二实施例。为了提高显示亮度, 本发明第二实施例可以不实行全屏插黑, 而采用部分屏幕的滚动插黑, 如 $1/2$ 屏插黑、 $1/3$ 屏插黑等, 只需稍微改变一下本发明的设计即可实现部分屏幕的插黑。图 11 是根据本发明第二实施例的 $1/2$ 屏插黑的示意图。如图 11 所示, 第 $n-1$ 帧与第 n 帧之间插黑上半屏, 第 n 帧与第 $n+1$ 帧之间插黑下半屏, 依此半屏滚动插黑。图 11 的实现方式如图 12 所示, 将 $1/2$ 屏以上的奇数据线和偶数据线所连接的第一和第二像素单元的第一公共电极分别接第一和第二公共电压信号 V_{com1} 和 V_{com2} , 而 $1/2$ 屏以下的奇数据线和偶数据线所连接的第一和第二像素单元的第一公共电极分别接第四和第五公共电压信号 $V_{com1'}$ 和 $V_{com2'}$, 通过控制 V_{com1} 和 V_{com2} 以及 $V_{com1'}$ 和 $V_{com2'}$ 的输入时间即可实现 $1/2$ 屏插黑。

[0063] 如图 12 所示, 本发明第二实施例的液晶面板的像素单元包括第一组像素单元和第二组像素单元。第一组像素单元中的第一像素单元的第一公共电极电性连接以接收第一公共电压信号 V_{com1} , 第一组像素单元中的第二像素单元的第一公共电极电性连接以接收第二公共电压信号 V_{com2} ; 第二组像素单元中的第一像素单元的第一公共电极电性连接以接收第四公共电压信号 $V_{com1'}$, 第二组像素单元中的第二像素单元的第一公共电极电性连接以接收第五公共电压信号 $V_{com2'}$ 。另外, 这两组中的像素单元的第二公共电极电性连接以接收第三公共电压信号 V_{com3} 。第一和第二公共电压信号 V_{com1} 和 V_{com2} 为交流电压信号且在同一帧内电压幅值相同极性相反; 第四和第五公共电压信号 $V_{com1'}$ 和 $V_{com2'}$ 为交流电压信号且在同一帧内电压幅值相同极性相反。这样, 与第一实施例类似, 可以通过第

一和第二公共电压信号 V_{com1} 和 V_{com2} 来对第一组像素单元中的像素单元进行插黑和预充电,并且可以通过第四和第五公共电压信号 V_{com1}' 和 V_{com2}' 来对第二组像素单元中的像素单元进行插黑和预充电。此外,通过设置第一和第四公共电压信号 V_{com1} 和 V_{com1}' 使其仅时序不同并且设置第二和第五公共电压信号 V_{com2} 和 V_{com2}' 使其仅时序不同,可以实现以不同的时序对第一组像素单元和第二组像素单元进行插黑。例如,使第一和第二公共电压信号 V_{com1} 和 V_{com2} 在奇数帧内比扫描开启信号提前 t 时间输入,且第四和第五公共电压信号 V_{com1}' 和 V_{com2}' 在偶数帧内比扫描开启信号提前 t 时间输入。在这种情况下,可以在奇数帧内对第一组像素单元进行插黑,在偶数帧内对第二组像素单元进行插黑,从而实现部分屏幕的滚动插黑。

[0064] 由于除了增加了第四和第五公共电压信号 V_{com1}' 和 V_{com2}' 之外,本发明第二实施例的具体结构与第一实施例相同,因此这里不再赘述。

[0065] 以上是以 $1/2$ 屏插黑为例进行详细说明,但本发明并不局限于此,本发明实施例的液晶面板的像素单元亦可包括第三组像素单元,或者,亦可包括第三组像素单元和第四组像素单元等。例如,当进行 $1/3$ 屏插黑时,本发明实施例的液晶面板的像素单元包括三组像素单元,即第一组像素单元、第二组像素单元及第三组像素单元;或者,当进行 $1/4$ 屏插黑时,本发明实施例的液晶面板的像素单元包括四组像素单元,即第一组像素单元、第二组像素单元、第三组像素单元及第四组像素单元;当进行 $1/n$ 屏插黑时,本发明实施例的液晶面板的像素单元包括 n 组像素单元,即第一组像素单元、第二组像素单元、第三组像素单元.....、第 $n-1$ 组像素单元及第 n 组像素单元。

[0066] 尽管在此详细描述了本发明的具体实施例,但是本领域技术人员将会认识到,在不脱离本发明的精神和范围的情况下,可以作出各种修改、变体和替换。因此,本发明的范围仅由权利要求及其等同物来限定。

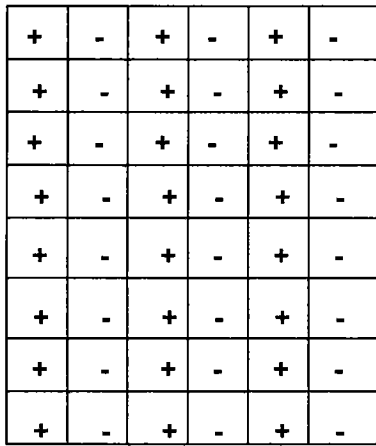


图 1

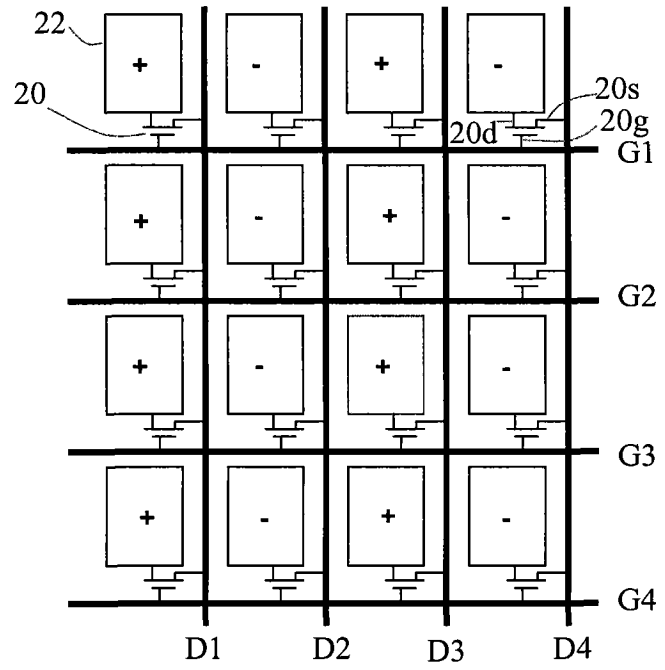


图 2

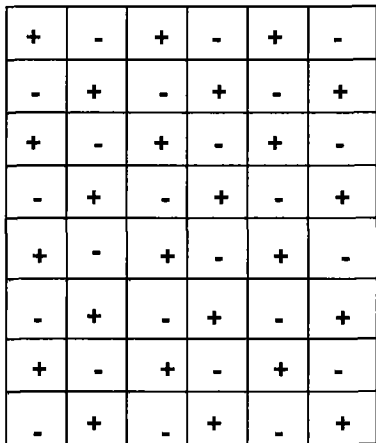


图 3

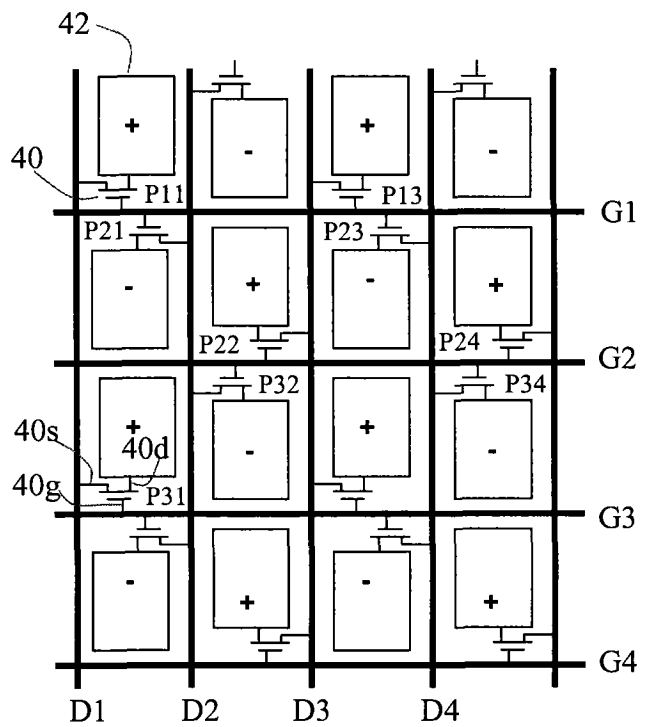


图 4

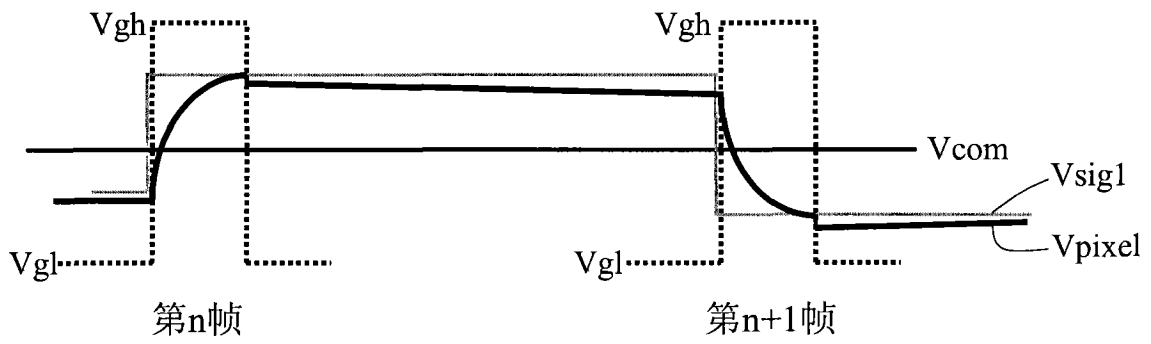


图 5A

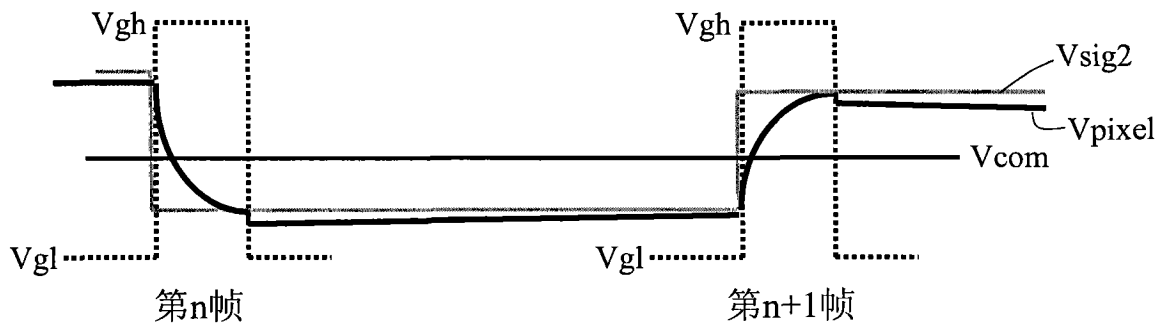


图 5B

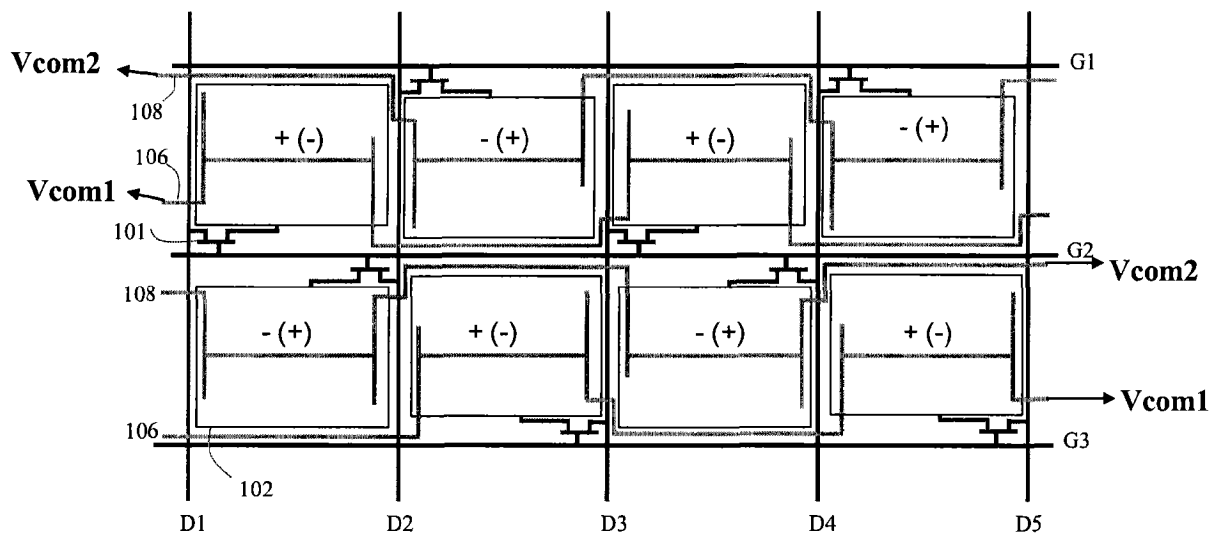


图 6

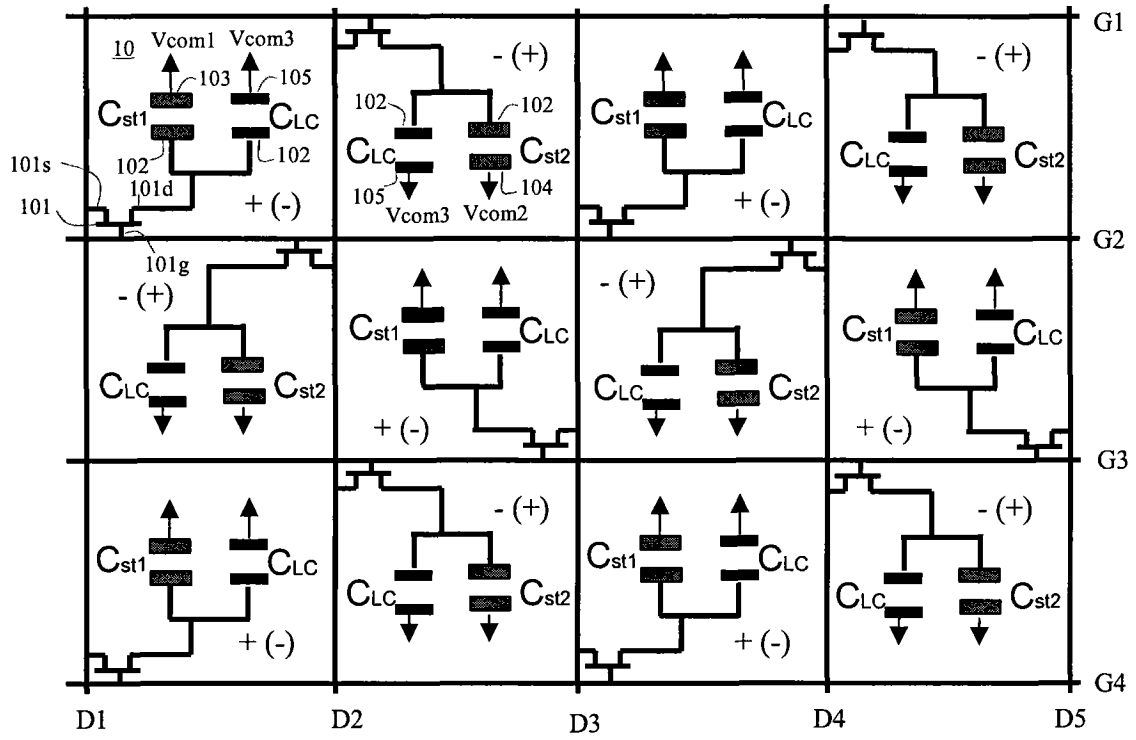


图 7

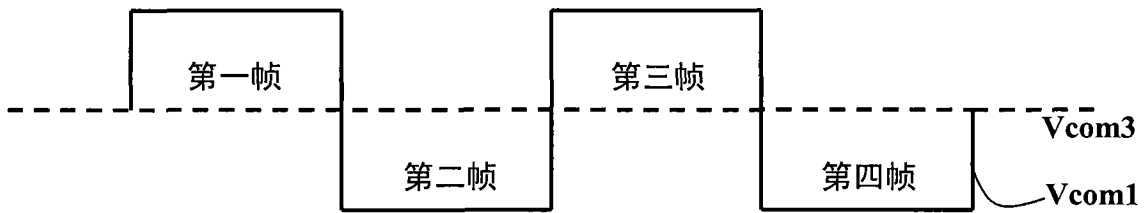


图 8A

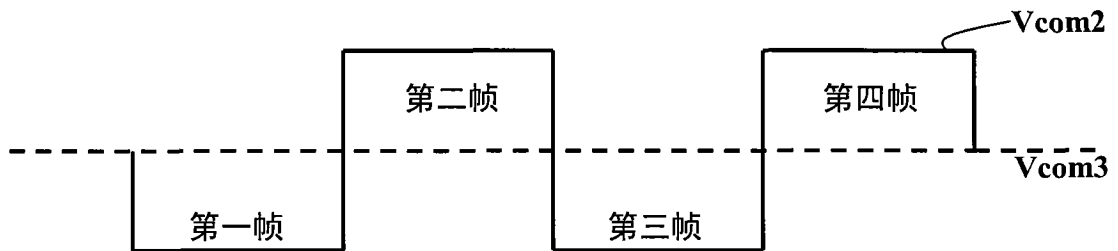


图 8B

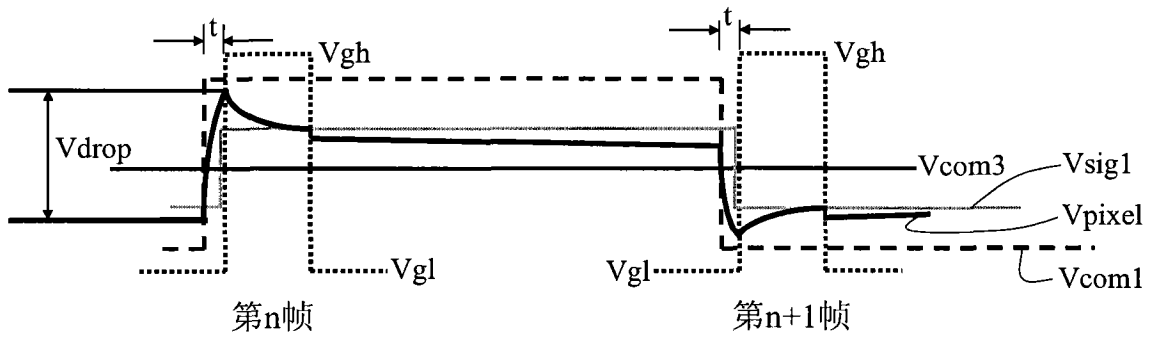


图 9A

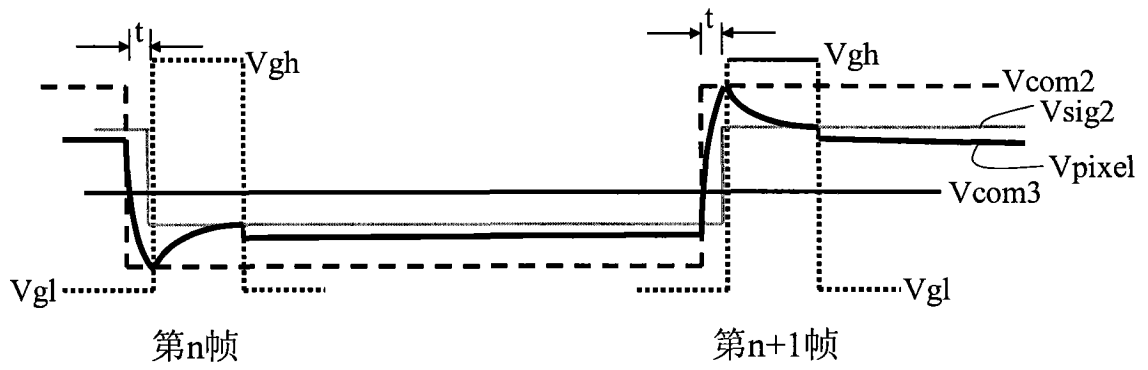


图 9B

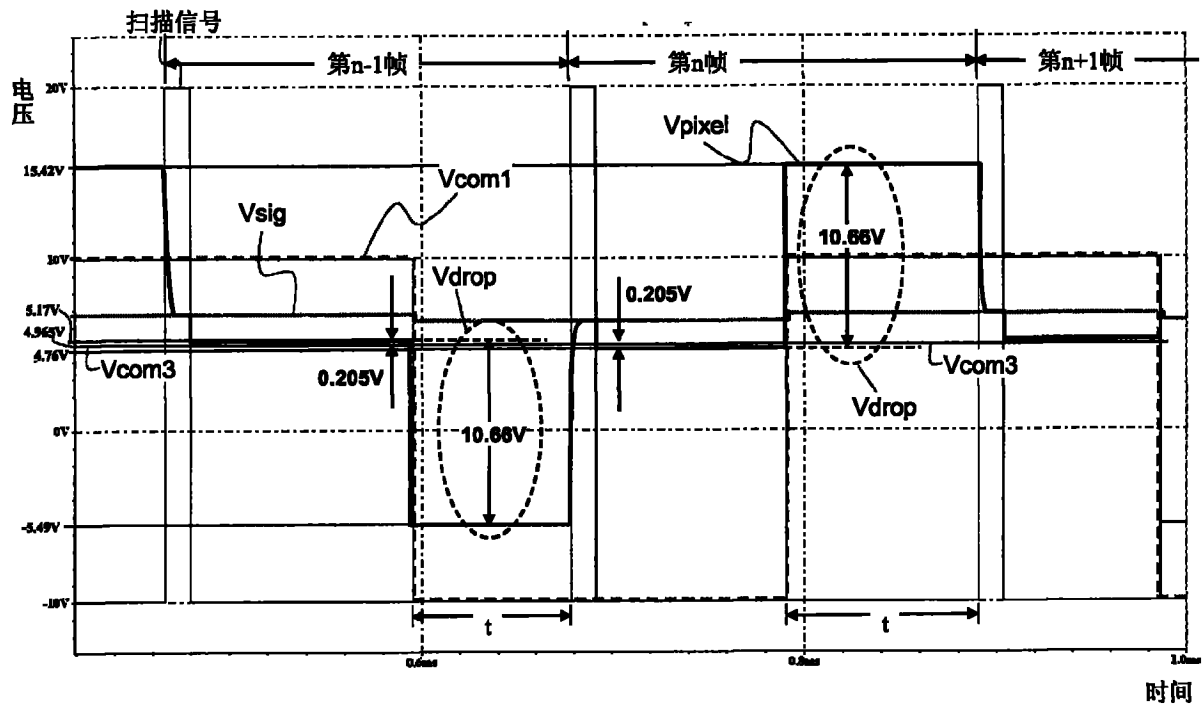


图 10A

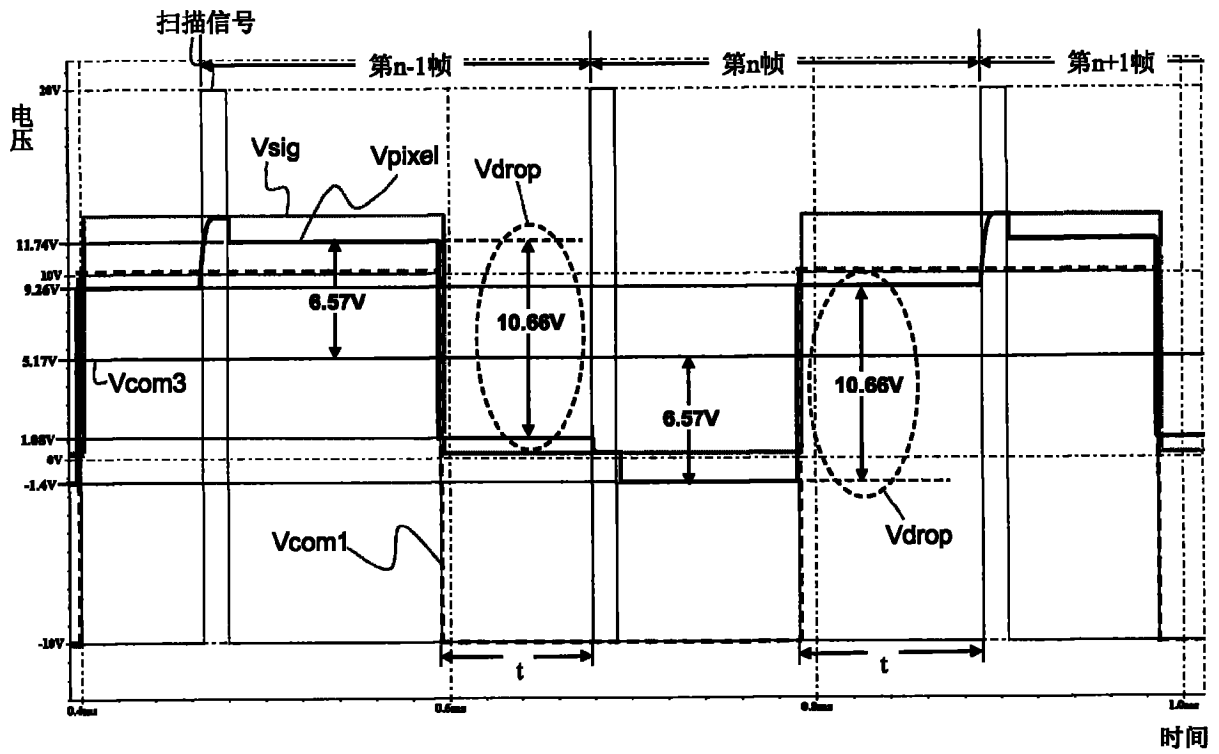


图 10B

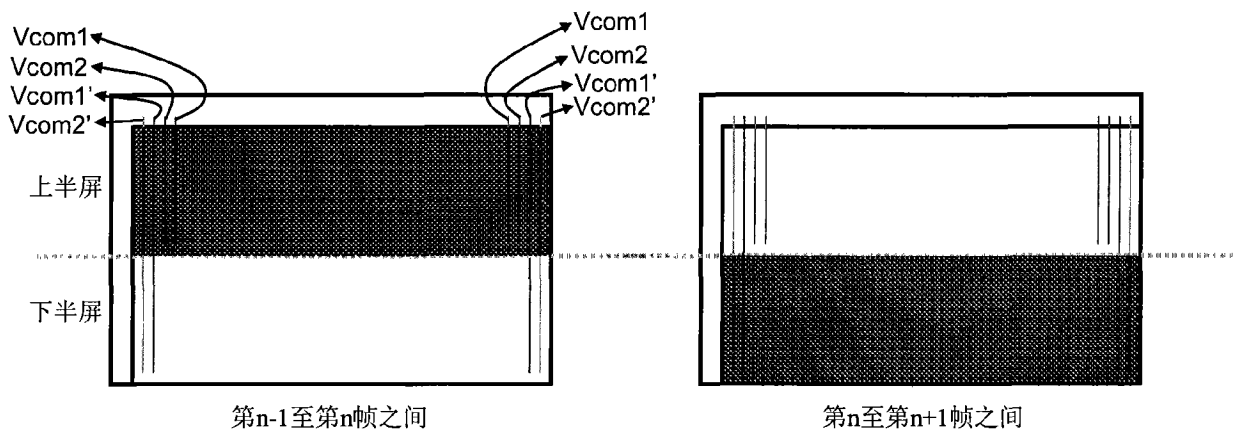


图 11

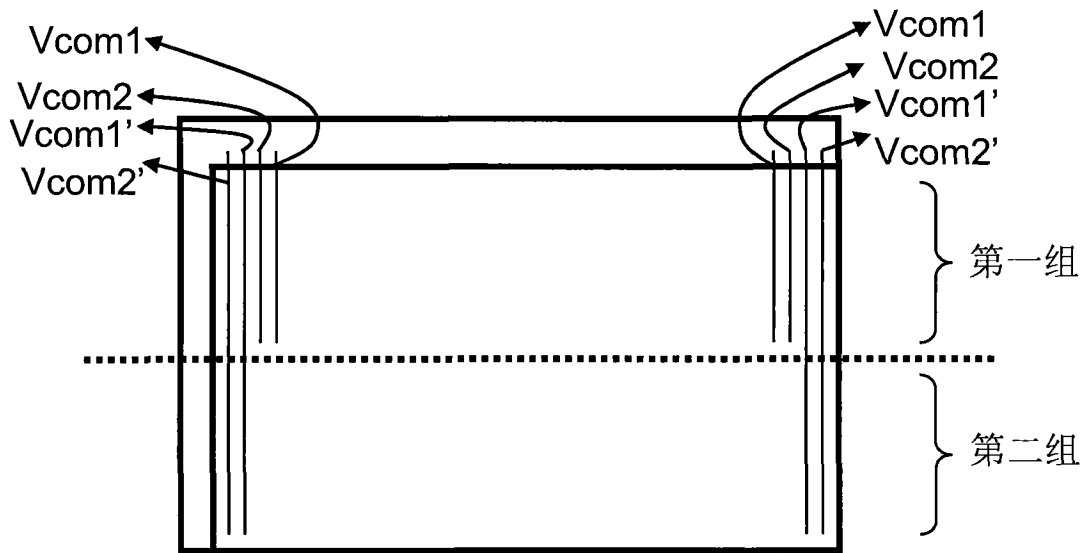


图 12

专利名称(译)	液晶面板、液晶显示装置及其驱动方法		
公开(公告)号	CN101308271B	公开(公告)日	2011-10-26
申请号	CN200810126039.2	申请日	2008-06-30
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	钟德镇 廖家德 邱郁雯		
发明人	钟德镇 廖家德 邱郁雯		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0426 G09G2300/0876		
代理人(译)	柳春雷		
审查员(译)	钟宇		
其他公开文献	CN101308271A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶面板、液晶显示装置及其驱动方法。液晶面板包括扫描线、数据线和多个像素单元，多个像素单元中的每个像素单元包括薄膜晶体管、像素电极、第一公共电极和第二公共电极，其中，多个像素单元中的第一像素单元的第一公共电极通过第一公共线电性连接，多个像素单元中的第二像素单元的第一公共电极通过第二公共线电性连接，多个像素单元的第二公共电极电性连接，其特征在于：数据线中的奇数据线连接第一像素单元，偶数据线连接第二像素单元，且所述第一像素单元和第二像素单元在同一帧内极性相反。

