



(12) 发明专利

(10) 授权公告号 CN 101191925 B

(45) 授权公告日 2010.08.11

(21) 申请号 200610163948.4

1-9, 12, 17 页、附图 3-7.

(22) 申请日 2006.11.29

CN 1253303 A, 2000.05.17, 说明书全文.

CN 1573898 A, 2005.02.02, 说明书全文.

(73) 专利权人 中华映管股份有限公司

地址 中国台湾

审查员 巴晓艳

(72) 发明人 杜长庆

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 陈亮

(51) Int. Cl.

G02F 1/133(2006.01)

G09G 3/36(2006.01)

(56) 对比文件

US 2005/0007526 A1, 2005.01.13, 说明书全文.

US 6989808 B2, 2006.01.24, 说明书全文.

CN 1527271 A, 2004.09.08, 说明书第

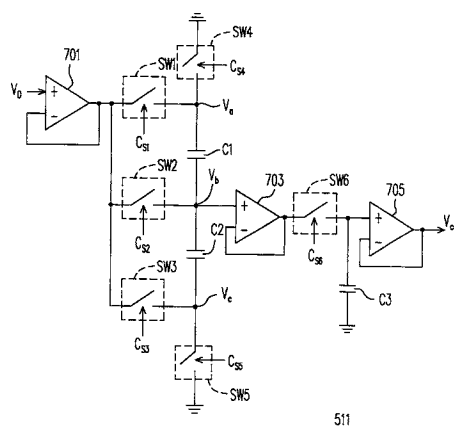
权利要求书 4 页 说明书 9 页 附图 9 页

(54) 发明名称

液晶显示器及其显示面板

(57) 摘要

本发明公开了一种液晶显示器及其显示面板, 其因通过在显示面板加入共用电压产生电路于非主动像素区域内至少一像素, 并依据此像素内薄膜晶体管的漏极端的显示电压, 于 2 个帧时间取其正极性与负极性电压的平均值, 以当作共用电压而提供至显示面板内主动像素区域内的每一像素。藉此, 可明显的改善因为扫描线上寄生电容与寄生电阻的 RC 延迟 (RC delay), 所造成扫描电压的馈通电压 (ΔV_D) 漂移, 进而提升显示面板内主动像素区域的每一像素的灰阶准确度, 以及降低显示面板的闪烁杂讯, 而达到大幅提升液晶显示器所呈现的帧品质。



1. 一种显示面板,包括:

一第一像素区域,具有多个第一像素,以阵列方式排列;

一第二像素区域,具有多个第二像素,配置在紧邻该第一像素区域的最上一列、最下一列、或是最上一列与最下一列像素之处;以及

一共用电压产生电路,电性连接至少一第二像素,而每一个第二像素对应该第一像素区域内其中的一行像素,

其中,该共用电压产生电路依据该第二像素的一显示电压,而提供一共用电压至所有的该些第一像素,且该共用电压为正极性的该显示电压与负极性的该显示电压的平均值。

2. 如权利要求1所述的显示面板,其特征在于,每一该些第一及第二像素包括:

一晶体管,其栅极端电性连接一扫描线,而第一漏/源极端则电性连接一数据线;以及

一存储电容,具有一第一端及一第二端,其中该第一端电性连接晶体管的第二漏/源极端,而该第二端则用以接收该共用电压。

3. 如权利要求2所述的显示面板,其特征在于,该晶体管包括一薄膜晶体管。

4. 如权利要求2所述的显示面板,其特征在于,每一该些第一及第二像素还包括:

一寄生电容,具有一第一端及一第二端,其中该第一端电性连接该扫描线,而该第二端则电性连接晶体管的第二漏/源极端;以及

一液晶电容,具有一第一端及一第二端,其中该第一端电性连接晶体管的第二漏/源极端,而该第二端则用以接收该共用电压。

5. 如权利要求4所述的显示面板,其特征在于,该共用电压产生电路包括:

一第一运算放大器,具有一正输入端、一负输入端及一输出端,其中该第一运算放大器的该正输入端电性连接晶体管的第二漏/源极端,而该第一运算放大器的该负输入端与该第一运算放大器的该输出端则彼此电性连接在一起;

一第一开关,具有一第一端、一第二端及一控制端,其中该第一开关的该第一端电性连接该第一运算放大器的该输出端;

一第二开关,具有一第一端、一第二端及一控制端,其中该第二开关的该第一端电性连接该第一开关的该第一端;

一第三开关,具有一第一端、一第二端及一控制端,其中该第三开关的该第一端电性连接该第二开关的该第一端;

一第四开关,具有一第一端、一第二端及一控制端,其中该第四开关的该第一端电性连接该第一开关的该第二端,而该第四开关的该第二端则接地;

一第一电容,具有一第一端及一第二端,其中该第一电容的该第一端电性连接该第一开关的该第二端,而该第一电容的该第二端则电性连接该第二开关的该第二端;

一第二电容,具有一第一端及一第二端,其中该第二电容的该第一端电性连接该第二开关的该第二端,而该第二电容的该第二端则电性连接该第三开关的该第二端;

一第五开关,具有一第一端、一第二端及一控制端,其中该第五开关的该第一端电性连接该第三开关的该第二端,而该第五开关的该第二端则接地;

一第二运算放大器,具有一正输入端、一负输入端及一输出端,其中该第二运算放大器的该正输入端电性连接该第二开关的该第二端,而该第二运算放大器的该负输入端与该第二运算放大器的该输出端则彼此电性连接在一起;

一第六开关,具有一第一端、一第二端及一控制端,其中该第六开关的该第一端电性连接该第二运算放大器的该输出端;

一第三电容,具有一第一端及一第二端,其中该第三电容的该第一端电性连接该第六开关的该第二端,而该第三电容的该第二端则接地;以及

一第三运算放大器,具有一正输入端、一负输入端及一输出端,其中该第三运算放大器的该正输入端电性连接该第三电容的该第一端,而该第三运算放大器的该负输入端与该第三运算放大器的该输出端则彼此电性连接在一起后,以输出该共用电压,

其中,该第一、第二、第三、第四、第五及第六开关的该控制端用以对应地依据一控制信号,以决定该第一、第二、第三、第四、第五及第六开关是否导通。

6. 如权利要求 5 所述的显示面板,其特征在于,当该控制信号于一第一阶段时,该第一、第二、第三、第四、第五及第六开关系不导通,且当该控制信号于一第二阶段时,该第一、第二及第五开关导通,而该第三、第四及第六开关系不导通。

7. 如权利要求 5 所述的显示面板,其特征在于,当该控制信号于一第三阶段时,该第一、第二、第三、第四、第五及第六开关系不导通,且当该控制信号于一第四阶段时,该第四开关导通,而该第一、第二、第三、第五及第六开关系不导通。

8. 如权利要求 5 所述的显示面板,其特征在于,当该控制信号于一第五阶段时,该第三及第四开关导通,而该第一、第二、第五及第六开关系不导通,且当该控制信号于一第六阶段时,该第四及第六开关导通,而该第一、第二、第三及第五开关系不导通。

9. 如权利要求 1 所述的显示面板,其特征在于,该显示面板包括一液晶显示面板。

10. 一种显示器,包括:

一显示面板,包括:

一第一像素区域,具有多个第一像素,以阵列方式排列;

一第二像素区域,具有多个第二像素,配置在紧邻该第一像素区域的最上一列、最下一列、或是最上一列与最下一列像素之处;以及

一共用电压产生电路,电性连接至少一第二像素,而每一个第二像素对应该第一像素区域内其中之一行像素;以及

一栅极驱动器,电性连接该显示面板,该栅极驱动器具有多条栅极配线,用以依据一基本时序,并依序对每一该些栅极配线输出一扫描电压至对应的该些第一像素及该些第二像素所对应的一扫描线,

其中,该共用电压产生电路依据该第二像素的一显示电压,而提供一共用电压至所有的该些第一像素,且该共用电压为正极性的该显示电压与负极性的该显示电压的平均值。

11. 如权利要求 10 所述的显示器,其特征在于,还包括一源极驱动器,电性连接该显示面板,该源极驱动器具有多条源极配线,用以依据一影像数据,并利用该些源极配线输出该显示电压至对应的该些第一像素所对应的一数据线。

12. 如权利要求 11 所述的显示器,其中每一该些第一及第二像素包括:

一晶体管,其栅极端电性连接该扫描线,而第一漏/源极端则对应的电性连接该数据线;以及

一存储电容,具有一第一端及一第二端,其中该第一端电性连接晶体管的第二漏/源极端,而该第二端则用以接收该共用电压。

13. 如权利要求 12 所述的显示器,其中该晶体管包括一薄膜晶体管。

14. 如权利要求 12 所述的显示器,其中每一该些第一及第二像素还包括:

一寄生电容,具有一第一端及一第二端,其中该第一端电性连接上述该扫描线,而该第二端则电性连接晶体管的第二漏/源极端;以及

一液晶电容,具有一第一端及一第二端,其中该第一端电性连接晶体管的第二漏/源极端,而该第二端则用以接收该共用电压。

15. 如权利要求 14 所述的显示器,其中该共用电压产生电路包括:

一第一运算放大器,具有一正输入端、一负输入端及一输出端,其中该第一运算放大器的该正输入端电性连接晶体管的第二漏/源极端,而该第一运算放大器的该负输入端与该第一运算放大器的该输出端则彼此电性连接在一起;

一第一开关,具有一第一端、一第二端及一控制端,其中该第一开关的该第一端电性连接该第一运算放大器的该输出端;

一第二开关,具有一第一端、一第二端及一控制端,其中该第二开关的该第一端电性连接该第一开关的该第一端;

一第三开关,具有一第一端、一第二端及一控制端,其中该第三开关的该第一端电性连接该第二开关的该第一端;

一第四开关,具有一第一端、一第二端及一控制端,其中该第四开关的该第一端电性连接该第一开关的该第二端,而该第四开关的该第二端则接地;

一第一电容,具有一第一端及一第二端,其中该第一电容的该第一端电性连接该第一开关的该第二端,而该第一电容的该第二端则电性连接该第二开关的该第二端;

一第二电容,具有一第一端及一第二端,其中该第二电容的该第一端电性连接该第二开关的该第二端,而该第二电容的该第二端则电性连接该第三开关的该第二端;

一第五开关,具有一第一端、一第二端及一控制端,其中该第五开关的该第一端电性连接该第三开关的该第二端,而该第五开关的该第二端则接地;

一第二运算放大器,具有一正输入端、一负输入端及一输出端,其中该第二运算放大器的该正输入端电性连接该第二开关的该第二端,而该第二运算放大器的该负输入端与该第二运算放大器的该输出端则彼此电性连接在一起;

一第六开关,具有一第一端、一第二端及一控制端,其中该第六开关的该第一端电性连接该第二运算放大器的该输出端;

一第三电容,具有一第一端及一第二端,其中该第三电容的该第一端电性连接该第六开关的该第二端,而该第三电容的该第二端则接地;以及

一第三运算放大器,具有一正输入端、一负输入端及一输出端,其中该第三运算放大器的该正输入端电性连接该第三电容的该第一端,而该第三运算放大器的该负输入端与该第三运算放大器的该输出端则彼此电性连接在一起后,以输出该共用电压,

其中,该第一、第二、第三、第四、第五及第六开关的该控制端用以对应地依据一控制信号,以决定该第一、第二、第三、第四、第五及第六开关是否导通。

16. 如权利要求 15 所述的显示器,其中当该控制信号于一第一阶段时,该第一、第二、第三、第四、第五及第六开关系不导通,且当该控制信号于一第二阶段时,该第一、第二及第五开关导通,而该第三、第四及第六开关系不导通。

17. 如权利要求 15 所述的显示器,其中当该控制信号于一第三阶段时,该第一、第二、第三、第四、第五及第六开关系不导通,且当该控制信号于一第四阶段时,该第四开关导通,而该第一、第二、第三、第五及第六开关系不导通。

18. 如权利要求 15 所述的显示面板,其中当该控制信号于一第五阶段时,该第三及第四开关导通,而该第一、第二、第五及第六开关系不导通,且当该控制信号于一第六阶段时,该第四及第六开关导通,而该第一、第二、第三及第五开关系不导通。

19. 如权利要求 10 所述的显示器,其中该显示面板包括一液晶显示面板。

20. 如权利要求 10 所述的显示器,其中该显示器包括一液晶显示器。

液晶显示器及其显示面板

技术领域

[0001] 本发明关于一种显示器及其显示面板,且特别有关于一种可自动调整共用电压的液晶显示器及其显示面板。

背景技术

[0002] 液晶显示器 (Liquid Crystal Display, LCD) 近来已被广泛地使用,并取代阴极射线管显示器 (Cathode Ray Tube, CRT) 成为下一代显示器的主流之一。随着半导体技术的改良,使得液晶显示器具有低的消耗电功率、薄型量轻、解析度高、色彩饱和度高、寿命长... 等优点,因而广泛地应用在电脑的液晶荧幕及液晶电视 (LCDTV) 等与生活息息相关的电子产品上。

[0003] 图 1 为现有的薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 的像素架构 100 图。请参照图 1,像素架构 100 包括薄膜晶体管 101、液晶电容 C_{LC} 、存储电容 C_s 、共用电极 CE,以及寄生电容 C_{gd} 。其中,由图 1 所揭示的像素架构 100 的电性连接关系可明显看出,存储电容 C_s 为在共用电极 CE 上 (C_s on common) 的设计。图 2 为现有的薄膜晶体管液晶显示器的另一像素架构 200 图。请合并参照图 1 及图 2,像素架构 200 与像素架构 100 的最大不同处在于像素架构 200 的存储电容 C_s 为在栅极上 (C_s on gate) 的设计。

[0004] 而无论采用上述哪一种像素架构,当栅极驱动器 (gate driver,未绘示) 所输出的扫描电压 (VG) 由高电位电压 (VGH) 迅速地降低至低电位电压 (VGL),而致使薄膜晶体管 101 关闭时,因寄生电容 C_{gd} 所造成的耦合效应 (coupling effect),所以薄膜晶体管 101 的漏极端 d 电压同时间也会下降一电压电位 (ΔV_D),其值可表示为:

$$[0005] \quad \Delta V_D = \frac{C_{gd}}{C_{gd} + C_s + C_{LC}} \Delta V_{GP} \text{ 公式 1}$$

[0006] 其中,公式 1 的 ΔV_{GP} 为高电位扫描电压 VGH 减去低电位扫描电压 VGL,亦即 $\Delta V_{GP} = VGH - VGL$,而此变动的电压电位 (ΔV_D) 称为扫描电压的馈通电压 (feed-through voltage),且并非为一个常数。

[0007] 然而,值得一提的是,因液晶分子的物理特性,故造成液晶电容 C_{LC} 会随着不同灰阶 (gray level) 跨压而有不同的电容值,所以可知的是,每一个不同灰阶的像素 (pixel),其扫描电压的馈通电压 (ΔV_D) 值也会不同。此外,众所皆知的,显示面板 (未绘示) 内的每一条扫描线上必定会有寄生电容 (parasitic capacitance) 及寄生电阻 (parasitic resistance) 的存在,故上述 ΔV_{GP} 会受扫描线上寄生电容与寄生电阻的影响,也即所谓的 RC 延迟 (RC delay),而导致 ΔV_{GP} 在显示面板离扫描电压输入端越远的位置,其值会越小。另外,显示面板内每一条扫描线的 RC 延迟又不尽相同,故显示面板内同一行 (column) 像素的馈通电压 (ΔV_D) 值也有可能不同。

[0008] 由上述所提及造成扫描电压的馈通电压 (ΔV_D) 值不同的两因素,其无论哪一因素

皆会提升显示面板的闪烁杂讯 (flicker noise), 而导致 TFT-LCD 所呈现的帧闪烁。故为了要减轻上述扫描电压的馈通电压 (ΔV_D) 问题, 现在也对应的发展出解决的相关技术, 其包括:

[0009] 1. 根据扫描电压的馈通电压 (ΔV_D) 值, 而调整提供至显示面板内像素的共用电压 (common voltage, V_{com})。

[0010] 2. 运用 3 阶或 4 阶的扫描电压的驱动技术。

[0011] 在上述所发展的解决相关技术 1 适用于上述所揭示的像素架构 100 (Cs on common) 与像素架构 200 (Cs on gate), 其通过一设计者利用光学的量测, 观察并调整提供至显示面板内像素的共用电压 V_{com} , 以使显示面板中央部份的闪烁杂讯降至最低。接着, 将上述所调整的共用电压固定后, 再微调源极驱动器 (sourcedriver) 外部的伽玛 (gamma) 修正电压, 以补偿因为不同灰阶跨压造成液晶电容 C_u 值改变, 所造成扫描电压的馈通电压 (ΔV_D) 的漂移。而值得一提的是, 在上述所发展的解决相关技术 1 虽已使显示面板中央部份的闪烁杂讯降至最低, 但显示面板两侧的闪烁杂讯并未完全得到解决。

[0012] 图 3 为上述解决相关技术 1 的模拟波形图。请合并参照图 1 ~ 图 3, 由图 3 所揭示的模拟波形图中可看出, 其包括扫描电压 V_G 的波形、数据电压 V_s 的波形 (也即薄膜晶体管 101 的源极端 s 接收源极驱动器所提供的电压)、显示电压 V_D 的波形 (也即薄膜晶体管 101 的漏极端 d 的显示电压), 以及共用电压 V_{com} 的波形。其中, 由显示电压 V_D 的波形中可明显看出上述的寄生电容 C_{gd} 所造成的耦合效应, 而产生的扫描电压的馈通电压 ΔV_D 。

[0013] 依上所述, 应用上述解决相关技术 1 来减轻扫描电压的馈通电压 ΔV_D 的问题时, 其必须进行繁复的手动量测, 以找到最佳提供至显示面板内像素的共用电压 V_{com} 。此外, 每一片显示面板的特性不尽相同, 故上述所决定的最佳共用电压 V_{com} 及微调源极驱动器外部的伽玛修正电压, 并不一定完全符合每一片显示面板。

[0014] 除此之外, 在上述所发展的解决相关技术 2 仅适用于上述所揭露的像素架构 200 (Cs on gate)。图 4 为上述解决相关技术 2, 其采用 3 阶扫描电压的驱动技术的模拟波形图。请合并参照图 2 及图 4, 解决相关技术 2 是通过在前一条扫描线 G_{m-1} 的扫描电压 V_G 为低电位, 也即为低电位扫描电压 $V_{GL1}(m-1)$, 且在扫描线 G_m 的扫描电压 V_G 发生馈通电压 ΔV_D 后, 在扫描线 G_{m-1} 的低电位扫描电压 $V_{GL1}(m-1)$ 提升一电压电位 V_p 至低电位扫描电压 $V_{GL2}(m-1)$, 并透过存储电容 C_s 的电压耦合效应后, 再加上扫描线 G_m 本身在低电位扫描电压 $V_{GL1}(m)$ 所提升的一电压电位 V_p 至低电位扫描电压 $V_{GL2}(m)$, 且透过寄生电容 C_{gd} 的电压耦合效应来同时进行补偿扫描线 G_m 的扫描电压 V_G 的馈通电压 ΔV_D 的漂移问题。

[0015] 关于上述解决相关技术 2 所提及的提升一电压电位 V_p , 理论上可依据下列两公式来计算产生, 其包括:

$$[0016] \quad \Delta V_D = \frac{C_{gd}}{C_{gd} + C_s + C_{LC}} \Delta V_{GP} \text{ 公式 2}$$

$$[0017] \quad \Delta V_D = \frac{C_s}{C_{gd} + C_s + C_{LC}} \Delta V_{GP} \text{ 公式 3}$$

[0018] 然而, 设计者欲想设计上述解决相关技术 2 的多阶 (例如为 3 阶或 4 阶) 扫描电压的驱动技术时, 可想而知的是, 栅极驱动器 (gate driver) 的设计复杂度将会增加, 且当

栅极驱动器不能准确的产生上述所提升的该电压电位 V_p 时,扫描线 Gm 的扫描电压 VG 的馈通电压 ΔV_D 将会被不足补偿或过度补偿,如此更增加了设计与量测上的不确定性。此外,上述解决相关技术 2 也须配合微调源极驱动器外部的伽玛修正电压,以补偿因为不同灰阶跨压造成液晶电容 C_{LC} 值改变,所造成扫描电压的馈通电压 (ΔV_D) 的漂移。

发明内容

[0019] 有鉴于此,本发明的目的就是提供一种显示面板,其通过加入一共用电压产生电路于非主动像素区域的至少一像素,并于 N 个帧 (N 为正整数,例如为 2 个 frame) 时间自动调整此像素所对应显示面板内的一行像素的共用电压,藉此可省去先前技术所述的必须进行繁复的手动校正共用电压手续,如此更能确保所提供的共用电压为当下显示面板内该行像素所需的最佳电压电位。

[0020] 本发明的另一目的就是提供一种显示器,依据上述本发明显示面板的精神,可以运用在本发明的显示器中,藉此不但可达到上述本发明显示面板的优点外,且更可以降低显示面板的闪烁杂讯 (flicker noise),以达到提升显示器所呈现的帧品质。

[0021] 基于上述及其他目的,本发明所提供的显示面板,包括第一像素区域、第二像素区域,以及共用电压产生电路。其中,第一像素区域具有多个第一像素,以阵列方式排列。第二像素区域具有多个第二像素,配置在紧邻第一像素区域的最上一列、最下一列、或是最上一列与最下一列像素之处。共用电压产生电路电性连接至少一第二像素,而每一个第二像素对应第一像素区域内其中的一行像素。其中,共用电压产生电路依据此第二像素的显示电压,而提供共用电压至第一像素区域内的所有第一像素,且此共用电压为正极性的显示电压与负极性的显示电压的平均值。

[0022] 从另一观点来看,本发明提供一种显示器,包括显示面板与栅极驱动器,而此显示面板包括第一像素区域、第二像素区域,以及共用电压产生电路。其中,第一像素区域具有多个第一像素,以阵列方式排列。第二像素区域具有多个第二像素,配置在紧邻第一像素区域的最上一列、最下一列、或是最上一列与最下一列之处。共用电压产生电路电性连接至少一第二像素,而每一个第二像素对应第一像素区域内其中的一行像素。

[0023] 栅极驱动器电性连接显示面板,此栅极驱动器具有多条栅极配线,用以依据一基本时序,并依序对每一条栅极配线输出扫描电压至对应的第一像素及第二像素所对应的扫描线。其中,共用电压产生电路依据此第二像素的显示电压,而提供共用电压至第一像素区域内的所有第一像素,且此共用电压为正极性的显示电压与负极性的显示电压的平均值。

[0024] 依照本发明较佳实施例所述的显示器,还包括源极驱动器,其电性连接显示面板,此源极驱动器具有多条源极配线,用以依据一影像数据,并利用每一条源极配线输出显示电压至对应的第一像素所对应的数据线。

[0025] 在上述本发明的一实施例中,每一第一及第二像素包括晶体管与存储电容。其中,晶体管的栅极端电性连接一条扫描线,而其第一漏 / 源极端则电性连接一条数据线。存储电容具有第一端及第二端,其中第一端电性连接晶体管的第二漏 / 源极端,而其第二端则用以接收共用电压。

[0026] 在上述本发明的一实施例中,每一第一及第二像素还包括寄生电容与液晶电容。其中,寄生电容具有第一端及第二端,其中第一端电性连接上述的扫描线,而其第二端则电

性连接晶体管的第二漏 / 源极端。液晶电容具有第一端及第二端,其中第一端电性连接晶体管的第二漏 / 源极端,而其第二端则用以接收共用电压。

[0027] 在上述本发明的一实施例中,晶体管包括薄膜晶体管。

[0028] 在上述本发明的一实施例中,共用电压产生电路包括第一运算放大器、第一开关、第二开关、第三开关、第四开关、第一电容、第二电容、第五开关、第二运算放大器、第六开关、第三电容,以及第三运算放大器。其中,第一运算放大器具有正输入端、负输入端及输出端,其中正输入端电性连接晶体管的第二漏 / 源极端,而其负输入端与输出端则彼此电性连接在一起。第一开关具有第一端、第二端及控制端,其中第一端电性连接第一运算放大器的输出端。

[0029] 第二开关具有第一端、第二端及控制端,其中第一端电性连接第一开关的第一端。第三开关具有第一端、第二端及控制端,其中第一端电性连接第二开关的第一端。第四开关具有第一端、第二端及控制端,其中第一端电性连接第一开关的第二端,而其第二端则接地。

[0030] 第一电容具有第一端及第二端,其中第一端电性连接第一开关的第二端,而第二端则电性连接第二开关的第二端。第二电容具有第一端及第二端,其中第一端电性连接第二开关的第二端,而其第二端则电性连接第三开关的第二端。第五开关具有第一端、第二端及控制端,其中第一端电性连接第三开关的第二端,而其第二端则接地。

[0031] 第二运算放大器具有正输入端、负输入端及输出端,其中正输入端电性连接第二开关的第二端,而其负输入端与输出端则彼此电性连接在一起。第六开关具有第一端、第二端及控制端,其中第一端电性连接第二运算放大器的输出端。第三电容具有第一端及第二端,其中第一端电性连接第六开关的第二端,而其第二端则接地。第三运算放大器具有正输入端、负输入端及输出端,其中正输入端电性连接第三电容的第一端,而其负输入端与输出端则彼此电性连接在一起后,以输出共用电压至第一像素区域内的每一第一像素。

[0032] 在上述本发明的一实施例中,第一、第二、第三、第四、第五及第六开关的控制端用以对应的依据一控制信号,以决定其是否导通。

[0033] 在上述本发明的一实施例中,当上述控制信号于第一阶段时,第一、第二、第三、第四、第五及第六开关不导通,且当上述控制信号于第二阶段时,第一、第二及第五开关导通,而第三、第四及第六开关不导通。

[0034] 在上述本发明的一实施例中,当上述控制信号于第三阶段时,第一、第二、第三、第四、第五及第六开关不导通,且当上述控制信号于第四阶段时,第四开关导通,而第一、第二、第三、第五及第六开关不导通。

[0035] 在上述本发明的一实施例中,当上述控制信号于第五阶段时,第三及第四开关导通,而第一、第二、第五及第六开关不导通,且当上述控制信号于第六阶段时,第四及第六开关导通,而第一、第二、第三及第五开关不导通。

[0036] 在上述本发明的一实施例中,上述的该行像素为第一像素区域的置中位置。

[0037] 在上述本发明的一实施例中,上述的显示面板包括一液晶显示面板,而上述的显示器包括一液晶显示器。

[0038] 本发明所提供的显示器及其显示面板,因为通过在显示面板加入一共用电压产生电路于第二像素区域(也即非主动像素区域)内至少一第二像素,并依据此第二像素内薄

膜晶体管的漏极端的显示电压,于N个帧时间(N为正整数,例如为2个frame)取其正极性与负极性电压的平均值,以当作共用电压再提供至显示面板内第一像素区域(也即主动像素区域)的每一第一像素。藉此,不但可省去现有技术所述的必须进行繁复的手动校正共用电压手续,如此更能确保所提供的共用电压为当下显示面板内该行像素所需的最佳电压电位。

[0039] 除此之外,假使将上述共用电压产生电路加入于第二像素区域(也即非主动像素区域)内两个第二像素以上时,即可明显的改善因为扫描线上寄生电容与寄生电阻的RC延迟(RC delay),所造成扫描电压的馈通电压(ΔV_D)漂移。藉此,可大幅提升显示面板内第一像素区域的各第一像素的灰阶(gray level)准确度,以及降低显示面板的闪烁杂讯(flicker noise),以达到提升显示器所呈现的帧品质。

[0040] 为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举本发明的较佳实施例,并配合附图作详细说明如下。

[0041] 附图说明

[0042] 图1为现有的薄膜晶体管液晶显示器的像素架构图。

[0043] 图2为现有的薄膜晶体管液晶显示器的另一像素架构图。

[0044] 图3为上述解决相关技术1的模拟波形图。

[0045] 图4为上述解决相关技术2,其采用3阶扫描电压的驱动技术的模拟波形图。

[0046] 图5为依照本发明较佳实施例所述的显示器的方块图。

[0047] 图6为本实施例第二像素的像素架构图。

[0048] 图7为本实施例共用电压产生电路的电路图。

[0049] 图8为本实施例共用电压产生电路内控制第一~第六开关所对应的控制信号的时序图。

[0050] 图9~图13为依照本发明另一实施例的显示器的方块图。

[0051] 具体实施方式

[0052] 图5为依照本发明较佳实施例所述的显示器500的方块图。请参照图5,显示器500(例如可以为液晶显示器)包括显示面板(例如可以为液晶显示面板)501、栅极驱动器(gate driver)503,以及源极驱动器(source driver)505。于本实施例中,显示面板501包括第一像素区域507、第二像素区域509,以及共用电压产生电路511。其中,第一像素区域507具有多个第一像素(未绘示),以*i***j*阵列方式排列(*i*、*j*为正整数)来用以显示影像。第二像素区域509具有多个第二像素509a,其配置在第一像素区域507的外围。

[0053] 共用电压产生电路511会电性连接第二像素区域509内的一个第二像素509a,且此第二像素509a必须对应第一像素区域507内其中某一行(column)像素。另外,共用电压产生电路511会依据所电性连接的第二像素509a内薄膜晶体管(未绘示)的漏极端显示电压(V_D),而提供共用电压(common voltage) V_{com} 至第一像素区域507内的每一个第一像素。其中,共用电压 V_{com} 为正极性的显示电压(也即显示电压为高电位 V_{DH} 时)与负极性的显示电压(也即显示电压为低电位 V_{DL} 时)的平均值,也即可表示为:

[0054] $V_{com} = (V_{DH} + V_{DL}) / 2$ 公式4

[0055] 于本实施例中,并不限定共用电压产生电路511电性连接第二像素区域509内的几个第二像素509a,但仅限制于所电性连接的第二像素509a,其必须为配置在邻近第一像

素区域 507 最上一列 (row) 像素或最下一列像素的第二像素 509a。举例来说,假使本实施例的显示面板解析度为 $i*j$ (例如为 $1024*768$, 且 i,j 为正整数), 则共用电压产生电路 511 电性连接第二像素区域 509 内的第二像素 509a, 将会发生在第 0 列像素 (也即邻近第一像素区域 507 的第 1 列像素的第二像素区域 509) 或第 769 列像素 (也即邻近第一像素区域 507 的第 768 列像素的第二像素区域 509) 上, 且以本实施例而言, 第二像素 509a 所对应第一像素区域 507 内的那一行像素, 其位置大约为第一像素区域 507 的置中区域位置即可。

[0056] 而值得一提的是, 以该发明所属领域具有通常知识者当可知悉上述第一像素区域 507 为主动像素区域 (active pixels region), 而上述第二像素区域 509 为虚拟像素区域 (dummy pixels region), 故而可知的是, 本实施例的栅极驱动器 503 与源极驱动器 505 除了各别提供扫描电压 (scan voltage) 与数据电压 (data voltage) 给第一像素区域 507 的每一第一像素外, 还需提供至第二像素 509a 所对应的那一列像素, 但由于栅极驱动器 503 与源极驱动器 505 并非为本发明的重点, 且栅极驱动器 503 与源极驱动器 505 的驱动原理属该发明领域具有通常知识者可知悉, 故为了不混淆本发明的精神, 在此并不再加以赘述之。

[0057] 图 6 为本实施例第二像素 509a 的像素架构图。图 7 为本实施例共用电压产生电路 511 的电路图。请合并参照图 5 ~ 7, 图 6 所绘示的第二像素 509a 的像素架构为采用存储电容 C_s 在共用电极 (C_s on common) 上的像素架构, 而提供给第一像素与第二像素 509a 的共用电压 (common voltage) V_{com} 由图 7 所揭示的共用电压产生电路 511 所提供。

[0058] 请先参照图 7, 本实施例的共用电压产生电路 511 包括运算放大器 701、703 及 705、开关 $SW1 \sim SW6$, 以及电容 $C1 \sim C3$ 。其中, 由图 7 所揭示的运算放大器 701 及 703 的电性连接关系可看出, 其系当作单增益放大器 (unit gain buffer), 用以增加所接收的电压的驱动力, 来分别驱动电容 $C1$ 、 $C2$, 以及由运算放大器 705 与电容 $C3$ 所组成的峰值侦测器 (peak detector)。此外, 开关 $SW1 \sim SW6$ 皆具有一控制端, 用以依据对应的一控制信号 $C_{s1} \sim C_{s6}$, 而决定是否导通。

[0059] 图 8 为本实施例共用电压产生电路 511 内控制开关 $SW1 \sim SW6$ 所对应的控制信号 $C_{s1} \sim C_{s6}$ 的时序图。请合并参照图 5 ~ 8, 由图 8 所揭示的时序图可看出, 当控制信号 $C_{s1} \sim C_{s6}$ 出现高电位 (high pulse) 时, 开关 $SW1 \sim SW6$ 会对应的导通, 故在时序 $t1$ (也即共用电压产生电路 511 处于初始状态) 时, 开关 $SW1 \sim SW6$ 皆不导通, 所以节点电压 $V_a = V_b = V_c = 0V$; 而在时序 $t2$, 且此时第二像素 509a 内薄膜晶体管的漏极端显示电压 V_d 为高电位 (也即为 V_{DH}) 时, 开关 $SW1$ 、 2 及 5 会导通, 而开关 $SW3$ 、 4 及 6 不导通, 并且开关 $SW1$ 及 $SW2$ 会透过运算放大器 701 而接收正的高电位显示电压 V_{DH} , 所以节点电压 $V_a = V_b = V_{DH}$, 而节点电压 $V_c = 0V$ 。

[0060] 接着, 在时序 $t3$ 时, 开关 $SW1 \sim SW6$ 皆不导通, 故可知的是节点电压 V_a 、 V_b 及 V_c 处于浮接 (floating) 状态, 所以节点电压 V_a 、 V_b 及 V_c 相对间的电压差维持恒定, 故可推论得知节点电压 $V_a = V_b$, 而节点电压 $V_a - V_c = V_{DH}$ 。之后, 在时序 $t4$ 时, 开关 $SW4$ 会导通, 而其余开关 $SW1 \sim SW3$ 、 $SW5$ 及 $SW6$ 不导通, 故可推知的是, 此时节点电压 V_b 与 V_c 处于浮接状态, 所以依据电荷守恒理论可得知节点电压 $V_a = V_b = 0V$, 而节点电压 $V_c = -V_{DH}$ 。

[0061] 此外, 在时序 $t5$, 且此时第二像素 509a 内薄膜晶体管的漏极端显示电压 V_d 为低电位 (也即为 V_{DL}) 时, 开关 $SW3$ 及开关 $SW4$ 会导通, 而开关 $SW1$ 、 2 、 5 及 6 不导通, 故此时节点电压 $V_a = 0V$, 且由于电容 $C1$ 、 $C2$ 分压原理, 节点电压 V_b 将由 $0V$ 拉升至 $[(V_{DH} + V_{DL})/2]V$ 。另

外,节点电压 V_c 会由负的高电位显示电压 $-V_{DH}$ 拉升至正的低电位显示电压 V_{DL} 。最后,在时序 t_6 时,开关 SW_4 及 6 会导通,而开关 SW_1 、2、3 及 5 不导通,故此时节点电压 V_b 会透过运算放大器 703,而提供至由运算放大器 705 与电容 C_3 所组成的峰值侦测器,以输出更为稳定的电压至第一像素区域 507 内的每一第一像素,来当作第一像素区域 507 内每一第一像素所需的共用电压 V_{com} 。

[0062] 而值得注意的是,于本实施例的运算放大器 701 与 703 的输入电容(input capacitance)其值越小越好,而电容 C_1 与 C_2 的电容值必须相同且其电容值越大,如此将可降低上述所计算的共用电压 V_{com} 的误差值。

[0063] 而值得一提的是,从图 8 所揭示的时序图可看出,本实施例的共用电压产生电路 511 需花费 2 个帧(frame) 时间以计算其所输出的共用电压 V_{com} ,也即从扫描信号(scan signal)GS 的时序可看出。其中,于第一帧时间,共用电压产生电路 511 记忆高电位的显示电压 V_{DH} ,而于第二帧时间,共用电压产生电路 511 记忆低电位的显示电压 V_{DL} ,如此在透过控制信号 CS 控制开关 $SW_1 \sim SW_6$ 的开关顺序,即可取得节点电压 V_b 并提供至第一像素区域 507 内的每一第一像素,以当作第一像素区域 507 内每一第一像素所需的共用电压 V_{com} 。

[0064] 由上述实施例所述的共用电压产生电路 511 的工作原理可看出,其是将在不同时间内所输入的二电压信号取其平均电压值,也即取其高电位显示电压 V_{DH} 与低电位显示电压 V_{DL} 的电压平均值,故依据本发明的共用电压产生电路 511 的精神,本实施例的共用电压产生电路 511 可运用在不同时间,而取其电压平均值的相关技术领域。

[0065] 于本实施例中,因为采用第二像素(也即虚拟像素区域)509a 来当作共用电压产生电路 511 计算所对应的显示面板 501 内该行像素所需的共用电压 V_{com} ,故依上述可知,第二像素 509a 所对应的那一列像素,栅极驱动器 503 需提供扫描电压以使能该列像素,而其源极驱动器 505 所提供的电压,必需依据显示面板 501 的驱动方式,也即为正常显白(normally white)或正常显黑(normally black),而对应地提供正确的数据电压(也即白信号或黑信号)给该列像素,且所提供的电压其灰阶(gray level)必须相同。

[0066] 举例来说,当显示面板 501 的驱动方式为正常显白时,源极驱动器 505 提供至第二像素 509a 所对应的该列像素的数据电压,就必需提供白信号;反之,当显示面板 501 的驱动方式为正常显黑时,源极驱动器 505 提供至第二像素 509a 所对应的该列像素的数据电压,就必需提供黑信号。藉此,运用本发明的共用电压产生电路 511 后,必须注意的是,将显示面板 501 原本不使用第二像素 509a 所对应的该列像素,也必需考虑其栅极驱动器 503 所输出的扫描电压状态与源极驱动器 505 所输出的数据电压状态。

[0067] 而更值得一提的是,本实施例的共用电压产生电路 511 因为采用第二像素 509a 来计算所对应的显示面板 501 内该行像素所需的共用电压 V_{com} ,故可确定的是,该行像素可完全抑制现有技术所提及之,显示面板 501 内扫描线因寄生电容与寄生电阻的 RC 延迟(RC delay)影响,所造成扫描电压的馈通电压(ΔV_D)问题,进而导致显示面板 501 的闪烁杂讯(flicker noise)的产生。

[0068] 除此之外,于本实施例中,第二像素 509a 所对应显示面板 501 内该行像素邻近的第一像素,其受扫描线 RC 延迟影响也会降低,但远离显示面板 501 中央位置的第一像素,其受扫描线 RC 延迟影响可能还是会提升,所以在显示面板 501 的二侧第一像素也有可能产生闪烁杂讯。

[0069] 而于上述本实施例所强调的是,虽其显示面板 501 的二侧第一像素可能还是会有闪烁杂讯,但是于显示面板 501 邻近或第二像素 509a 本身所对应的第一像素的闪烁杂讯是可以被抑制的,且值得一提的是,本实施例提供至显示面板 501 内每一第一像素的共用电压 V_{com} ,其是由共用电压产生电路 511 动态自动产生,并不需由外部提供,且以使得液晶电容 C_{LC} 与存储电容 C_s 上之跨压维持稳定,进而有效提升第一像素区域 507 内的每一第一像素的灰阶 (gray level) 准确度,故可以解决现有的必须进行繁复的手动校正共用电压 V_{com} 手续,才能得到显示面板 501 内第一像素所需的最佳共用电压 V_{com} 。

[0070] 上述实施例已述明共用电压产生电路 511 电性连接第二像素区域 509 内一第二像素 509a 为例,于此实施例举例后,以下将再举例共用电压产生电路 511 电性连接第二像素区域 509 内多个第二像素 509a 的实施例,来更进一步的解决显示面板 501 的二侧第一像素的闪烁杂讯。

[0071] 图 9 为依照本发明另一实施例的显示器 900 的方块图。请合并参照图 5 及图 9,图 9 所揭示的显示器 900 与显示器 500 的最大差异在于,共用电压产生电路 511 是电性连接第二像素区域 509 内 4 个第二像素 509a,其中 2 个第二像素 509a 相邻第一像素区域 507 的最上一列像素而配置,而其余 2 个第二像素 509a 则相邻第一像素区域 507 的最下一列像素而配置,其配置位置如同图 9 所绘示的位置,但在此并不限制其位置,设计者可以依据当下显示面板 501 的状态,而适时的改变其配置位置。

[0072] 于本实施例中,显示面板 501 与共用电压产生电路 511 的工作原理,其与上一实施例的显示器 500 类似,故在此并不再加以赘述。而值得一提的是,本实施例的共用电压产生电路 511 因电性连接第二像素区域 509 内 4 个第二像素 509a,故可预期的是,显示面板 501 的闪烁杂讯将会被大大的抑制,所以显示器 900 所呈现的显示品质也会提升。

[0073] 图 10 为依照本发明另一实施例的显示器 1000 的方块图。请参照图 10,图 10 所揭示的显示器 1000,其共用电压产生电路 511 电性连接第二像素区域 509 内 10 个第二像素 509a,其中 5 个第二像素 509a 相邻第一像素区域 507 的最上一列像素而配置,而其余 5 个第二像素 509a 则相邻第一像素区域 507 的最下一列像素而配置,其配置位置如同图 10 所绘示的位置,但在此并不限制其位置,设计者可以依据当下显示面板 501 的状态,而适时的改变其配置位置。

[0074] 于本实施例中,显示面板 501 与共用电压产生电路 511 的工作原理,其与上一实施例的显示器 500 类似,故在此并不再加以赘述。本实施例的共用电压产生电路 511 因电性连接第二像素区域 509 内 10 个第二像素 509a,故可预期的是,显示面板 501 的闪烁杂讯将更会被大大的抑制,所以显示器 1000 所呈现的显示品质也会比显示器 500 与显示器 900 所呈现的显示品质更好。

[0075] 故依据上述实施例可知,当共用电压产生电路 511 电性连接至第二像素区域 509 内第二像素 509a 的个数越多时,其所应用的显示面板将可抑制其扫描线 RC 延迟所造成的扫描线上扫描电压的馈通电压 (ΔV_D) 漂移的问题,进而抑制显示面板 501 的闪烁杂讯,以提升显示器的显示品质。

[0076] 除此之外,依据上述本发明实施例的精神,以下再举其三个实施例,其是将再彩色滤光片 (color filter) 上开光掩膜,以将显示面板分成多个区域,藉此再运用上述本发明的共用电压产生电路 511 提供每一区域内像素所需的共用电压,同样的也可达到上述实施

例所述的功效。

[0077] 图 11 为本发明另一实施例的显示器 1100 的方块图。请参照图 11, 显示器 1100 以光掩膜在彩色滤光片 (未绘示) 划分 3 个区域, 也即将显示面板 501 划分成 3 个区域, 其为区域 A、区域 B 及区域 C。其中, 区域 A、B 及 C 各具有对应的第二像素 509a 与其共用电压产生电路 511 所提供的公用电压 V_{com} , 故依据上述实施例所述, 其显示器 1100 的工作原理与显示器 500 类似, 故在此并不再加以赘述, 所以区域 A、B 及 C 的扫描线 RC 延迟所造成的扫描线上扫描电压的馈通电压 (ΔV_D) 漂移的问题将可解决, 进而更可抑制显示面板 501 的闪烁杂讯, 以提升显示器 1100 的显示品质。

[0078] 图 12、图 13 为本发明另一实施例的显示器 1200、1300 的方块图。请合并参照图 11 ~ 13, 显示器 1200 与显示器 1300 系与显示器 1100 类似, 唯不同处在于显示器 1200 为在彩色滤光片上划分 5 个区域, 而显示器 1300 为在彩色滤光片上划分 10 个区域, 故显示器 1200 的显示面板会被划分为 5 个区域 A ~ E, 而显示器 1300 的显示面板会被划分为 10 个区域 A ~ J。故可知的是, 当在彩色滤光片上划分越多区域时, 其显示面板也会被划分成越多区域, 接着再加上本发明的共用电压产生电路 511 提供其每一区域所需的共用电压 V_{com} , 如此即可完全解决显示面板的闪烁杂讯, 以提升显示器的显示品质。

[0079] 综上所述, 本发明是提供一种显示器及其显示面板。依据本发明的精神, 会有下列几点优点来叙述:

[0080] 1. 通过共用电压产生电路依据第二像素区域内的至少一第二像素, 并于 N 个帧 (N 为正整数, 例如为 2 个 frame) 时间自动调整此像素所对应显示面板内的一行像素的共用电压, 藉此可省去现有技术所述的必须进行繁复的手动校正共用电压手续, 如此更能确保所提供的共用电压为当下显示面板内该行像素所需的最佳电压电位。

[0081] 2. 可通过光掩膜在彩色滤光片划分多个区域, 以将显示面板划分成多个区域, 藉此来改善扫描线 RC 延迟所造成的扫描线上扫描电压的馈通电压 (ΔV_D) 漂移的问题, 进而更可抑制显示面板的闪烁杂讯, 以提升显示器的显示品质。

[0082] 虽然本发明已以较佳实施例揭示如上, 然其并非用以限定本发明, 任何熟习此技艺者, 在不脱离本发明的精神和范围内, 当可作些许更动与润饰, 因此本发明的保护范围当以权利要求所界定的为准。

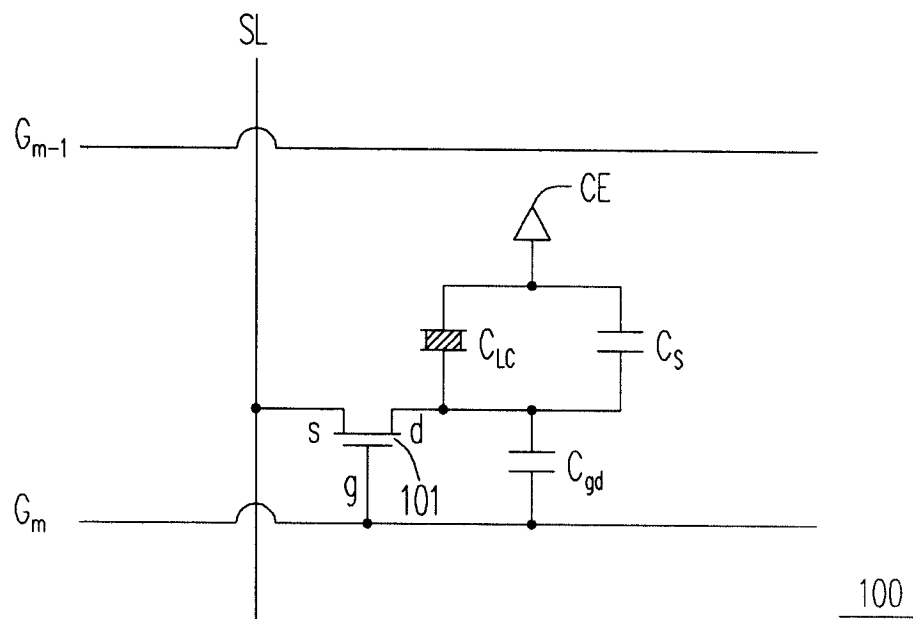


图 1

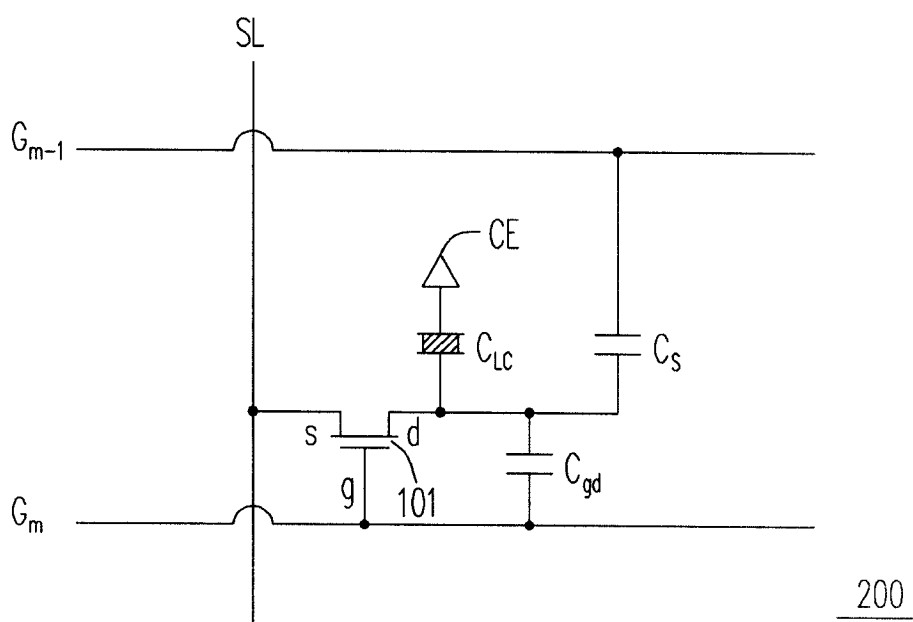


图 2

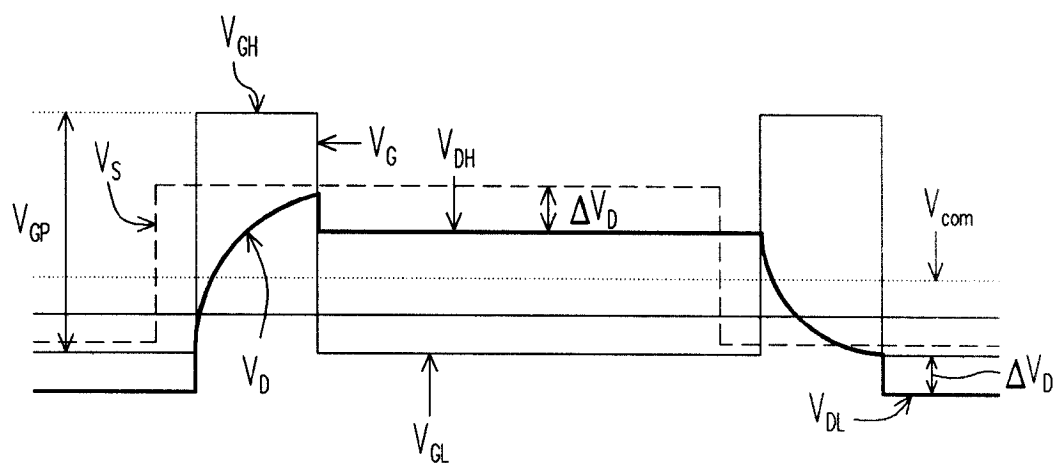


图 3

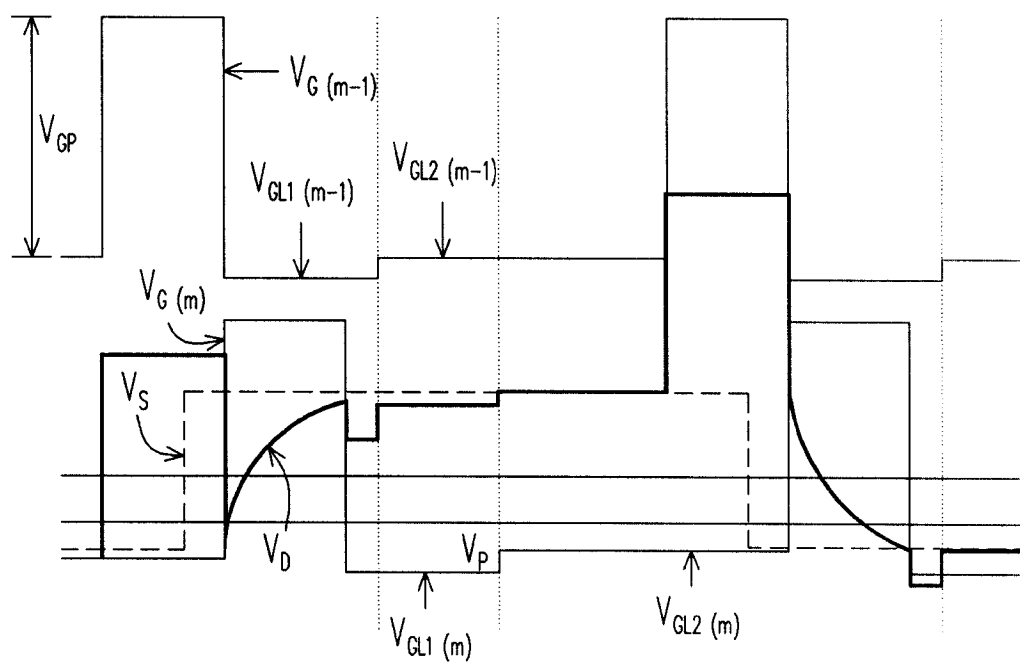


图 4

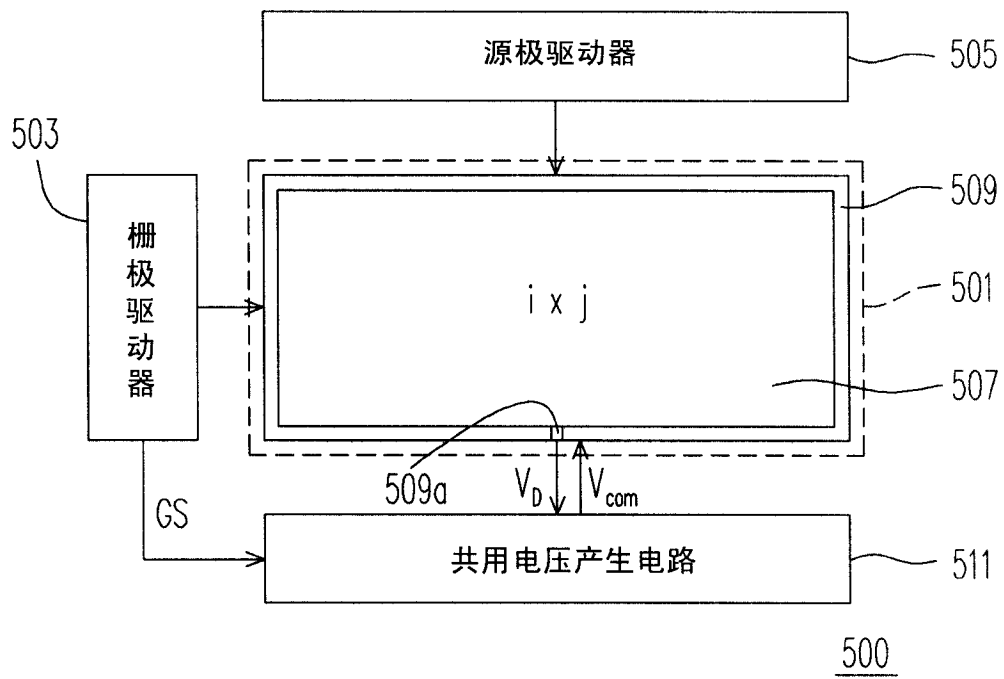


图 5

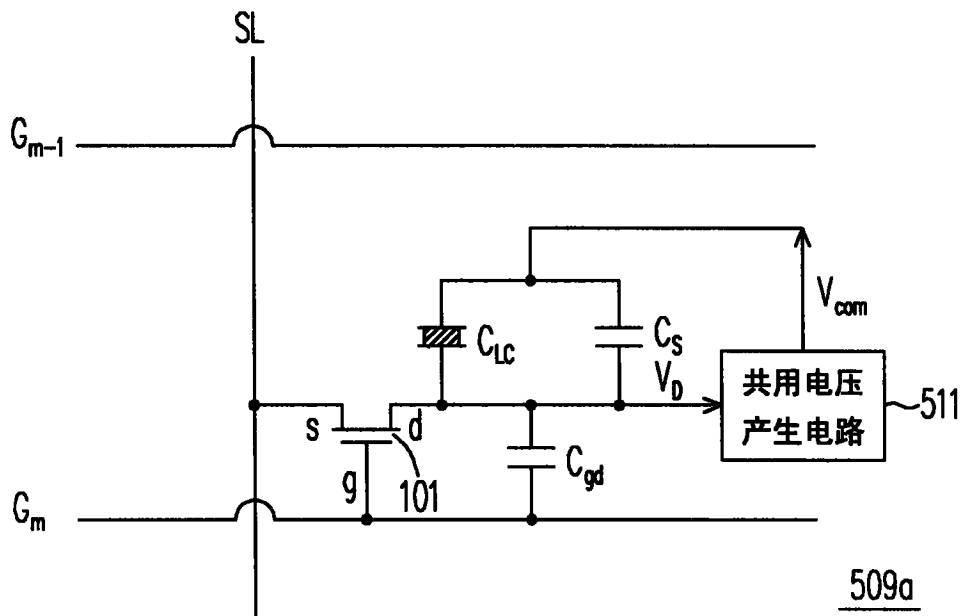


图 6

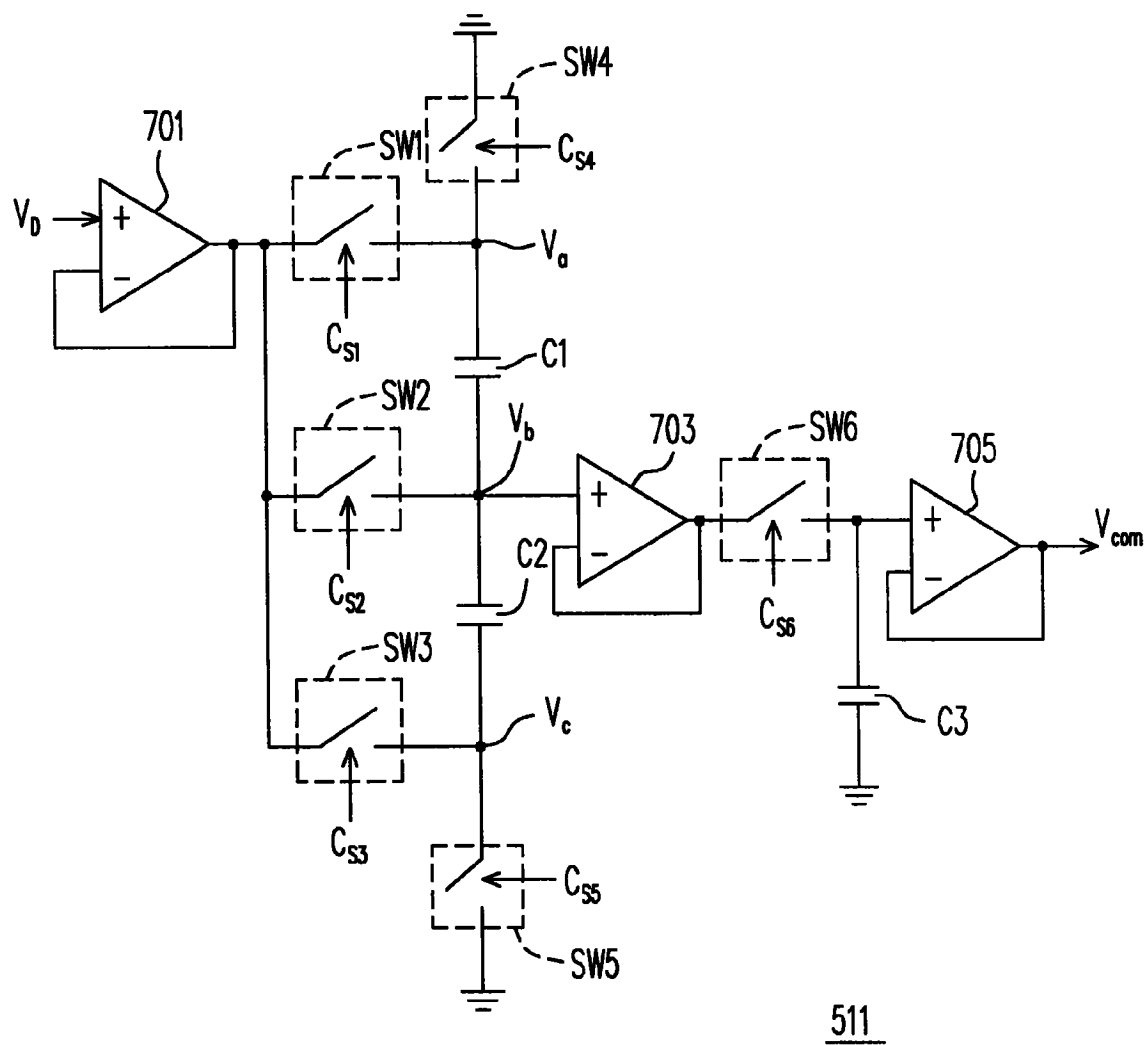


图 7

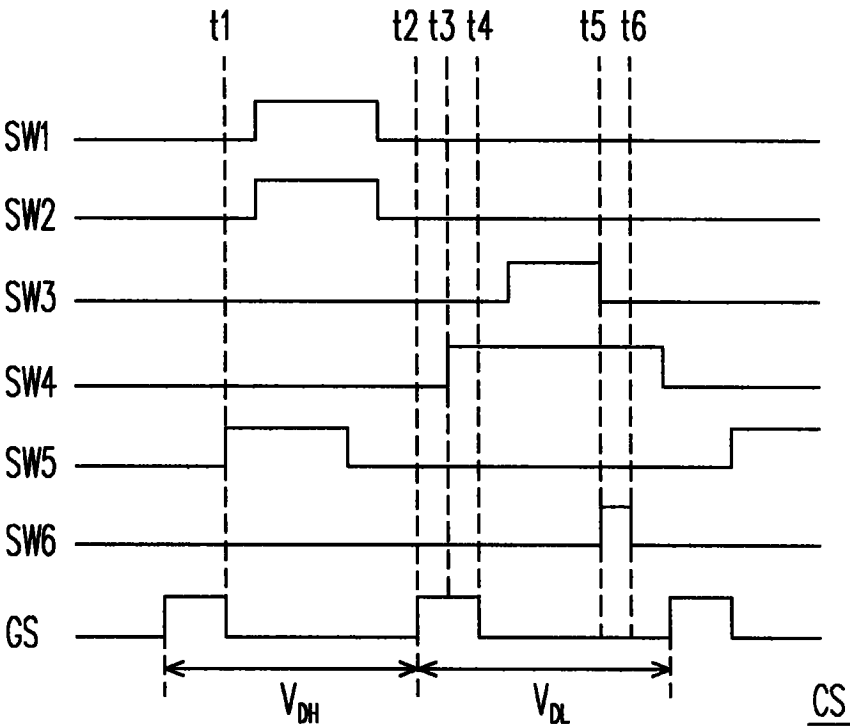


图 8

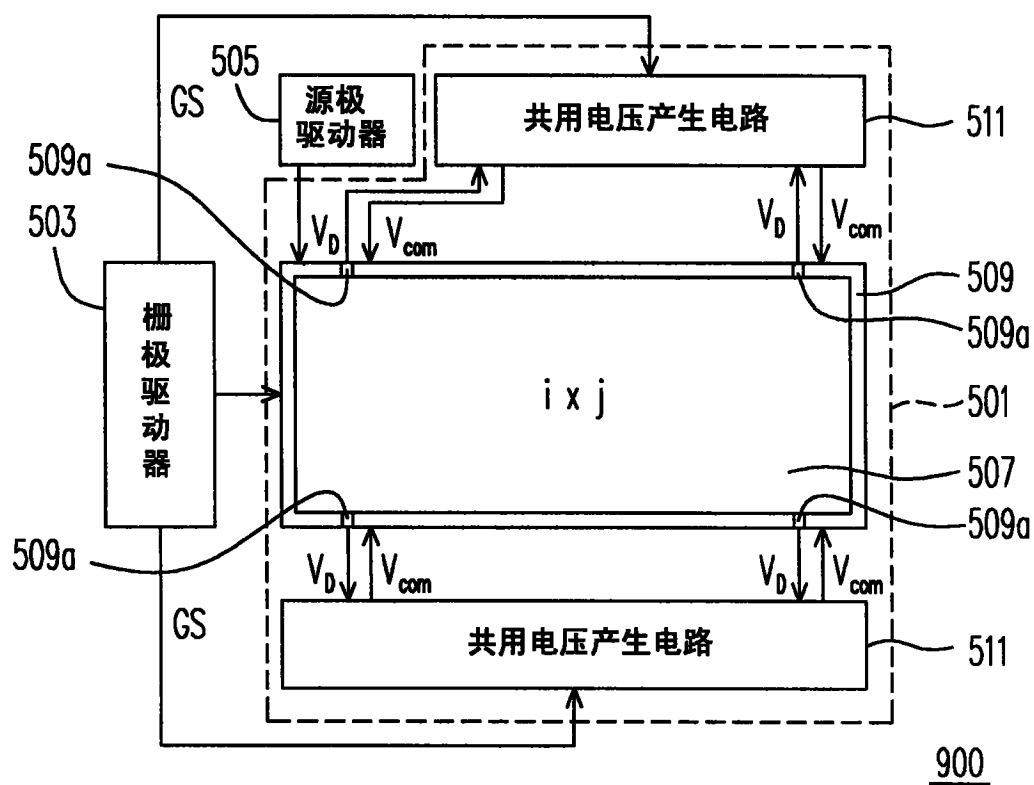


图 9

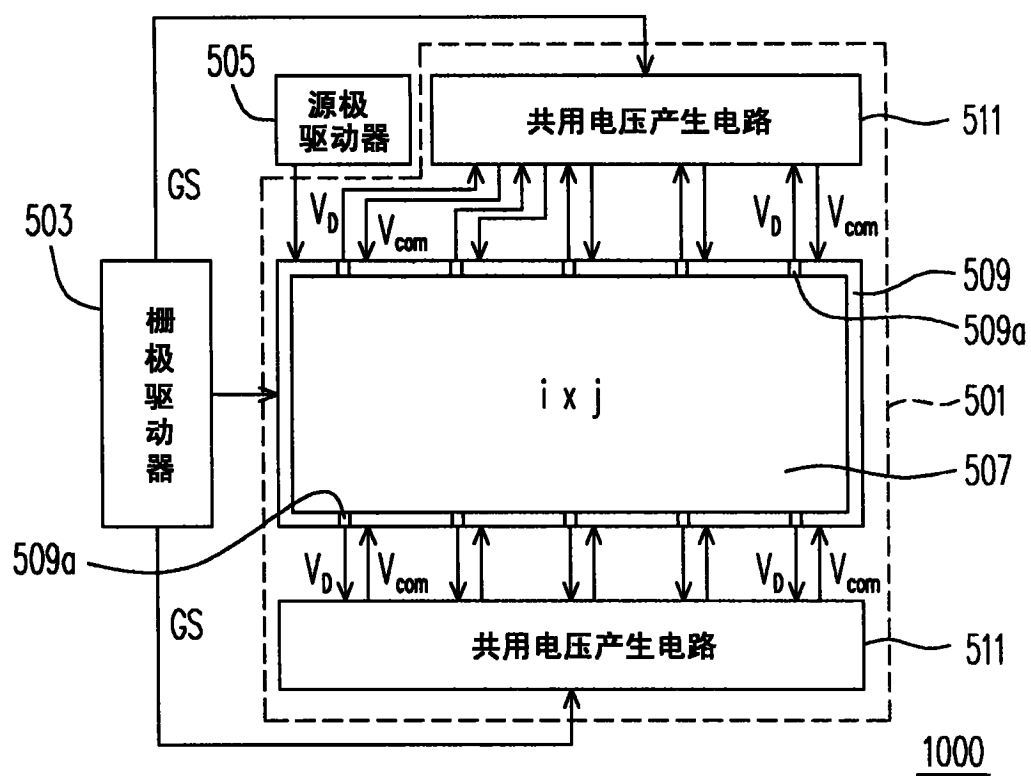


图 10

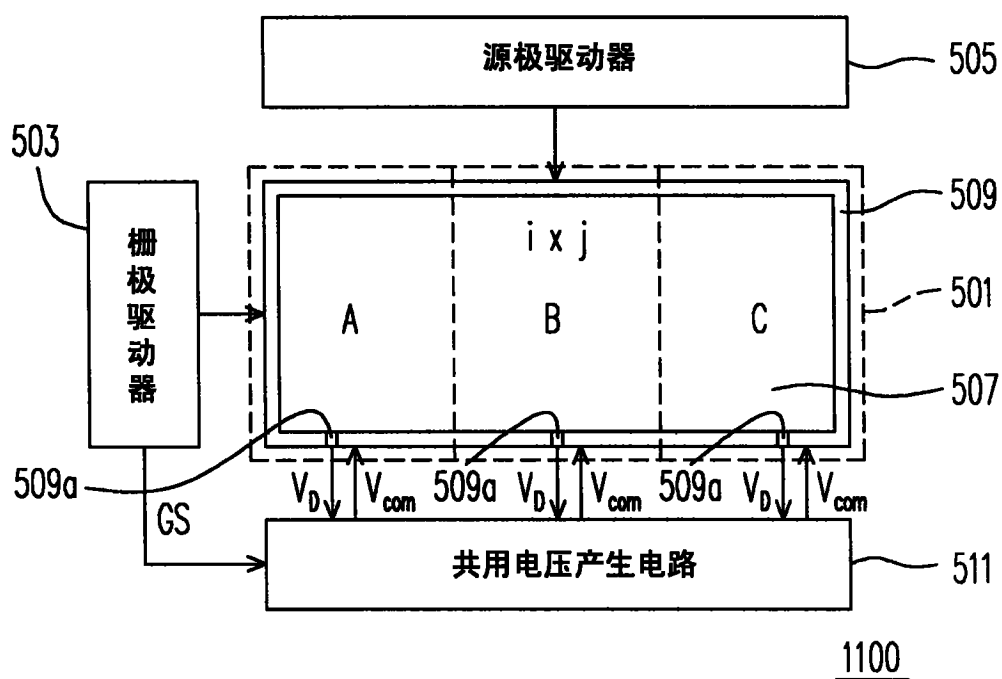


图 11

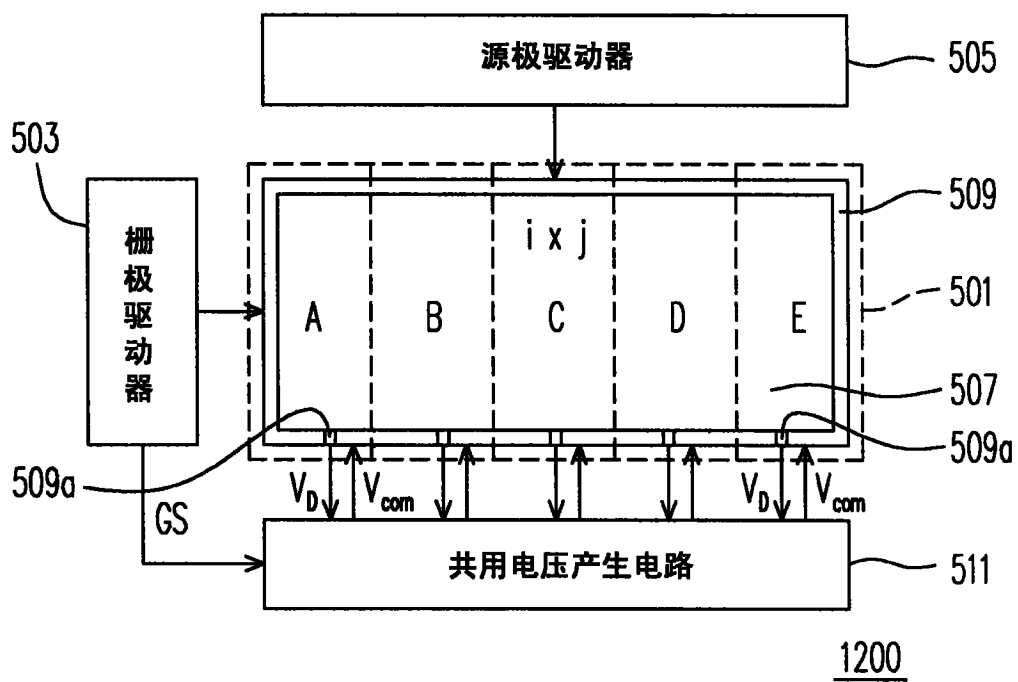


图 12

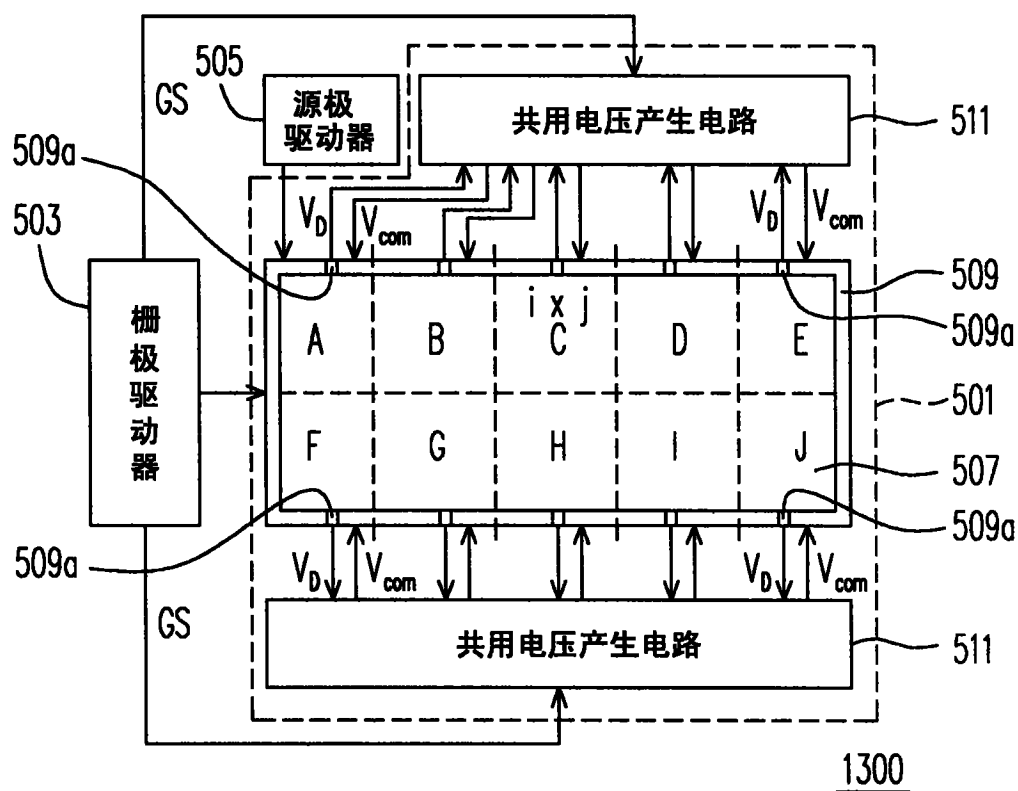


图 13

专利名称(译)	液晶显示器及其显示面板		
公开(公告)号	CN101191925B	公开(公告)日	2010-08-11
申请号	CN200610163948.4	申请日	2006-11-29
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股份有限公司		
当前申请(专利权)人(译)	中华映管股份有限公司		
[标]发明人	杜长庆		
发明人	杜长庆		
IPC分类号	G02F1/133 G09G3/36		
代理人(译)	陈亮		
其他公开文献	CN101191925A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器及其显示面板，其因通过在显示面板加入共用电压产生电路于非主动像素区域内至少一像素，并依据此像素内薄膜晶体管的漏极端的显示电压，于2个帧时间取其正极性与负极性电压的平均值，以当作共用电压而提供至显示面板内主动像素区域内的每一像素。藉此，可明显的改善因为扫描线上寄生电容与寄生电阻的RC延迟(RC delay)，所造成扫描电压的馈通电压(ΔV_D)漂移，进而提升显示面板内主动像素区域的每一像素的灰阶准确度，以及降低显示面板的闪烁杂讯，而达到大幅提升液晶显示器所呈现的帧品质。

