

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610105759.1

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

[43] 公开日 2008 年 1 月 23 日

[11] 公开号 CN 101109878A

[22] 申请日 2006.7.19

[21] 申请号 200610105759.1

[71] 申请人 瀚宇彩晶股份有限公司

地址 中国台湾桃园县

[72] 发明人 陈柏仰 施博盛

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

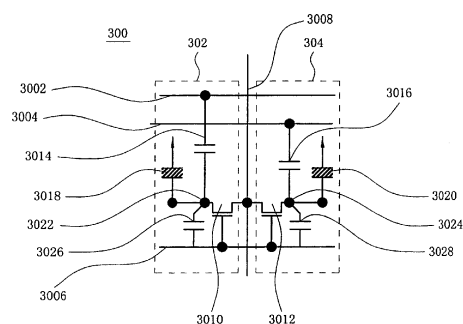
权利要求书 3 页 说明书 24 页 附图 13 页

[54] 发明名称

液晶显示器结构

[57] 摘要

本发明提出一种液晶显示器，其结构至少包含多个由相邻扫描线和数据线定义的像素单元，每一像素单元包含两个子像素，每一子像素包含储存电容，分别耦接至不同的电压源来调整像素电极电压。



1、一种液晶显示器，包括：

基板；

第一扫描线与第二扫描线，排列于所述基板上；

数据线与像素单元，也排列于所述基板上，且所述像素单元包含第一子像素与第二子像素；

第一薄膜晶体管，位于所述第一子像素中，包含第一栅极耦接于所述第一扫描线、第一源极以及第一漏极；以及

第二薄膜晶体管，位于所述第二子像素中，包含第二栅极耦接于所述第一扫描线、第二源极以及第二漏极；

其中，所述第一源极经由第一电容耦接于第一电压源，所述第二源极经由第二电容耦接于第二电压源，所述第一漏极耦接于所述数据线。

2、如权利要求 1 所述的液晶显示器，其中所述第二漏极耦接于所述数据线。

3、如权利要求 2 所述的液晶显示器，其中所述第二电压源由所述第二扫描线所提供。

4、如权利要求 3 所述的液晶显示器，其中所述第一电压源由所述共用电极线所提供。

5、如权利要求 3 所述的液晶显示器，其中所述第一电压源由所述第二扫描线所提供。

6、如权利要求 1 所述的液晶显示器，其中所述第二漏极耦接于所述第一源极。

7、如权利要求 6 所述的液晶显示器，其中所述第二电压源由所述第二扫描线所提供。

8、如权利要求 7 所述的液晶显示器，其中所述第一电压源由所述共用电极线所提供。

9、如权利要求 7 所述的液晶显示器，其中所述第一电压源由所述第二扫描线所提供。

10、如权利要求 6 所述的液晶显示器，其中所述第一与第二电压源为同一电压源。

11、一种液晶显示器的驱动方法，包含：

提供高电位给第一扫描线，从而使得数据线对第一子像素的像素电极与第二子像素的像素电极，写入数据信号；以及

提供低电位至第一扫描线，使所述第一薄膜晶体管和所述第二薄膜晶体管绝缘于所述数据线；

其中，所述第一扫描线于所述高电位与低电位转换之后，第二扫描线对所述第一子像素的像素电极与所述第二子像素的像素电极产生耦合电位。

12、如权利要求 11 所述的驱动方法，其为三阶驱动方法，并由第一电位、第二电位与第三电位所控制，所述第一电位大于所述第二电位，且所述第二电位大于所述第三电位。

13、如权利要求 12 所述的驱动方法，其中所述高电位为所述第一电位，所述低电位为所述第二电位，且所述耦合电位是由所述第二扫描线自所述第三电位转换至所述第二电位时所造成。

14、如权利要求 12 所述的驱动方法，其中所述高电位为所述第

一电位，所述低电位为所述第三电位，且所述耦合电位是由所述第二扫描线自所述第二电位转换至所述第三电位时所造成。

15、如权利要求 11 所述的驱动方法，其为四阶驱动方法，并由第一电位、第二电位、第三电位与第四电位所控制，所述第一电位大于所述第二电位，所述第二电位大于所述第三电位，所述第三电位大于所述第四电位。

16、如权利要求 15 所述的驱动方法，其中所述高电位为所述第一电位，所述低电位为所述第二电位，且所述耦合电位是由所述第二扫描线自所述第四电位转换至所述第三电位时所造成。

17、如权利要求 15 所述的驱动方法，其中所述高电位为所述第一电位，所述低电位为所述第四电位，且所述耦合电位是由所述第二扫描线自所述第二电位转换至所述第三电位时所造成。

18、如权利要求 15 所述的驱动方法，其中所述高电位为所述第一电位，所述低电位为所述第三电位，且所述耦合电位是由所述第二扫描线自所述第四电位转换至所述第三电位时所造成。

19、如权利要求 15 所述的驱动方法，其中所述高电位为所述第一电位，所述低电位为所述第三电位，且所述耦合电位是由所述第二扫描线自所述第二电位转换至所述第三电位时所造成。

液晶显示器结构

技术领域

本发明涉及一种液晶显示器，且尤其涉及一种能够增进液晶显示器广视角品质的像素单元结构。

背景技术

对于液晶显示器广视角技术，目前最普及的是垂直排列向列型彩色液晶显示器(Vertically Aligned Mode, VA mode)。但是当垂直排列向列型彩色液晶显示器由倾斜角度观看时，会看到亚洲人的皮肤有偏蓝或发白的现象。这个现象就称为色偏(Color Wash-Out)。参阅图 1A、1B，其示出垂直排列向列型彩色液晶显示器透射率-电压曲线图(Transmittance-Voltage)，其中纵轴为透射率、横轴为施加电压。当电压增加时，正视角曲线 102 透射率也增加，呈一单调函数，偏视角曲线 104 透射率则有弯曲现象，使得不同的灰阶电位的透射率却相同。这是垂直排列向列型彩色液晶显示器所特有的现象，也是造成色偏的原因。为了解决这一问题，富士通(Fujitsu Display Technologies Corporation)的 H.Yoshida 等人发表了改进的方法，该方法是将一个像素单元，分成两种不同的伽玛特性曲线来形成两种包含不同透射率-电压曲线的特性区域，来做混色而改进，参阅图 1B，其所示出的称为半色调(Half-Tone)技术。其中曲线 106 为具低临界电压的透射率-电压曲线，曲线 108 为具高临界电压的透射率-电压曲线，两者混合形成单调透射率-电压曲线 110，消除了色偏现象。

参阅图 2A 和图 2B。半色调技术目前有两种，CC 型和 TT 型。图 2A 示出 CC 型，图 2B 示出 TT 型。基本的原理就是将原本的像素单元分为两个区域，分别为第一与第二子像素，使它们包含不同的伽玛特性曲线，来达成上述所提到的半色调技术，消除色偏现象。图 2C 所示为 CC 型的伽玛特性曲线，而图 2D 所示为 TT 型的伽玛特性

曲线。以图 2C 为例，在一灰阶电压下，像素单元所表现的混合伽玛特性曲线，为第一子像素伽玛特性曲线与第二子像素伽玛特性曲线的总和。

如图 2A 所示，像素单元分为两个区域，利用电容分压的方式产生子像素电极 206 和子像素电极 212 两个不同的伽玛特性曲线。其中子像素电极 206 的电位是由数据线(Data Line)经由薄膜晶体管 202 直接写入的。子像素电极 212 电位是数据线经由串联储存电容 210 分压之后确定的，换言之就是子像素电极 212 是浮接的状态而电位是经由耦合的方式来确定的，它会因为在面板的操作中捕捉电荷导致子像素电极 212 电位的偏移，这会造成可靠度和画面不均匀以及影像残留等问题。

参阅图 2B，一像素单元分为两个区域，利用二个薄膜晶体管 218 和 220，二条扫描线或二条数据线直接由系统给定二个不同的伽玛特性曲线至像素电极 222 与像素电极 224。这是最直接的方法，但这样会使开口率减少并且系统电路复杂(需要增加另外一组伽玛特性曲线)，增加一倍的逻辑门驱动或数据线驱动以及电源消耗增加等种种缺点。

本发明就是提出新的像素结构设计协同薄膜晶体管栅极的驱动波形来解决上述问题。

发明内容

本发明的一个目的在于提供一种薄膜晶体管液晶显示器的广视角技术，拥有两种透射率-电位曲线，用以改善色偏现象。

本发明的另一目的在于提供像素单元，其拥有两种透射率-电位曲线而没有电荷累积，电位偏移的现象。

本发明的又一目的在于提供像素单元，用于减少电路复杂度和功率消耗。

根据本发明的上述目的，提出一种液晶显示器，至少包含多条扫描线，以互相平行的方式排列在第一方向上；以及多条数据线，以互相平行的方式排列于第二方向上，并与所述多条扫描线互相交叉，其

中两相邻的第一与第一扫描线以及数据线定义出包括第一子像素与第二子像素的像素单元。每一子像素包含储存电容，分别耦接于不同的电压源来调整像素电极电压，形成不同的像素电极电位，不同的透射率-电位曲线。借助混合这两种不同的透射率-电位曲线可以形成包含优良广视角特性的透射率-电位曲线。

根据本发明的另一实施例，像素单元至少包括：第一薄膜晶体管位于该第一子像素，该第一薄膜晶体管包含第一栅极端、第一源极端以及第一漏极端；以及第二薄膜晶体管位于该第二子像素，该第二薄膜晶体管包含第二栅极端、第二源极端以及第二漏极端，其中该第一源极端耦接于第一电压源，该第二源极端耦接于第二电压源，该第一漏极端耦接于该数据线，该第二漏极端可接收该数据线所传送的电压。

优选地，本发明所提供的液晶显示器，其第二漏极耦接于数据线。

优选地，本发明所提供的液晶显示器，其第二电压源由第二扫描线所提供。

优选地，本发明所提供的液晶显示器，其第一电压源由第二扫描线所提供。

优选地，本发明所提供的液晶显示器，其第二漏极耦接于第一源极。

优选地，本发明所提供的液晶显示器，其第二电压源由第二扫描线所提供。

优选地，本发明所提供的液晶显示器，其第一电压源由共用电极线所提供。

优选地，本发明所提供的液晶显示器，其第一电压源由第二扫描线所提供。

优选地，本发明所提供的液晶显示器，其第一与第二电压源为同一电压源。

根据本发明的另一实施例，本发明还提供一种驱动方法，用以驱动上述的液晶显示器，该方法包含：提供高电位给该第一扫描线，使得该数据线透过该第一薄膜晶体管对该第一子像素的像素电极，以及

透过该第二薄膜晶体管对该第二子像素的像素电极，写入数据信号；以及提供低电位至该第一扫描线，使该第一薄膜晶体管和该第二薄膜晶体管绝缘于该数据线，其中，该第一扫描线于该高电位与低电位转换之后，该第二扫描线对该第一子像素的像素电极与该第二子像素的像素电极产生耦合电位。

优选地，本发明所提供的驱动方法，其为三阶驱动方法，并由第一电位、第二电位与第三电位所控制，第一电位大于第二电位，且第二电位大于第三电位。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第二电位，且耦合电位由第二扫描线自第三电位转换至第二电位时所造成。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第三电位，且耦合电位由第二扫描线自第二电位转换至第三电位时所造成。

优选地，本发明所提供的驱动方法，其为四阶驱动方法，并由第一电位、第二电位、第三电位与第四电位所控制，第一电位大于第二电位，第二电位大于第三电位，第三电位大于第四电位。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第二电位，且耦合电位由第二扫描线自第四电位转换至第三电位时所造成。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第四电位，且耦合电位由第二扫描线自第二电位转换至第三电位时所造成。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第三电位，且耦合电位由第二扫描线自第四电位转换至第三电位时所造成。

优选地，本发明所提供的驱动方法，其高电位为第一电位，低电位为第三电位，且耦合电位由第二扫描线自第二电位转换至第三电位时所造成。

综上所述，本发明通过将像素单元区隔成两个子像素，而每一子

像素中包含独立的薄膜晶体管、液晶电容与储存电容，从而两子像素所形成的不同种像素电压互相补偿与平均，可缓和像素单元内的色偏现象。

附图说明

为了让本发明的上述和其它目的、特征、优点与实施例能更明显易懂，附图的详细说明如下：

图 1A 为垂直排列向列型彩色液晶显示器，其透射率-电压曲线图；

图 1B 为垂直排列向列型彩色液晶显示器，其包含两组伽玛曲线的透射率-电压曲线图；

图 2A 为传统的 CC 型像素单元；

图 2B 为传统的 TT 型像素单元；

图 2C 为传统的 CC 型像素单元的伽玛特性曲线图；

图 2D 为传统的 TT 型像素单元的伽玛特性曲线图；

图 3 为本发明第一实施例的像素单元简图；

图 4 为本发明第二实施例的像素单元简图；

图 5 为本发明第三实施例的像素单元简图；

图 6 为本发明第四实施例的像素单元简图；

图 7 为本发明第五实施例的像素单元简图；

图 8 为三阶驱动波形图；

图 9 为四阶驱动波形图；

图 10 为二步四阶驱动波形图；

图 11 为三阶驱动波形图；

图 12 为四阶驱动波形图；

图 13 为二步四阶驱动波形图；

图 14 为二阶驱动波形图。

具体实施方式

请参阅图 3，其示出根据本发明第一实施例的像素单元的简图。

像素单元 300，包含两子像素 302 和 304。子像素 302 包含薄膜晶体管 3010，其栅极连接于扫描线 3006、第一源/漏极耦接于对应的数据线 3008，而第二源/漏极则耦接于像素电极 3022，其中像素电极 3022 和扫描线 3002 之间构造储存电容 3014，像素电极 3022 和上基板导电电极(图中未示出)之间构造液晶电容 3018。薄膜晶体管 3010 的第二源/漏极和栅极间则包含寄生电容 3026。

子像素 304 包含薄膜晶体管 3012，其栅极连接于扫描线 3006、第一源/漏极耦接于对应的数据线 3008，而第二源/漏极则耦接于像素电极 3024，其中像素电极 3024 和共用电极线 3004 之间构造储存电容 3016，像素电极 3024 和上基板导电电极(未显示于图中)之间构造液晶电容 3020。薄膜晶体管 3012 的第二源/漏极和栅极间则包含寄生电容 3028。薄膜晶体管 3010 和 3012 栅极均接至扫描线 3006，第一源/漏极均接至对应数据线 3008，故为薄膜晶体管并联结构。换言之，像素电极 3022、3024 没有浮接，不会造成电荷累积，电位偏移的现象，而且仅需扫描线 3002 和扫描线 3006、数据线 3008 以及共用电极线，不需要增加额外的电位来源或扫描线。

请参照图 4，其示出根据本发明第二实施例的像素单元的简图。像素单元 400 包含两个子像素 402 和 404。其中子像素 402 包含薄膜晶体管 4010，其栅极连接于扫描线 4006、第一源/漏极耦接于对应的数据线 4008，而第二源/漏极则耦接于像素电极 4016，其中像素电极 4016 和共用电极线 4004 之间构造储存电容 4014，像素电极 4016 和上基板导电电极(图中未示出)之间构造液晶电容 4020。薄膜晶体管 4010 的第二源/漏极和薄膜晶体管 4022 的第一源/漏极耦接，其耦接处和薄膜晶体管 4010 的栅极间则包含寄生电容 4018。

子像素 404 包含薄膜晶体管 4022，其栅极连接于扫描线 4006、第一源/漏极耦接于薄膜晶体管 4010 的第二源/漏极，而第二源/漏极则耦接于像素电极 4028，其中像素电极 4028 和扫描线 4002 之间构造储存电容 4026，像素电极 4028 和上基板导电电极(图中未示出)之间构造液晶电容 4032。薄膜晶体管 4022 的第二源/漏极和栅极间则包含寄生电容 4030。因为薄膜晶体管 4010 的第二源/漏极端连接至薄膜

晶体管 4022 第一源/漏极，故为两薄膜晶体管 4010、4022 串联电路。换言之，像素电极 4016、4028 没有浮接，不会造成电荷累积，电位偏移的现象，而且仅需扫描线 4002、4006、数据线 4008 以及共用电极线 4004 作连接，不需要增加额外的数据线或扫描线。

请参阅图 5，其示出根据本发明第三实施例的像素单元的简图。其中像素单元 500，包含两个子像素 502 和 504。子像素 502 包含薄膜晶体管 5010，其栅极连接于扫描线 5006、第一源/漏极耦接于对应的数据线 5008，而第二源/漏极则耦接于像素电极 5022，其中像素电极 5022 和扫描线 5002 之间构造储存电容 5014，像素电极 5022 和上基板导电电极(图中未示出)之间构造液晶电容 5018。薄膜晶体管 5010 的第二源/漏极和栅极间则包含寄生电容 5026。

子像素 504 包含薄膜晶体管 5012，其栅极连接于扫描线 5006、第一源/漏极耦接于对应的数据线 5008，而第二源/漏极则耦接于像素电极 5024，其中像素电极 5024 和扫描线 5002 之间构造储存电容 5016，像素电极 5024 和上基板导电电极(未显示于图中)之间构造液晶电容 5020。薄膜晶体管 5012 的第二源/漏极和栅极间则包含寄生电容 5028。薄膜晶体管 5010 和 5012 栅极均接至扫描线 5006，第一源/漏极均接至对应数据线 5008，故为薄膜晶体管并联结构。换言之，像素电极 5022 和 5024 没有浮接，不会造成电荷累积，电位偏移的现象，而且仅需扫描线 5002 和扫描线 5006、数据线 5008，不需要增加额外的数据线或扫描线。

由于第三实施例的像素电极 5022 和 5024 与扫描线 5002 之间同时构造储存电容 5014 和 5016，故可通过调整储存电容 5014 和 5016 电容值以将像素电极 5022 和 5024 电位分开。且通过栅极驱动波形并透过储存电容 5014 和 5016 的耦合效应，可降低数据线的电位输出范围，而达到降低功率的效果。

请参照图 6，其示出根据本发明第四实施例的像素单元的简图。其中像素单元 600，包含两个子像素 602 和 604。子像素 602 包含薄膜晶体管 6010，其栅极连接于扫描线 6006、第一源/漏极耦接于对应的数据线 6008，而第二源/漏极则耦接于像素电极 6016，其中像素电

极 6016 和扫描线 6002 之间构造储存电容 6014, 像素电极 6016 和上基板导电电极(图中未示出)之间构造液晶电容 6020。薄膜晶体管 6010 的第二源/漏极与薄膜晶体管 6022 的第一源/漏极耦接, 其耦接处和薄膜晶体管 6010 的栅极间包含寄生电容 6018。

子像素 604 包含薄膜晶体管 6022, 其栅极连接于扫描线 6006, 第一源/漏极耦接于薄膜晶体管 6010 的第二源/漏极, 而薄膜晶体管 6022 第二源/漏极则耦接于像素电极 6028, 其中像素电极 6028 和扫描线 6002 之间构造储存电容 6026, 像素电极 6028 和上基板导电电极(图中未示出)之间构造液晶电容 6032。薄膜晶体管 6022 的第二源/漏极和栅极间则包含寄生电容 6030。因为薄膜晶体管 6010 的第二源/漏极端连接至薄膜晶体管 6022 第一源/漏极, 故为两薄膜晶体管 6010、6022 串联电路。换言之, 像素电极 6016 与 6028 没有浮接, 不会造成电荷累积, 电位偏移的现象, 而且仅需扫描线 6002、6006 以及数据线 6008, 不需要增加额外的数据线或扫描线。

由于第四实施例的像素电极 6016 和 6028 与扫描线 6002 之间同时构造储存电容 6014 和 6026, 其均构造于扫描线 6002 而成储存电容 6014 和 6016, 故可通过调整储存电容 6014 和 6026 电容值以将像素电极 6016 和 6028 电位分开。且通过栅极驱动波形并透过储存电容 6014 和 6026 的耦合效应, 可降低数据线的电位输出范围, 而达到降低功率的效果。

请参照图 7, 其示出根据本发明第五实施例的像素单元的简图。其中像素单元 700, 包含两子像素 702 和 704。子像素 702 包含薄膜晶体管 7010, 其栅极连接于扫描线 7006、第一源/漏极耦接于对应的数据线 7008, 而第二源/漏极则耦接于像素电极 7016, 其中像素电极 7016 和偏压线 7002 之间构造储存电容 7014, 像素电极 7016 和上基板导电电极(图中未示出)之间构造液晶电容 7020。薄膜晶体管 7010 的第二源/漏极和薄膜晶体管 7022 的第一源/漏极耦接, 其耦接处和薄膜晶体管 7010 的栅极间则包含寄生电容 7018。

子像素 704 包含薄膜晶体管 7022, 其栅极连接于扫描线 7006、第一源/漏极耦接于薄膜晶体管 7010 的第二源/漏极, 而第二源/漏极

则耦接于像素电极 7028，其中像素电极 7028 和偏压线 7002 之间构造储存电容 7026，像素电极 7028 和上基板导电电极(图中未示出)之间构造液晶电容 7032。薄膜晶体管 7022 的第二源/漏极和栅极间则包含寄生电容 7030。因为薄膜晶体管 7010 的第二源/漏极端连接至薄膜晶体管 7022 第一源/漏极，故为两薄膜晶体管 7010、7022 串联电路。换言之，像素电极 7016、7028 没有浮接，不会造成电荷累积，电位偏移的现象，而且仅需偏压线 7002、扫描线 7006、数据线 7008 以及共用电极线 7004 作为电源，不需要增加额外的电源或扫描线。

参阅图 8，其示出栅极驱动波形及子像素的对应电位，请同时参阅图 3 所示的第一实施例像素单元 300。其中三阶波形包含三个电位，其中 $V1 > V2 > V3$ 。图 8 左半部为偶数图框(Even Frame)，右半部为奇数图框(Odd Frame)。首先看到偶数图框部份，进入时段 T1 时扫描线 3006 被选择，此时数据线 3008 写入负极性数据，薄膜晶体管 3010 和 3012 栅极电位上升至 $V1$ ，薄膜晶体管 3010 和 3012 被打开，数据线电位经由薄膜晶体管 3010 和 3012 写入像素电极 3022 和 3024。在 T1 时间快结束时，像素电极 3022 和 3024 电位大致相等。当进入时段 T2 时，扫描线 3006 电位下降至电位 $V2$ ，薄膜晶体管 3010 和 3012 关闭，则像素电极 3022 和 3024 绝缘。

由于扫描线 3006 分别通过寄生电容 3026 和 3028 耦合至像素电极 3022 和 3024，故时段 T2 时像素电极 3022 和 3024 电位均会受到扫描线 3006 的电位变化($V1-V2$)的影响。

此外，由于扫描线 3002 通过储存电容 3014 耦合至像素电极 3022，故像素电极 3022 的电位也会受到扫描线 3002 电位变化的影响，由于在时段 T2 中扫描线 3002 的电位由 $V3$ 拉回至 $V2$ ，此减少的电位变化($V2-V3$)耦合至像素电极 3022，造成像素电极 3022 电位变化绝对值减少，使得像素电极 3022 和 3024 电位分开，所以产生不同的伽玛曲线，而达到半色调的效果。故可通过适当的选择储存电容 3014 和 3016 来调整像素电极 3022 和 3024 的电位差。像素电极 3024 在时段 T2 的电位变化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1 - V2)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$, $C_T(3024)$ 为像素电极 3024 所见总电容值, $C_{lc}(3020)$ 为液晶电容 3020 电容值, $C_{st}(3016)$ 为储存电容 3016 电容值, $C_{gs}(3028)$ 为寄生电容 3028 电容值。

像素电极 3022 在时段 T2 的电位变化 $\Delta V(3022)$ 如下:

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)} (V1 - V2) - \frac{C_{st}(3014)}{C_T(3022)} (V2 - V3) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$, $C_T(3022)$ 为像素电极 3022 所见总电容值, $C_{lc}(3018)$ 为液晶电容 3018 电容值, $C_{st}(3014)$ 为储存电容 3014 电容值, $C_{gs}(3026)$ 为寄生电容 3026 电容值。

$\frac{C_{st}(3014)}{C_T(3022)} (V2 - V3)$ 为扫描线 3002 电位变化耦合至像素电极 3022 所产生。

参阅图 8 右半部奇数图框部份, 此时数据线 3008 写入正极性数据, 请同时参阅图 3。原理与偶数图框大致相同, 其不同之处在于偶数图框时段 T1 时, 扫描线 3002 的三阶驱动波形会先拉至一个最低电位 V3, 当进入时段 T2 时, 扫描线 3002 才将电位拉回至 V2。这会使像素电极 3022 的电位变化绝对值减少。而对于奇数图框时扫描线 3002 的三阶驱动波形则不同, 进入时段 T3 时, 扫描线 3002 的电位会先拉低至 V2, 待进入时段 T4 时扫描线 3006 的电位拉低至 V3 将薄膜晶体管 3010 和 3012 关闭时, 扫描线 3002 电位才会再继续拉至 V3, 这会造成像素电极 3022 的电位变化绝对值增加。像素电极 3024 在时段 T4 的电位变化 $\Delta V(3024)$ 如下:

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1 - V3)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$, $C_T(3024)$ 为像素电极 3024 所见总电容, $C_{lc}(3020)$ 为液晶电容 3020 电容值, $C_{st}(3016)$ 为

储存电容 3016 电容值, $C_{gs}(3028)$ 为寄生电容 3028 电容值。

像素电极 3022 在时段 T4 的电位变化 $\Delta V(3022)$ 如下:

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)}(V1-V3) + \frac{C_{st}(3014)}{C_T(3022)}(V2-V3)$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$, $C_T(3022)$ 为像素电极 3022 所见总电容, $C_{lc}(3018)$ 为液晶电容 3018 电容值, $C_{st}(3014)$ 为储存电容 3014 电容值, $C_{gs}(3026)$ 为寄生电容 3026 电容值。

上述是以图 3 所示第一实施例的像素单元 300 为例, 来说明第 8 图所示驱动波形的实施, 然而值得注意的是, 此驱动波形也可应用于图 4 所示的第二实施例像素单元 400 中、图 5 所示的第三实施例像素单元 500 中以及图 6 所示的第四实施例像素单元 600 中。

参阅图 9, 其示出栅极驱动波形及子像素的对应电位, 请同时参阅图 3。四阶波形包含四个电位, 即 V1、V2、V3 和 V4, 较三阶驱动波形多了一个电位 V4, 其中 $V1 > V2 > V3 > V4$, 其基本动作原理与三阶驱动波形相同。

在第 9 图偶数图框部份, 此时数据线 3008 写入负极性数据。在时段 T1 中, 扫描线 3006 被选择, 该时段因此扫描线 3006 电位被上拉至 V1, 薄膜晶体管 3010、3012 打开。在时段 T1 快结束时, 像素电极 3022 和 3024 电位大致相等, 此时扫描线 3002 则会先下拉至电位 V4。待进入时段 T2, 扫描线 3006 电位拉至 V2 将薄膜晶体管 3010、3012 关闭, 与此同时扫描线 3002 电位由 V4 向上拉回至 V3。

由于扫描线 3006 分别通过寄生电容 3026 和 3028 耦合于像素电极 3022 和 3024, 故时段 T2 时像素电极 3022 和 3024 电位均会受到扫描线 3006 的电位变化(V1-V2)的影响。此外, 扫描线 3002 通过储存电容 3014 耦合至像素电极 3022, 故像素电极 3022 的电位会受到扫描线 3002 的影响, 由于在偶数图框时段 T2 中扫描线 3002 的电位由 V4 拉回至 V3, 此减少的电位变化(V3-V4)耦合至像素电极 3022, 造成像素电极 3022 的电位变化绝对值减少, 电位与像素电极 3024 分开, 所以产生不同的伽玛曲线, 而达到半色调的效果。像素电极 3024 在时段 T2 的电位变化 $\Delta V(3024)$ 如下:

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1 - V2)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$, $C_T(3024)$ 为像素电极 3024 所见总电容值, $C_{lc}(3020)$ 为液晶电容 3020 电容值, $C_{st}(3016)$ 为储存电容 3016 电容值, $C_{gs}(3028)$ 为寄生电容 3028 电容值。

像素电极 3022 在时段 T2 的电位变化 $\Delta V(3022)$ 如下:

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)} (V1 - V2) - \frac{C_{st}(3014)}{C_T(3022)} (V3 - V4) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$, $C_T(3022)$ 为像素电极 3022 所见总电容值, $C_{lc}(3018)$ 为液晶电容 3018 电容值, $C_{st}(3014)$ 为储存电容 3014 电容值, $C_{gs}(3026)$ 为寄生电容 3026 电容值。

$\frac{C_{st}(3014)}{C_T(3022)} (V3 - V4)$ 为扫描线 3002 电位变化耦合至像素电极 3022 所产生。

参阅图 9 右半部奇数图框部份, 此时数据线 3008 写入正极性数据, 请同时参阅图 3。在时段 T3 时, 扫描线 3006 电位上拉至电位 V1, 将薄膜晶体管 3010、3012 打开。在时段 T3 快结束时, 像素电极 3022 与像素电极 3024 电位大致相等, 此时扫描线 3002 只下拉至电位 V2。待进入时段 T4 扫描线 3006 下拉至电位 V4 将薄膜晶体管 3010、3012 关闭, 此时扫描线 3002 继续下拉至电位 V3, 此下拉的电位变化 (V2-V3) 透过储存电容 3014 耦合至像素电极 3022, 造成像素电极 3022 的电位变化绝对值增加, 像素电极 3022 电位与像素电极 3024 分开, 所以造成不同的伽玛曲线, 而达到半色调的效果。使用四阶波形的好处在于能够用来调整的参数更多, 使像素电极 3022 与 3024 间的电位差有更多不同的变化, 液晶显示器色彩表现更为均匀。像素电极 3024 在时段 T4 电位变化 $\Delta V(3024)$ 如下:

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1 - V4)$$

其中 $C_T(3024)=C_{lc}(3020)+C_{st}(3016)+C_{gs}(3028)$, $C_T(3024)$ 为像素电极 3024 所见总电容, $C_{lc}(3020)$ 为液晶电容 3020 电容值, $C_{st}(3016)$ 为储存电容 3016 电容值, $C_{gs}(3028)$ 为寄生电容 3028 电容值。像素电极 3022 在时段 T4 的电位变化 $\Delta V(3022)$ 如下:

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)} (V1-V4) + \frac{C_{st}(3014)}{C_T(3022)} (V2-V3)$$

其中 $C_T(3022)=C_{lc}(3018)+C_{st}(3014)+C_{gs}(3026)$, $C_T(3022)$ 为像素电极 3022 所见总电容, $C_{lc}(3018)$ 为液晶电容 3018 电容值, $C_{st}(3014)$ 为储存电容 3014 电容值, $C_{gs}(3026)$ 为寄生电容 3026 电容值。

上述是以图 3 所示第一实施例的像素单元 300 为例, 来说明图 9 所示驱动波形的实施, 然而值得注意的是, 此驱动波形也可应用于图 4 所示的第二实施例像素单元 400 中、图 5 所示的第三实施例像素单元 500 中以及图 6 所示的第四实施例像素单元 600 中。

参阅图 10, 其示出栅极驱动波形以及子像素的对应电位, 请同时参阅图 3。其中二步四阶驱动波形有四个电位 V1、V2、V3 和 V4, 其中 $V1>V2>V3>V4$, 与图 9 不同之处在于图 10 的二步四阶驱动波形, 电位变化时均会先拉至电位 V3, 再到目的电位。如此可避免因时间延迟造成数据写入错误的问题, 以及驱动波形不均匀的问题。至于像素电极 3022、3024 电位变化则与一步四阶驱动波形一样。

在图 10 偶数图框时, 此时数据线 3008 写入负极性数据。在时段 T1 中, 扫描线 3006 电位上拉至 V1, 薄膜晶体管 3010、3012 打开。在时段 T1 快结束时, 像素电极 3022 和 3024 电位大致相等, 此时扫描线 3002 则会先下拉至电位 V3 再至电位 V4。待进入时段 T2, 扫描线 3006 电位拉至 V3 再拉至 V2 将薄膜晶体管 3010、3012 关闭。

由于扫描线 3006 分别通过寄生电容 3026 和 3028 耦合于像素电极 3022 和 3024, 故时段 T2 时像素电极 3022 和 3024 电位均会受到扫描线 3006 的电位变化(V1-V2)的影响, 此时像素电极 3022 和 3024 电位仍然大致相等。待进入时段 T3, 扫描线 3002 电位由 V4 向上拉回至 V3。

由于扫描线 3002 通过储存电容 3014 耦合至像素电极 3022, 故

像素电极 3022 的电位会受到扫描线 3002 的影响，此减少的电位变化 (V3-V4) 耦合至像素电极 3022，造成像素电极 3022 的电位变化绝对值减少，电位与像素电极 3024 分开，所以产生不同的伽玛曲线，而达到半色调的效果。像素电极 3024 在时段 T3 的电位变化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1-V2)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 为像素电极 3024 所见总电容值， $C_{st}(3016)$ 为储存电容 3016 电容值， $C_{lc}(3020)$ 为液晶电容 3020 电容值， $C_{gs}(3028)$ 为寄生电容 3028 电容值。

像素电极 3022 在时段 T3 的电位变化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)} (V1-V2) - \frac{C_{st}(3014)}{C_T(3022)} (V3-V4) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 为像素电极 3022 所见总电容值， $C_{lc}(3018)$ 为液晶电容 3018 电容值， $C_{st}(3014)$ 为储存电容 3014 电容值， $C_{gs}(3026)$ 为寄生电容 3026 电容值。

$\frac{C_{st}(3014)}{C_T(3022)} (V3-V4)$ 为扫描线 3002 电位变化耦合至像素电极 3022 所产生。

参阅图 10 奇数图框，电位变化顺序与图 10 偶数图框有所不同。此时数据线 3008 写入正极性数据，请同时参阅图 3。在时段 T4 时，扫描线 3006 电位上拉至电位 V1 将薄膜晶体管 3010、3012 打开，像素电极 3022 与像素电极 3024 电位大致相等，此时扫描线 3002 先下拉至电位 V3 再停留于电位 V2。进入时段 T5 时扫描线 3006 下拉至电位 V4 将薄膜晶体管 3010、3012 关闭，像素电极 3022 与像素电极 3024 绝缘但电位依然大致相等。待进入时段 T6，此时扫描线 3002 继续下拉至电位 V3，造成像素电极 3022 的电位变化绝对值增加，像素电极 3022 电位与像素电极 3024 分开，所以产生不同的伽玛曲线，

而达到半色调的效果。使用四阶波形的好处在于能够用来调整的参数更多，使像素电极 3022 与 3024 间的电位差有更多不同的变化，液晶显示器色彩表现更为均匀。像素电极 3024 在时段 T6 的电位变化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)} (V1 - V4)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 为像素电极 3024 所见总电容， $C_{lc}(3020)$ 为液晶电容 3020 电容值， $C_{st}(3016)$ 为储存电容 3016 电容值， $C_{gs}(3028)$ 为寄生电容 3028 电容值。像素电极 3022 在时段 T6 的电位变化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)} (V1 - V4) + \frac{C_{st}(3014)}{C_T(3022)} (V2 - V3)$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 为像素电极 3022 所见总电容， $C_{lc}(3018)$ 为液晶电容 3018 电容值， $C_{st}(3014)$ 为储存电容 3014 电容值， $C_{gs}(3026)$ 为寄生电容 3026 电容值。

上述是以图 3 所示第一实施例的像素单元 300 为例，来说明图 10 所示驱动波形的实施，然而值得注意的是，此驱动波形也可应用于图 4 所示的第二实施例像素单元 400 中、图 5 所示的第三实施例像素单元 500 中以及图 6 所示的第四实施例像素单元 600 中。

参阅图 11，其示出栅极驱动波形及子像素的对应电位，请同时参阅图 5。其中三阶波形包含三个电位，其中 $V1 > V2 > V3$ 。图 11 左半部为偶数图框，右半部为奇数图框。首先看到偶数图框部份，此时数据线 5008 写入负极性数据。进入时段 T1 时扫描线 5006 被选择，薄膜晶体管 5010 和 5012 栅极电位上升至 $V1$ ，薄膜晶体管 5010 和 5012 被打开，数据线电位经由薄膜晶体管 5010 和 5012 写入像素电极 5022 和 5024。在时段 T1 快结束时，此时像素电极 5022 和 5024 电位大致相等。当进入时段 T2 时，扫描线 5006 电位下降至电位 $V3$ ，薄膜晶体管 5010 和 5012 关闭，像素电极 5022 和 5024 绝缘。

由于扫描线 5006 分别通过寄生电容 5026 和 5028 耦合于像素电极 5022 和 5024，故时段 T2 时像素电极 5022 和 5024 电位均会受到

扫描线 5006 的电位变化(V1-V3)的影响。

此外，由于扫描线 5002 分别通过储存电容 5014 和 5016 耦合至像素电极 5022 和 5024，故像素电极 5022 和 5024 的电位也受到扫描线 5002 的电位变化 V2-V3 的影响，仅通过调整储存电容 5014 和 5016 不同的电容值将像素电极 5022 和 5024 电位分开，包含不同的伽玛曲线，而达到半色调的效果，并且可利用扫描线的耦合来降低数据线的电位输出范围，达到低功率效果。像素电极 5024 在时段 T2 的电位变化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V3) - \frac{C_{st}(5016)}{C_T(5024)}(V2-V3) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 为像素电极 5024 所见总电容值， $C_{lc}(5020)$ 为液晶电容 5020 电容值， $C_{st}(5016)$ 为储存电容 5016 电容值， $C_{gs}(5028)$ 为寄生电容 5028 电容值。

$\frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$ 为扫描线 5002 电位变化耦合至像素电极 5024 所产生。

像素电极 5022 在时段 T2 的电位变化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V3) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 为像素电极 5022 所见总电容值， $C_{lc}(5018)$ 为液晶电容 5018 电容值， $C_{st}(5014)$ 为储存电容 5014 电容值， $C_{gs}(5026)$ 为寄生电容 5026 电容值。

$\frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$ 为扫描线 5002 电位变化耦合至像素电极 5022 所产生。

参阅图 11 右半部奇数图框部份，此时数据线 5008 写入正极性数据，同时参阅图 5，原理与偶数图框大致相同，其不同之处在于在偶

数图框时段 T2 时, 扫描线 5002 电位由 V2 拉低至 V3。这会使由扫描线 5006 电位变化 V1-V3 所造成的像素电极 5022 和 5024 电位变化绝对值增加。奇数图框时扫描 5002 的三阶驱动波形则不同, 时段 T4 扫描线 5006 电位由 V1 下拉至 V2 将薄膜晶体管 5010 和 5012 关闭, 扫描线 5002 的电位则由 V3 拉回至 V2, 这会造成由扫描线 5006 电位变化 V1-V2 所造成的像素电极 5022 和 5024 的电位变化绝对值增加。像素电极 5024 在时段 T4 的电位变化 $\Delta V(5024)$ 如下:

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V2) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$, $C_T(5024)$ 为像素电极 5024 所见总电容, $C_{lc}(5020)$ 为液晶电容 5020 电容值, $C_{st}(5016)$ 为储存电容 5016 电容值, $C_{gs}(5028)$ 为寄生电容 5028 电容值。

像素电极 5022 在时段 T4 的电位变化 $\Delta V(5022)$ 如下:

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)}(V1-V2) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$, $C_T(5022)$ 为像素电极 5022 所见总电容, $C_{lc}(5018)$ 为液晶电容 5018 电容值, $C_{st}(5014)$ 为储存电容 5014 电容值, $C_{gs}(5026)$ 为寄生电容 5026 电容值。

上述是以图 5 所示第三实施例的像素单元 500 为例, 来说明图 11 所示驱动波形的实施, 然而值得注意的是, 此驱动波形也可应用于图 6 所示的第四实施例像素单元 600 中。

参阅图 12, 其示出栅极驱动波形以及子像素对应电位, 请同时参阅图 5。其中栅极驱动波形为四阶波形, 四阶波形包含四个电位, 即 V1、V2、V3 和 V4, 其中 $V1 > V2 > V3 > V4$ 。当图 12 的四阶波形应用于图 5 所示第三实施例的像素单元时, 利用扫描线 5002 的耦合可以提高或降低像素电位, 如此就可以减少数据线的电位输出范围, 达到低功率效果。

如图 12 偶数图框所示。此时数据线 5008 写入负极性数据。在时段 T1 中, 扫描线 5006 电位上拉至 V1, 薄膜晶体管 5010、5012 打开。在时段 T1 快结束时, 像素电极 5022 和 5024 电位大致相等, 此时扫

描线 5002 则会先下拉至电位 V2。待进入时段 T2，扫描线 5006 电位拉至 V4 将薄膜晶体管 5010、5012 关闭，与此同时扫描线 5002 电位由 V2 继续向下拉回至 V3。

由于扫描线 5006 分别通过寄生电容 5026 和 5028 耦合于像素电极 5022 和 5024，故时段 T2 时像素电极 5022 和 5024 电位均会受到扫描线 5006 的电位变化(V1-V4)的影响。此外，扫描线 5002 通过储存电容 5014 和 5016 耦合至像素电极 5022 和 5024，故像素电极 5022 和 5024 的电位尚且受到扫描线 5002 的影响，借助调整不同的储存电容 5014 和 5016 电容值可使像素电极 5022 与像素电极 5024 电位分开。像素电极 5024 在时段 T2 的电位变化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \frac{C_{gs}(5028)}{C_T(5024)}(V1-V4) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 为像素电极 5024 所见总电容值， $C_{lc}(5020)$ 为液晶电容 5020 电容值， $C_{st}(5016)$ 为储存电容 5016 电容值， $C_{gs}(5028)$ 为寄生电容 5028 电容值。

像素电极 5022 在时段 T2 的电位变化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V4) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 为像素电极 5022 所见总电容值， $C_{lc}(5018)$ 为液晶电容 5018 电容值， $C_{st}(5014)$ 为储存电容 5014 电容值， $C_{gs}(5026)$ 为寄生电容 5026 电容值。

参阅图 12 奇数图框，电位变化顺序有所不同，且此时数据线 5008 写入正极性数据。在时段 T3 中，扫描线 5006 电位上拉至电位 V1 将薄膜晶体管 5010、5012 打开。在时段 T3 快结束时，像素电极 5022 与像素电极 5024 电位大致相等，此时扫描线 5002 下拉至电位 V4。时段 T4 扫描线 5006 下拉至电位 V2 将薄膜晶体管 5010、5012 关闭，此时扫描线 5002 上拉至电位 V3，此减少的电位变化(V3-V4)借助储存电容 5014 和 5016 耦合至像素电极 5022 与 5024 使像素电极 5022 与 5024 电位变化。调整不同的储存电容 5014 和 5016 电容值可使像素电极 5022 与像素电极 5024 电位分开。使用四阶波形的好处在于降

低数据线驱动的驱动电位范围，减少了功率消耗。像素电极 5024 电位变化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)} (V1-V2) - \frac{C_{st}(5016)}{C_T(5024)} (V3-V4) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 为像素电极 5024 所见总电容， $C_{lc}(5020)$ 为液晶电容 5020 电容值， $C_{st}(5016)$ 为储存电容 5016 电容值， $C_{gs}(5028)$ 为寄生电容 5028 电容值。像素电极 5022 的电位变化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)} (V1-V2) - \frac{C_{st}(5014)}{C_T(5022)} (V3-V4) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 为像素电极 5022 所见总电容， $C_{lc}(5018)$ 为液晶电容 5018 电容值， $C_{st}(5014)$ 为储存电容 5014 电容值， $C_{gs}(5026)$ 为寄生电容 5026 电容值。

上述是以图 5 所示第三实施例的像素单元 500 为例，来说明图 12 所示驱动波形的实施，然而值得注意的是，此驱动波形也可应用于图 6 所示的第四实施例像素单元 600 中。

参阅图 13，其示出栅极驱动电位与子像素对应电位。其中栅极驱动电位为二步四阶波形，原理与图 12 的一步四阶驱动波形大致相同，均是利用扫描线的耦合来提高或降低像素电位，以减少数据线的电位输出范围，达到低功率效果。此波形也有四个电位 V1、V2、V3 和 V4，其中 $V1 > V2 > V3 > V4$ ，不同之处在于图 13 的二步四阶驱动波形，电位变化时均会先拉至电位 V3，再到目的电位。如此可解决时间延迟，避免数据写入错误，以及波形不均匀的问题。至于像素电极 5022、5024 电位变化则与使用一步四阶驱动波形所产生的像素电极电位变化一样。

当图 13 所示的驱动波形应用于图 5 所示第三实施例的像素单元时，在偶数图框时，数据线 5008 写入负极性数据。在时段 T1 时，扫描线 5006 电位上拉至 V1，薄膜晶体管 5010、5012 打开，此时扫描线 5002 则会先下拉至电位 V3 再上拉至 V2。待进入时段 T2，扫描线 5006 电位先拉至 V3 再拉至 V4，将薄膜晶体管 5010、5012 关闭。

由于扫描线 5006 分别通过寄生电容 5026 和 5028 耦合于像素电极 5022 和 5024, 故时段 T2 时像素电极 5022 和 5024 电位均会受到扫描线 5006 的电位变化(V1-V4)的影响。待进入时段 T3, 扫描线 5002 电位由 V2 向下拉至 V3。

由于扫描线 5002 分别通过储存电容 5014 和 5016 耦合至像素电极 5022 和 5024, 故像素电极 5022 与 5024 的电位尚且受到扫描线 5002 电位变化 V2-V3 的影响, 使得像素电极 5022 与 5024 的电位变化绝对值增加。借助调整储存电容 5014 和 5016 可将像素电极 5022 和 5024 电位分开。像素电极 5024 在时段 T3 的电位变化 $\Delta V(5024)$ 如下:

$$\Delta V(5024) = \frac{C_{gs}(5028)}{C_T(5024)}(V1-V4) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$, $C_T(5024)$ 为像素电极 5024 所见总电容值, $C_{lc}(5020)$ 为液晶电容 5020 电容值, $C_{st}(5016)$ 为储存电容 5016 电容值, $C_{gs}(5028)$ 为寄生电容 5028 电容值。

像素电极 5022 的电位变化 $\Delta V(5022)$ 如下:

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V4) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$, $C_T(5022)$ 为像素电极 5022 所见总电容值, $C_{lc}(5018)$ 为液晶电容 5018 电容值, $C_{st}(5014)$ 为储存电容 5014 电容值, $C_{gs}(5026)$ 为寄生电容 5026 电容值。

参阅图 13 奇数图框, 电位变化顺序有所不同, 且数据线 5008 写入正极性数据。时段 T4 扫描线 5006 电位上拉至电位 V1 将薄膜晶体管 5010、5012 打开, 此时扫描线 5002 先下拉至电位 V3 再至电位 V4。时段 T5 扫描线 5006 先下拉至电位 V3 再上拉至电位 V2 将薄膜晶体管 5010、5012 关闭, 像素电极 5022 与像素电极 5024 绝缘, 并产生扫描线 5006 的电位变化(V1-V2)。待进入时段 T6, 此时扫描线 5002 上拉至电位 V3 产生电位变化(V3-V4), 造成像素电极 5022 和 5024 的电位变化绝对值减少, 借助调整储存电容 5014 与 5016 可使像素电极 5022 与像素电极 5024 电位分开。使用四阶波形的好处在于能够用来调整的参数更多, 使像素电极 5022 与 5024 间的电位差有更

多不同的变化，液晶显示器色彩表现更为均匀。像素电极 5024 电位变化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)} (V1-V2) - \frac{C_{st}(5016)}{C_T(5024)} (V3-V4) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 为像素电极 5024 所见总电容， $C_{lc}(5020)$ 为液晶电容 5020 电容值， $C_{st}(5016)$ 为储存电容 5016 电容值， $C_{gs}(5028)$ 为寄生电容 5028 电容值。像素电极 5022 的电位变化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)} (V1-V2) - \frac{C_{st}(5014)}{C_T(5022)} (V3-V4) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 为像素电极 5022 所见总电容， $C_{lc}(5018)$ 为液晶电容 5018 电容值， $C_{st}(5014)$ 为储存电容 5014 电容值， $C_{gs}(5026)$ 为寄生电容 5026 电容值。

上述是以图 5 所示第三实施例的像素单元 500 为例，来说明图 12 所示驱动波形的实施，然而值得注意的是，此驱动波形也可应用于图 6 所示的第四实施例像素单元 600 中。

参阅图 14，其示出一步二阶驱动波形。当图 14 所示的驱动波形应用于图 7 所示第五实施例的像素单元时，在偶数图框时，数据线 7008 写入负极性数据。其中第五实施例的像素单元与第一实施例至第四实施例像素单元最大的不同处在于，第五实施例的两薄膜晶体管 7010 与 7022 的设计有些许差异，目的在于让此二薄膜晶体管 7010 与 7022 的充电能力不同，从而将像素电极 7016 与 7028 的电位分开。二阶波形包含两个电位，其中 $V1 > V2$ 。

图 14 左半部为偶数图框，右半部为奇数图框。在偶数图框部份，数据线 7008 写入负极性数据。在时段 T1 时，扫描线 7006 电位上升至 V1，薄膜晶体管 7010 和 7022 被打开，数据线电位由薄膜晶体管 7010 和 7022 被写入至像素电极 7016 和 7022，但因为薄膜晶体管 7010 和 7022 的充电能力不一，造成像素电极 7016 和 7028 的电位分开。当进入时段 T2 时，扫描线 7006 电位下降至电位 V2，薄膜晶体管 7010 和 7012 关闭，像素电极 7016 和 7028 绝缘。

由于扫描线 7006 分别通过寄生电容 7018 和 7030 耦合于像素电极 7016 和 7028，故时段 T2 时像素电极 7016 和 7028 电位均会受到扫描线 7006 的电位变化(V1-V2)的影响。此外，由于偏压线 7002 分别通过储存电容 7014 和 7026 耦合至像素电极 7016 和 7028，故像素电极 7016 和 7028 的电位尚且受到偏压线 7002 电位变化(V1-V2)的影响，由于在时段 T2 中偏压线 7002 的电位由 V2 拉至 V1，此电位变化(V1-V2)耦合至像素电极 7016 与 7028，造成像素电极 7016 与 7028 电位变化绝对值减少。借助调整可变储存电容 7014 和 7026 可进一步分离像素电极 7016 与 7028 电位。像素电极 7016 的电位变化 $\Delta V(7016)$ 如下：

$$\Delta V(7016) = \left| \frac{C_{gs}(7018)}{C_T(7016)} (V1-V2) - \frac{C_{st}(7014)}{C_T(7016)} (V1-V2) \right|$$

其中 $C_T(7016) = C_{lc}(7020) + C_{st}(7014) + C_{gs}(7018)$ ， $C_T(7016)$ 为像素电极 7016 所见总电容值， $C_{lc}(7020)$ 为液晶电容 7020 电容值， $C_{gs}(7018)$ 为寄生电容 7018 电容值。 $\frac{C_{st}(7014)}{C_T(7016)} (V1-V2)$ 为偏压线 7002 电位变化耦合至像素电极 7016 所产生。

像素电极 7028 的电位变化 $\Delta V(7028)$ 如下：

$$\Delta V(7028) = \left| \frac{C_{gs}(7030)}{C_T(7028)} (V1-V2) - \frac{C_{st}(7026)}{C_T(7028)} (V1-V2) \right|$$

其中 $C_T(7028) = C_{lc}(7032) + C_{st}(7026) + C_{gs}(7030)$ ， $C_T(7028)$ 为像素电极 7028 所见总电容值， $C_{lc}(7032)$ 为液晶电容 7032 电容值， $C_{gs}(7030)$ 为寄生电容 7030 电容值。 $\frac{C_{st}(7026)}{C_T(7028)} (V1-V2)$ 为偏压线 7002 电位变化耦合至像素电极 7028 所产生。

奇数图框部份，数据线 7008 写入正极性数据。在时段 T3 时，扫描线 7006 电位上升至 V1，薄膜晶体管 7010 和 7022 被打开，数据线电位由薄膜晶体管 7010 和 7022 被写入至像素电极 7016 和 7028，但

因为薄膜晶体管 7010 和 7022 的充电能力不一，造成像素电极 7016 和 7028 的电位分开。当进入时段 T4 时，扫描线 7006 电位下降至电位 V2，薄膜晶体管 7010 和 7012 关闭，像素电极 7016 和 7028 绝缘。

由于扫描线 7006 分别通过寄生电容 7018 和 7030 耦合于像素电极 7016 和 7028，故时段 T4 时像素电极 7016 和 7028 电位均会受到扫描线 7006 的电位变化(V1-V2)的影响。此外，由于偏压线 7002 分别通过储存电容 7014 和 7026 耦合至像素电极 7016 和 7028，故像素电极 7016 和 7028 的电位尚且受到偏压线 7002 电位变化的影响，由于在时段 T4 中偏压线 7002 的电位由 V1 拉回至 V2，此增加的电位变化(V1-V2)耦合至像素电极 7016 与 7028，造成像素电极 7016 与 7028 电位变化绝对值增加。借助调整储存电容 7014 和 7026 可进一步分离像素电极 7016 与 7028 电位。像素电极 7016 的电位变化 $\Delta V(7016)$ 如下；

$$\Delta V(7016) = \left| \frac{C_{gs}(7018)}{C_T(7016)} (V1-V2) + \frac{C_{st}(7014)}{C_T(7016)} (V1-V2) \right|$$

其中 $C_T(7016) = C_{lc}(7020) + C_{st}(7014) + C_{gs}(7018)$ ， $C_T(7016)$ 为像素电极 7016 所见总电容值， $C_{lc}(7020)$ 为液晶电容 7020 电容值， $C_{st}(7014)$ 为储存电容 7014 电容值， $C_{gs}(7018)$ 为寄生电容 7018 电容值。

$\frac{C_{st}(7014)}{C_T(7016)} (V1-V2)$ 为偏压线 7002 电位变化耦合至像素电极 7016 所产生。

像素电极 7028 的电位变化 $\Delta V(7028)$ 如下：

$$\Delta V(7028) = \left| \frac{C_{gs}(7030)}{C_T(7028)} (V1-V2) + \frac{C_{st}(7026)}{C_T(7028)} (V1-V2) \right|$$

其中 $C_T(7028) = C_{lc}(7032) + C_{st}(7026) + C_{gs}(7030)$ ， $C_T(7028)$ 为像素电极 7028 所见总电容值， $C_{lc}(7032)$ 为液晶电容 7032 电容值， $C_{st}(7026)$ 为储存电容 7026 电容值， $C_{gs}(7030)$ 为寄生电容 7030 电容值。

$\frac{C_{st}(7026)}{C_T(7028)} (V1-V2)$ 为偏压线 7002 电位变化耦合至像素电极 7028 所产生。

综上所述，本发明通过将像素单元区隔成两子像素，而每一子像素中包含独立的薄膜晶体管、液晶电容与储存电容，从而两子像素所形成的不同种像素电压互相补偿与平均，可缓和像素单元内的色偏现象

虽然本发明已以数个实施例披露如上，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围内，可做出各种变更与修改，因此本发明的保护范围当以后附的权利要求所界定的为准。

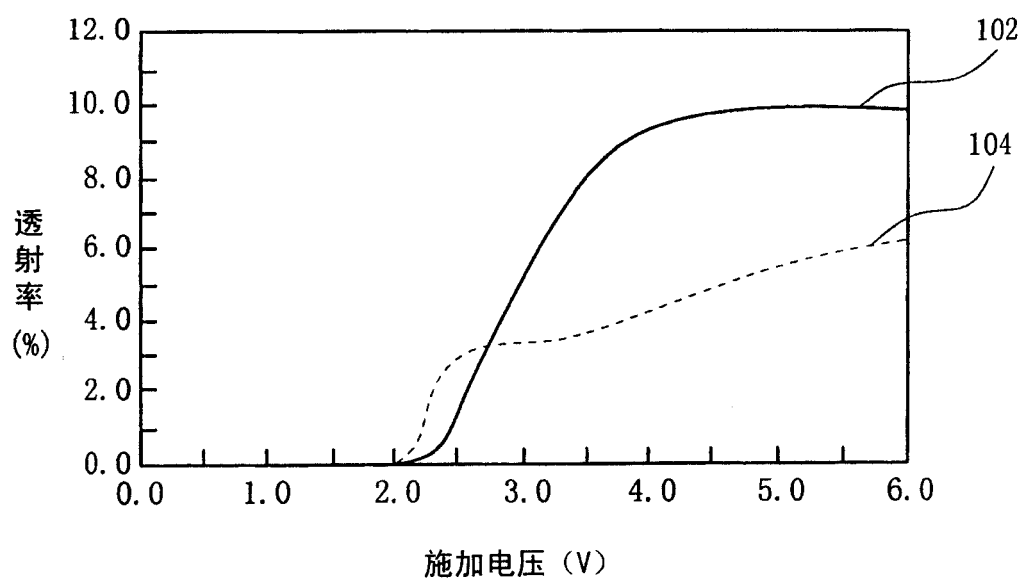


图1A

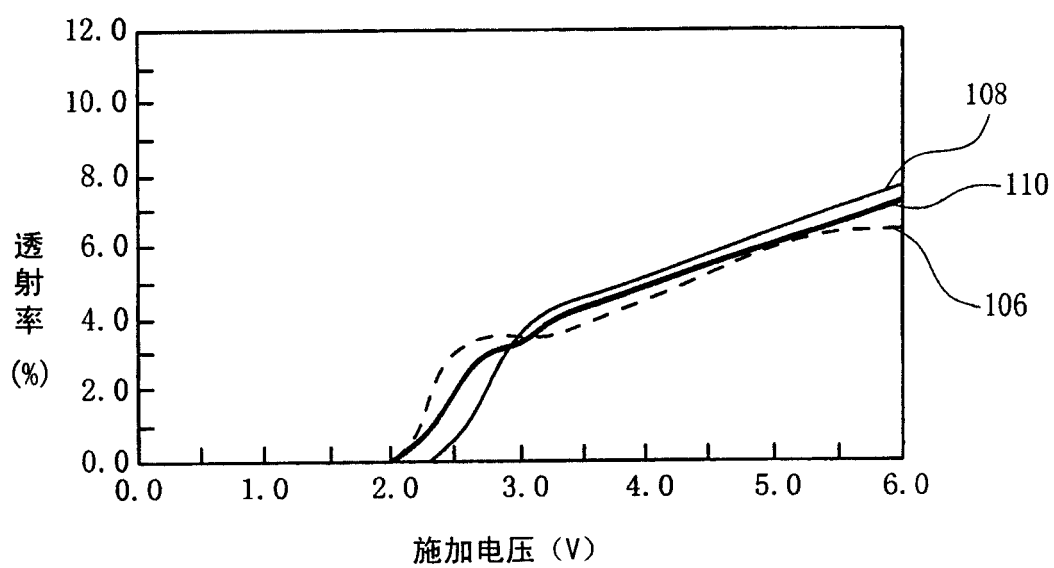


图1B

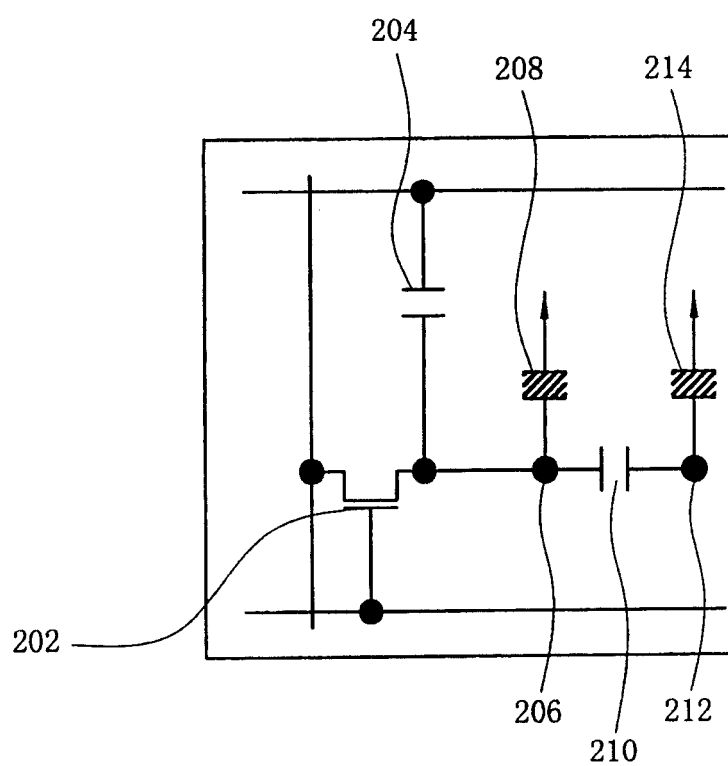


图2A

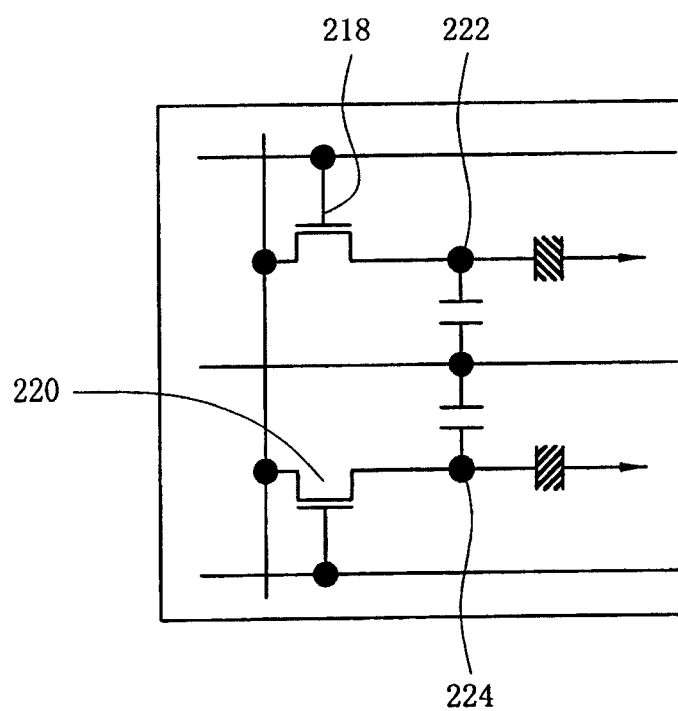


图2B

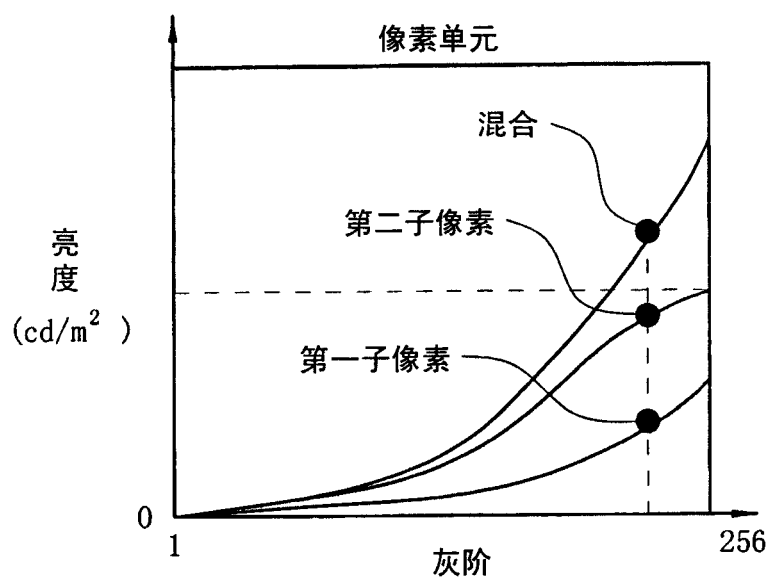


图2C

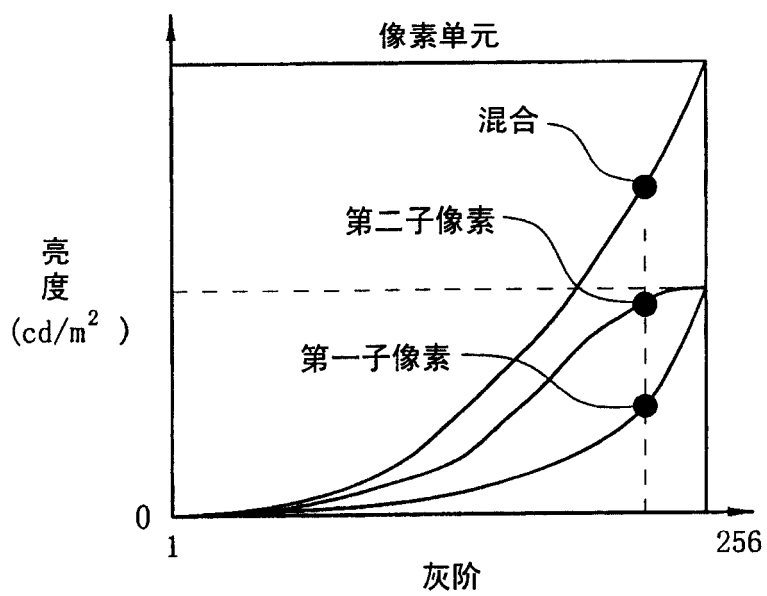


图2D

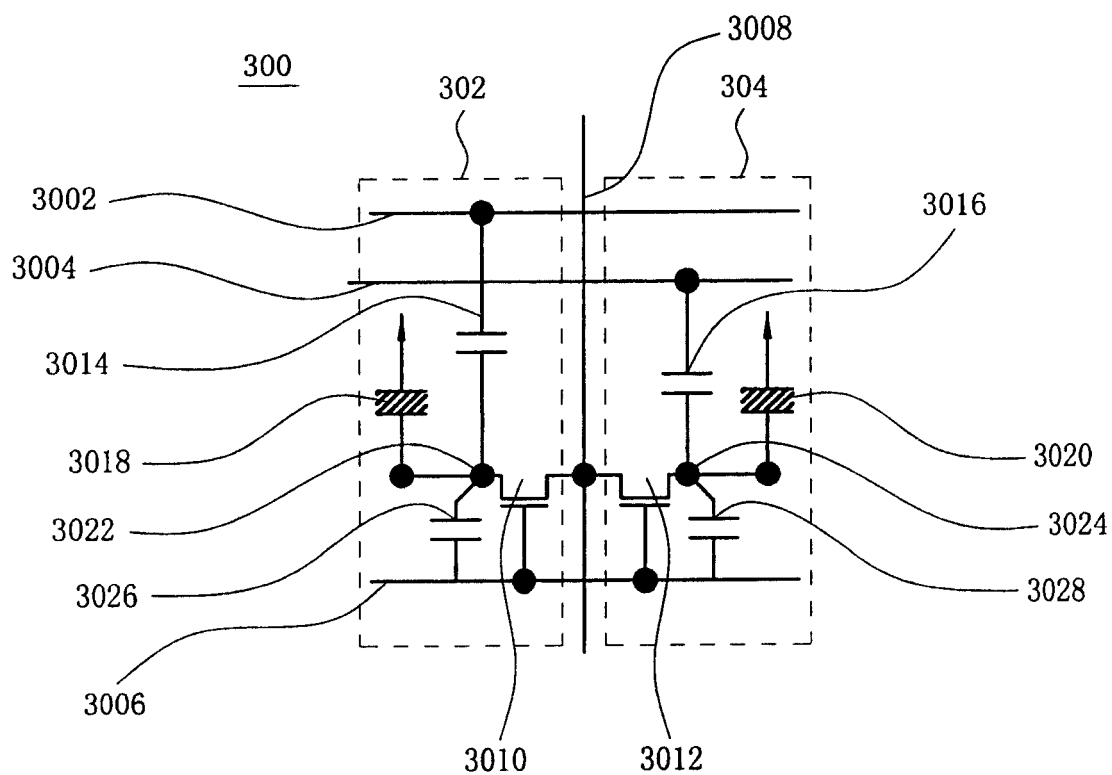


图3

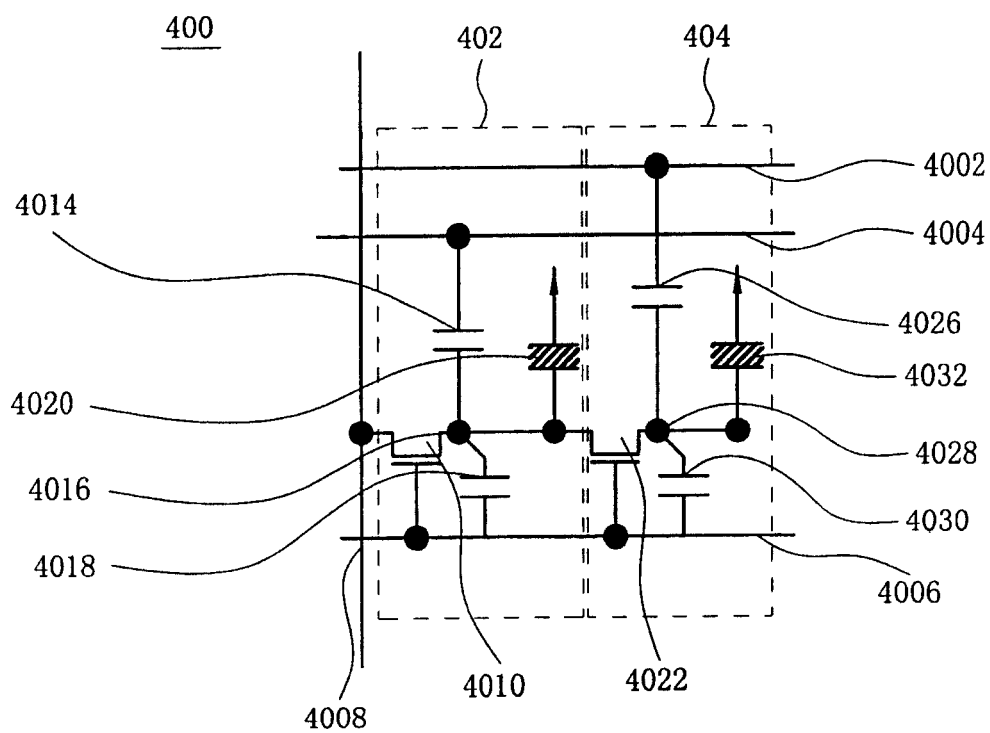


图4

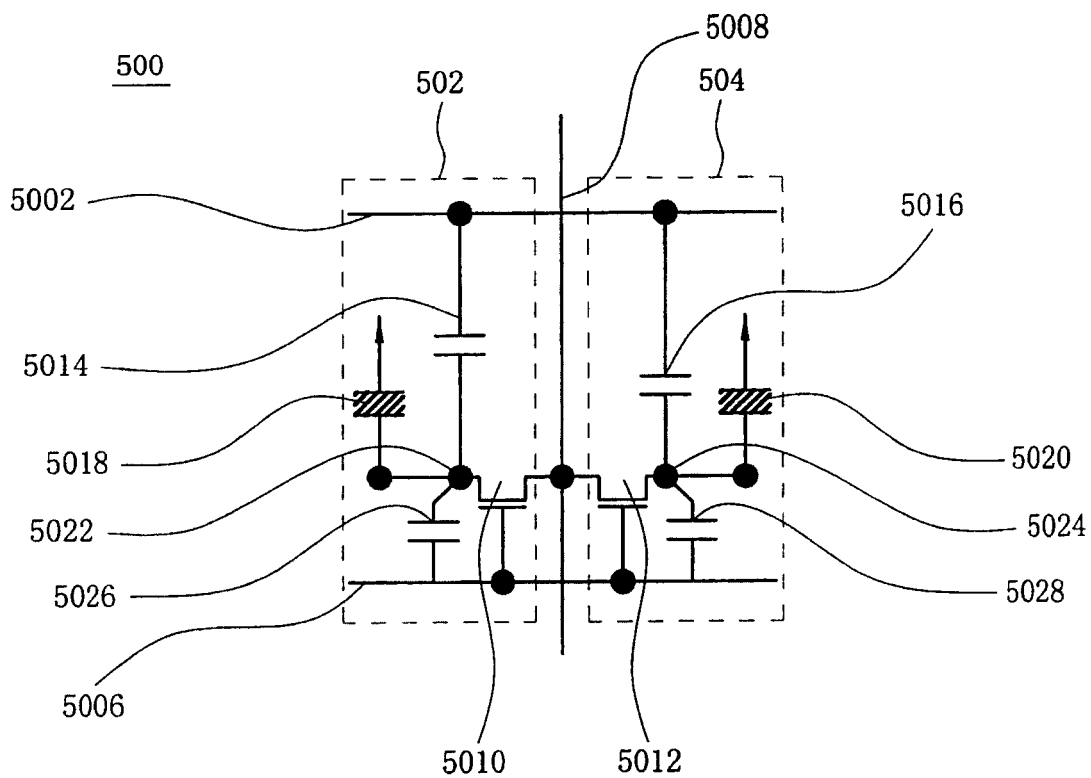


图5

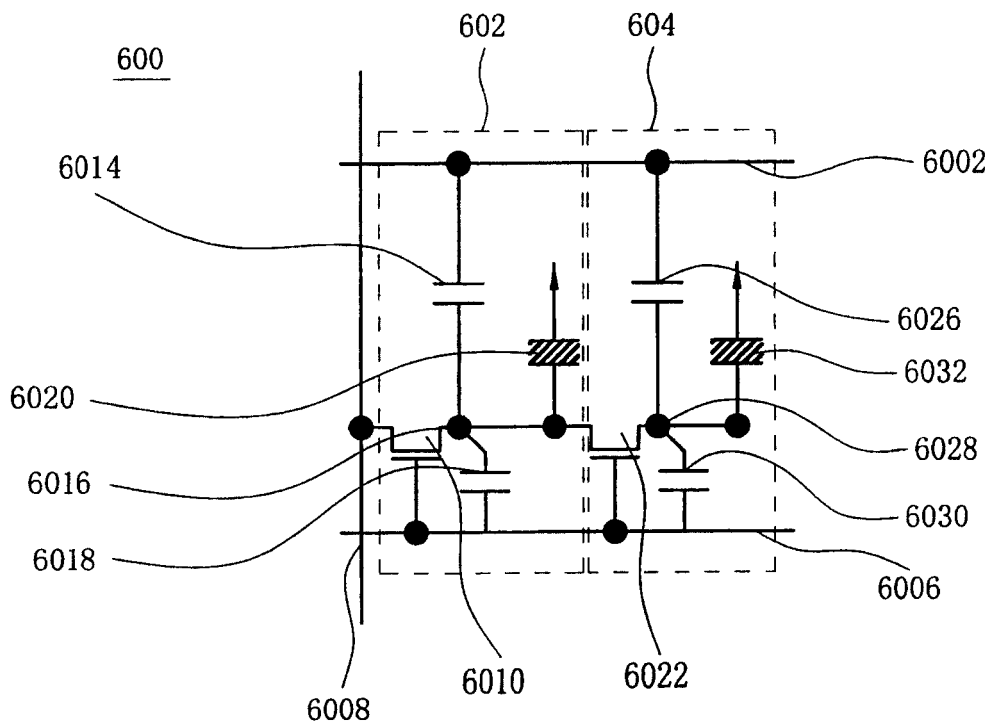


图6

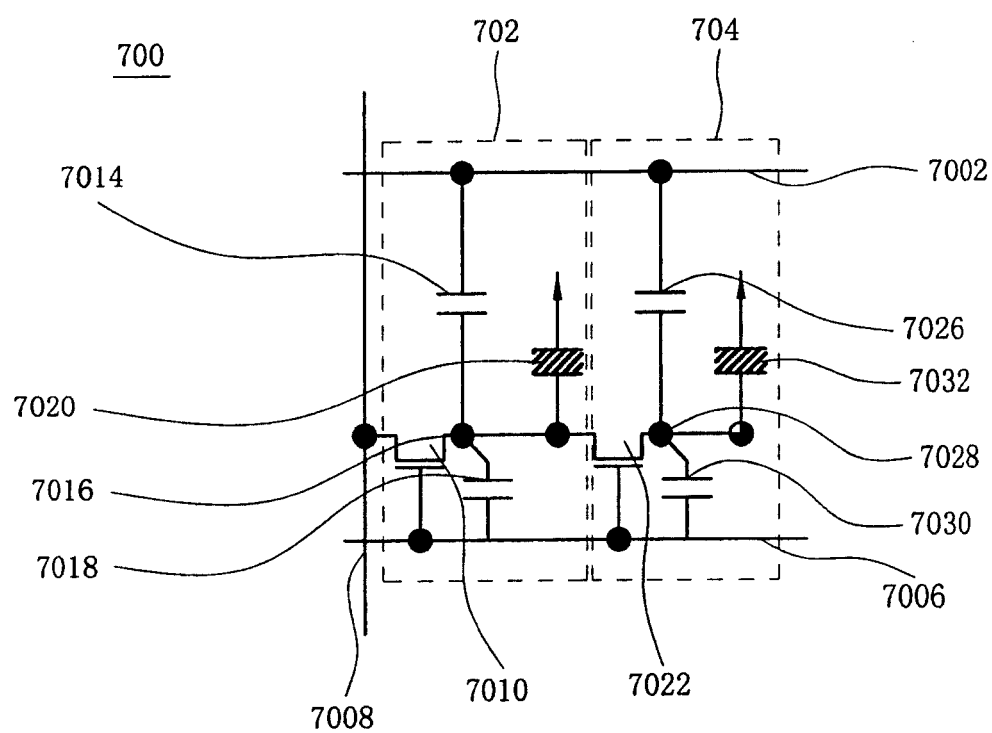


图7

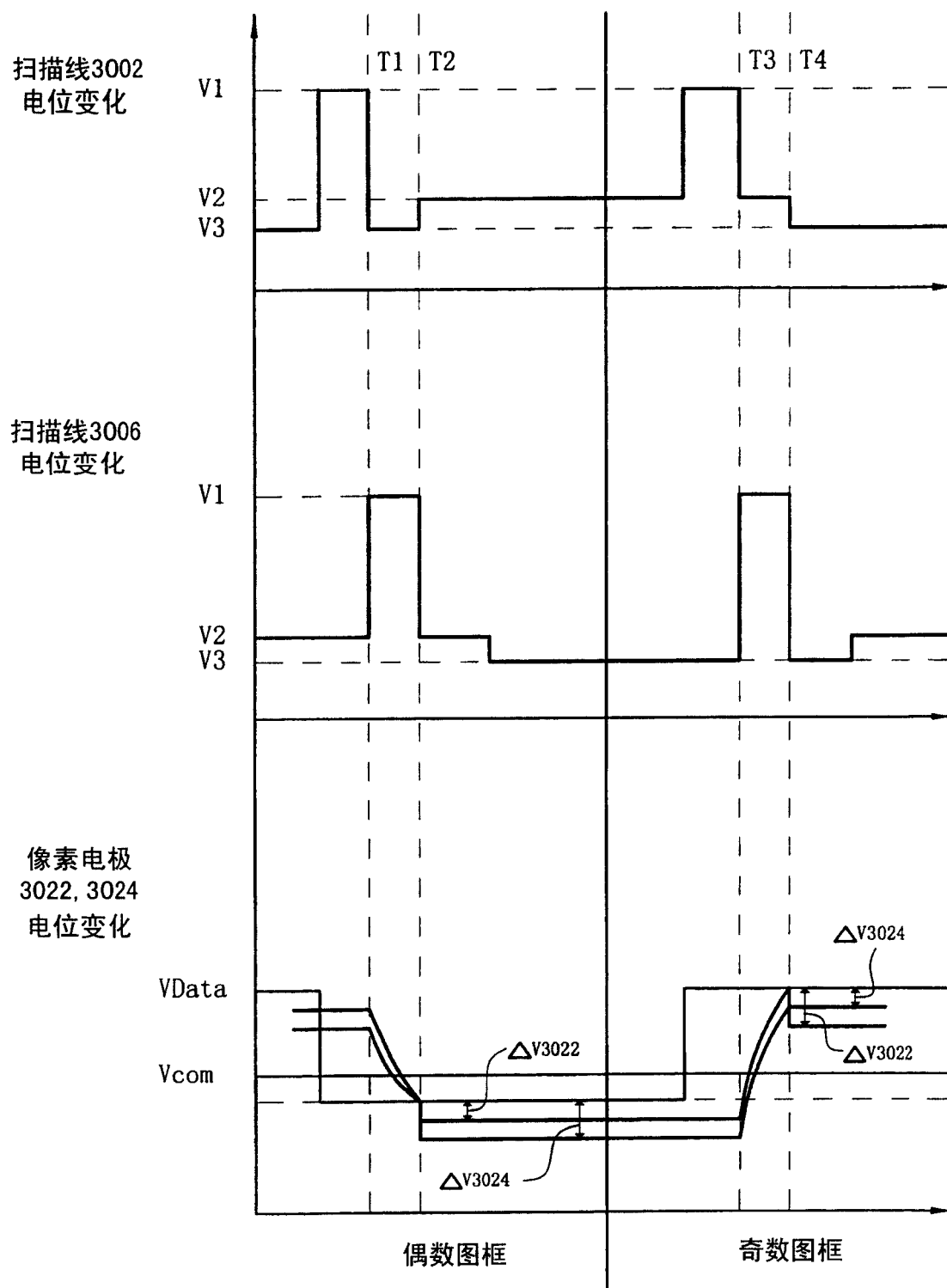


图8

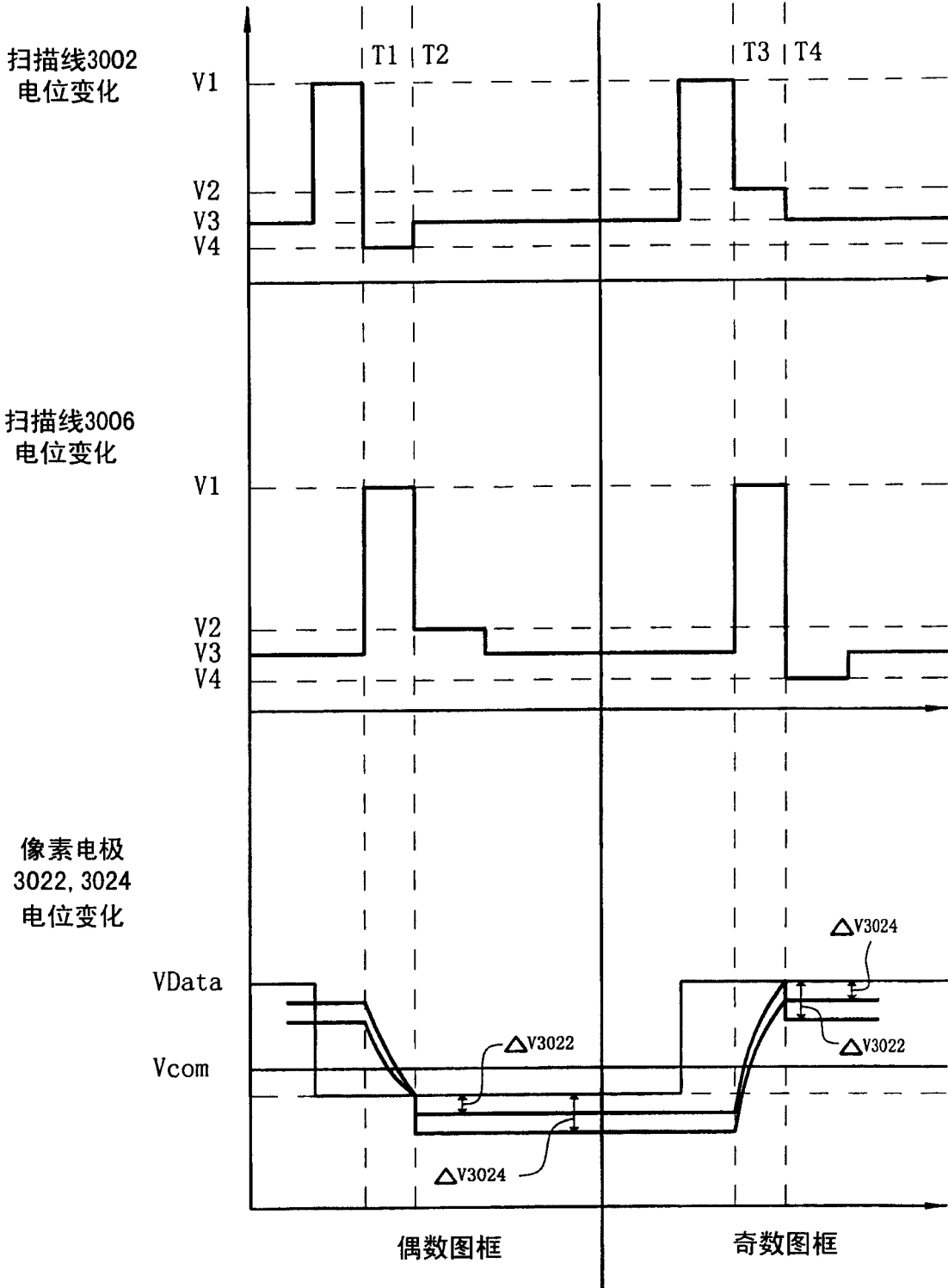


图9

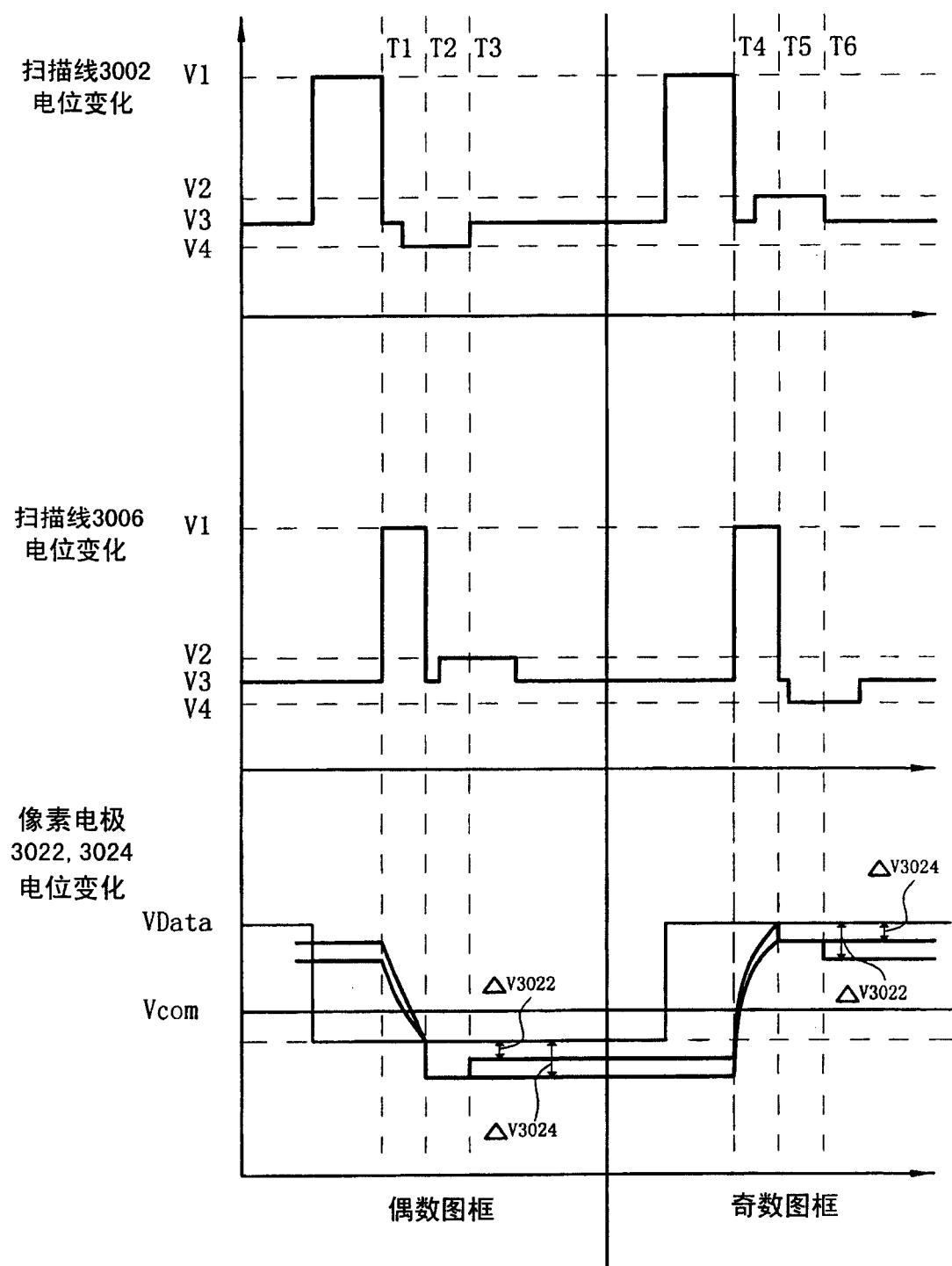


图10

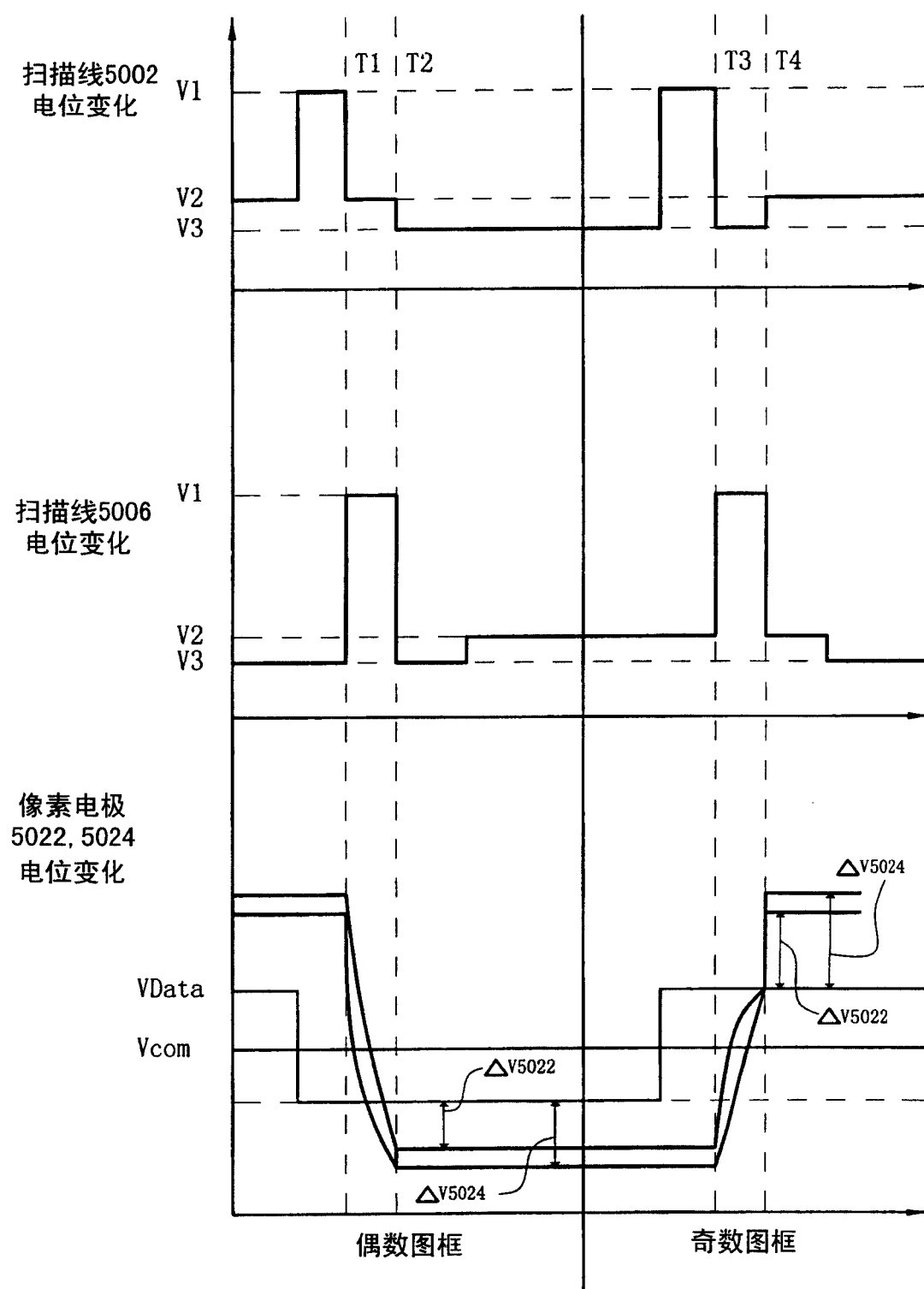


图11

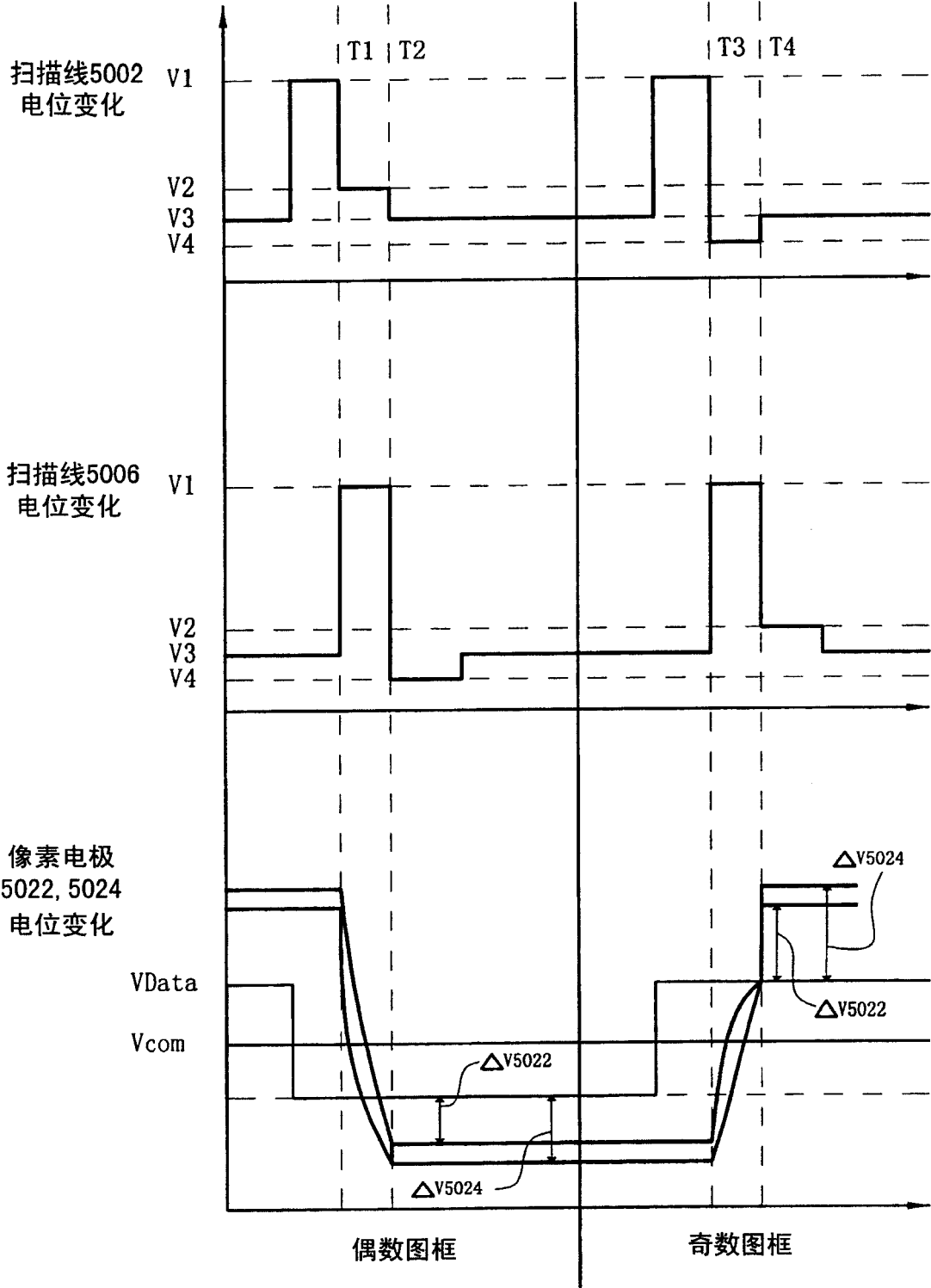


图12

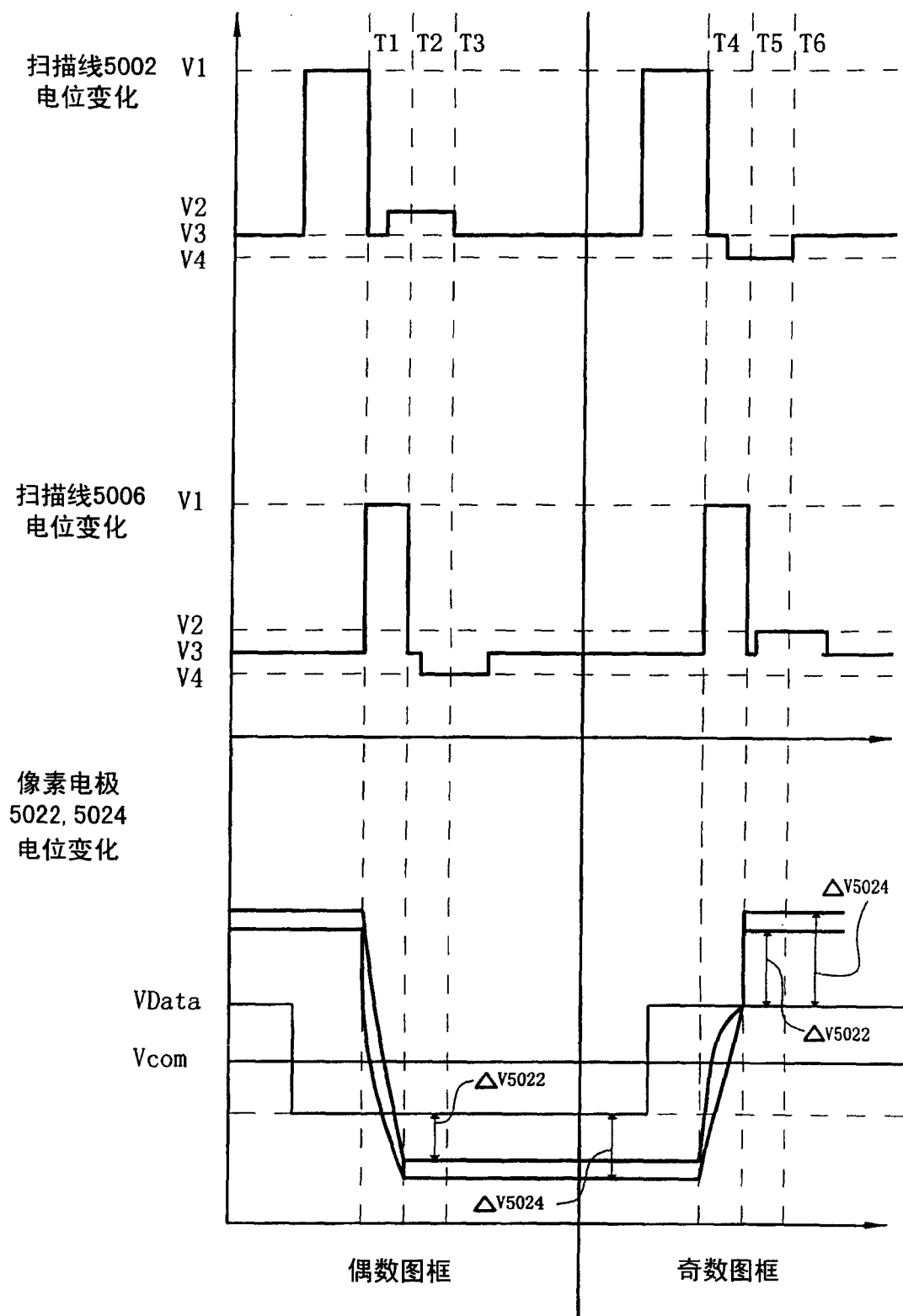


图13

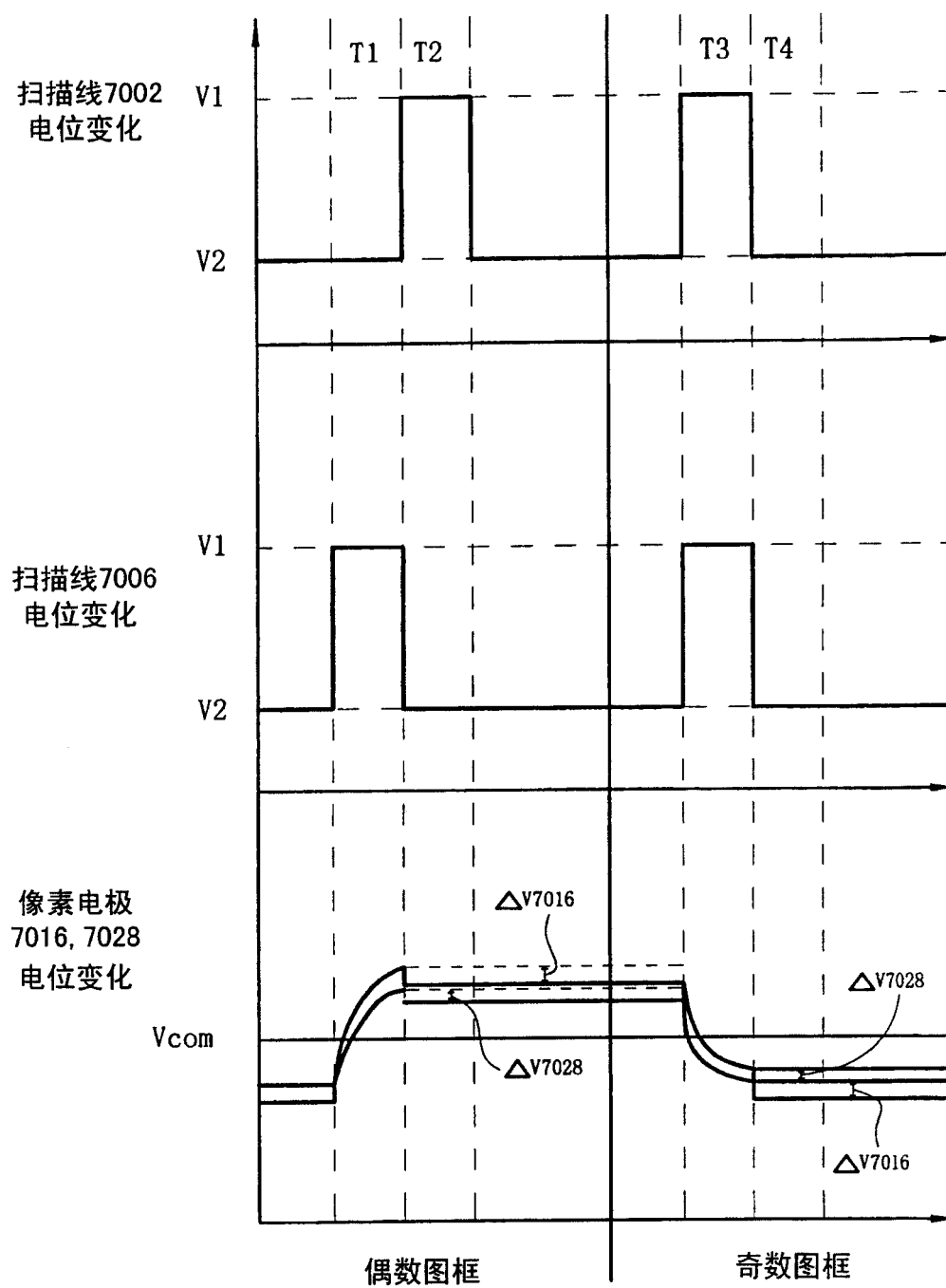


图14

专利名称(译)	液晶显示器结构		
公开(公告)号	CN101109878A	公开(公告)日	2008-01-23
申请号	CN200610105759.1	申请日	2006-07-19
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	陈柏仰 施博盛		
发明人	陈柏仰 施博盛		
IPC分类号	G02F1/136 G02F1/133 G09G3/36		
代理人(译)	王英		
其他公开文献	CN100504557C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提出一种液晶显示器，其结构至少包含多个由相邻扫描线和数据线定义的像素单元，每一像素单元包含两个子像素，每一子像素包含储存电容，分别耦接至不同的电压源来调整像素电极电压。

