

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

H01L 21/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610160986.4

[43] 公开日 2008年1月2日

[11] 公开号 CN 101097368A

[22] 申请日 2006.12.11

[21] 申请号 200610160986.4

[30] 优先权

[32] 2006.6.27 [33] KR [31] 10-2006-0058231

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 权起莹 黄光熙

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

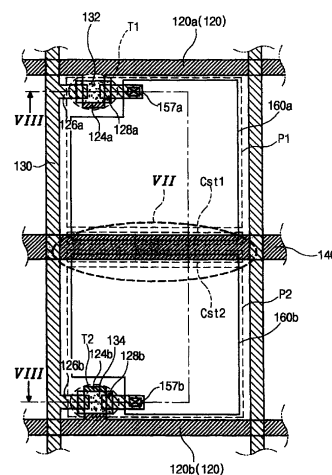
权利要求书 2 页 说明书 8 页 附图 8 页

[54] 发明名称

用于液晶显示器件的阵列基板及其制造方法

[57] 摘要

本发明公开一种用于液晶显示器件的阵列基板，其包括彼此间隔开的第一和第二栅线，位于第一和第二栅线之间并与第一和第二栅线平行设置的公共线，与第一和第二栅线交叉以限定参照公共线的第一和第二像素区域的数据线，位于第一栅线和数据线的交叉部分处的第一薄膜晶体管，位于第二栅线和数据线的交叉部分处的第二薄膜晶体管，与位于第一像素区域中的第一薄膜晶体管相连接的第一像素电极，以及与位于第二像素区域中的第二薄膜晶体管相连接的第二像素电极，其中第一和第二像素电极参照公共线具有对称形状。



1. 一种用于液晶显示器件的阵列基板，包括：
彼此间隔并设置在基板上的第一和第二栅线；
位于所述第一和第二栅线之间并与所述第一和第二栅线平行设置的公共线；
与所述第一和第二栅线分别交叉以限定参照所述公共线的第一和第二像素区域的数据线；
位于所述第一栅线和数据线的交叉部分处的第一薄膜晶体管；
位于所述第二栅线和数据线的交叉部分处的第二薄膜晶体管；
与位于第一像素区域中的所述第一薄膜晶体管相连接的第一像素电极；以及
与位于第二像素区域中的所述第二薄膜晶体管相连接的第二像素电极，
其中所述第一和第二像素电极参照所述公共线具有对称形状，并且其中所述第一和第二像素电极的各自端部与所述公共线交叠。
2. 根据权利要求1所述的基板，其特征在于，所述第一薄膜晶体管包括与所述第一栅线连接的第一栅极，位于所述第一栅线上方的第一半导体层，以及参照所述第一栅极彼此间隔开的第一源极和第一漏极，并且所述第二薄膜晶体管包括与所述第二栅线连接的第二栅极，位于所述第二栅线上方的第二半导体层，以及参照所述第二栅极彼此间隔开的第二源极和第二漏极。
3. 根据权利要求1所述的基板，其特征在于，还包括位于所述公共线和所述像素电极之间的绝缘层。
4. 根据权利要求3所述的基板，其特征在于，所述公共线和所述第一像素电极的交叠部分与所述绝缘层构成第一存储电容，并且所述公共线和所述第二像素电极的交叠部分与所述绝缘层构成第二存储电容。
5. 根据权利要求4所述的基板，其特征在于，所述第一和第二存储电容具有基本上相似的电容。
6. 一种制造用于液晶显示器件的阵列基板的方法，包括：
形成彼此间隔开的第一和第二栅线以及分别与所述第一和第二栅线相连接的第一和第二栅极；

在所述第一和第二栅线之间形成与所述第一和第二栅线平行的公共线；

形成分别与所述第一和第二栅线交叉以限定参照所述公共线的第一和第二像素区域的数据线，与所述数据线相连接的第一和第二源极，分别与所述第一和第二源极间隔开的第一和第二漏极；以及

形成与位于第一像素区域中的所述第一漏极相连接的第一像素电极，以及与位于第二像素区域中的所述第二漏极相连接的第二像素电极，

其中所述第一和第二像素电极参照所述公共线具有对称形状，并且其中所述第一和第二像素电极的各自端部与所述公共线交叠。

7. 根据权利要求6所述的基板，其特征在于，还包括在所述第一和第二栅线以及所述第一和第二栅极上形成栅绝缘层。

8. 根据权利要求6所述的方法，其特征在于，形成所述公共线的同时形成所述第一和第二栅线和所述第一和第二栅极。

9. 根据权利要求8所述的方法，其特征在于，还包括在所述数据线、所述第一和第二源极和所述第一和第二漏极上形成钝化层。

10. 根据权利要求9所述的方法，其特征在于，所述公共线和所述第一像素电极与所述栅绝缘层和钝化层的交叠部分构成第一存储电极，以及所述公共线和所述第二像素电极与所述栅绝缘层和钝化层的交叠部分构成第二存储电容。

11. 根据权利要求9所述的方法，其特征在于，形成所述钝化层包括形成分别暴露所述第一和第二漏极的一部分的第一和第二漏接触孔。

12. 根据权利要求11所述的方法，其特征在于，所述第一像素电极经由所述第一漏接触孔与所述第一漏极相连接，以及所述第二像素电极经由所述第二漏接触孔与所述第二漏极相连接。

用于液晶显示器件的阵列基板及其制造方法

本申请要求享有 2006 年 6 月 27 日在韩国递交的韩国专利申请第 10-2006-058231 号的权益，在此引用其全部作为参考。

技术领域

本发明涉及一种液晶显示 (LCD) 器件，尤其是涉及一种用于具有高孔径比的 LCD 器件的阵列基板及其制造方法。

背景技术

一般地，LCD 器件利用液晶分子的光学各向异性和极性特性而显示图像。细长形状的液晶分子具有方向性。液晶分子的排列方向可通过对液晶分子施加电场来控制。随着电场强度的改变，液晶分子的排列相应改变。由于通过液晶的入射光的折射取决于液晶分子的取向，因此可通过控制入射光的强度而显示图像。

另外，LCD 器件包括具有滤色片和公共电极的滤色片基板，具有像素电极的阵列基板，在该滤色片基板和阵列基板之间的液晶层。由于 LCD 器件利用公共电极和像素电极之间产生的垂直电场进行驱动，所以 LCD 器件具有高透光率和较高孔径比。

一般地，像素电极和公共电极构成液晶电容。存储电容与液晶电容相连接从而施加在液晶电容上的电压可维持至下一信号施加到液晶电容。存储电容可以两种方式形成。第一，存储电容可为存储-公共 (storage-on-common) 类型，其中存储电容的电容电极其中之一与施加有公共电压的公共线相连接。第二，其可为存储-栅 (storage-on-gate) 类型，其中将第 (n-1) 条栅线的一部分用于作为第 n 条栅线的存储电容的电容电极的其中之一。

在存储-栅类型中，由于利用栅电压的低电平电压作为存储电容电压，因此不需要附加的公共线。然而，由于栅信号的耦合，存在包括干扰的问题。另一方面，在存储-公共类型中，栅信号中不存在干扰。而且，具有可获得充足

的存储电容的优势。然而，由于漏光使孔径比降低。

有源矩阵 LCD (AM-LCD) 器件被普遍使用。AM-LCD 器件具有设置为矩阵形式的薄膜晶体管 (TFT) 和与 TFT 相连接的像素电极。由于在显示运动图像中具有高分辨率和优越性，已研发了 AM-LCD 器件。

图 1 为现有技术的用于有源矩阵液晶器件的存储公共类型阵列基板的平面示意图。在图 1 中，多条栅线 20 沿第一方向形成在基板 10 上。多条数据线 30 沿与第一方向交叉的第二方向形成以限定多个像素区域“P”。

薄膜晶体管“T”形成在各条栅线 20 和各条数据线 30 的交叉处。在各像素区域“P”中像素电极 60 与薄膜晶体管“T”连接。另外，多条公共线 40 沿第一方向并平行于栅线 20 形成。公共线 40 通过像素区域“P”。

图 2 为图 1 的区域“II”的透视图。在图 2 中，栅极 24 与栅线 20 相连接。源极 26 与数据线 30 相连接。漏极 28 与源极 26 分隔开。这里，源极 26 和漏极 28 参照二者之间的栅极 24 具有间隔。另外，具有岛状的半导体层 32 设置在栅极 24 上方。栅极 24、半导体层 32、源极 26 和漏极 28 构成薄膜晶体管“T”。钝化层（未示出）形成在薄膜晶体管“T”上并且漏接触孔 57 形成在该钝化层中。像素电极 60 经由漏接触孔 57 与漏极 28 电连接。

这里，像素电极 60 和公共线 40 的交叠区域构成存储电容“Cst”。与像素电极 60 交叠的公共线 40 的一部分作为第一电容电极。与公共线 40 交叠的像素电极 60 的一部分作为第二电容电极。因此，第一电容电极、第二电容电极以及第一电容电极和第二电容电极之间的绝缘层（未示出）构成存储电容“Cst”。

这里，像素区域“P”中像素电极 60 的尺寸与孔径比成比例。然而，在存储公共类型中，公共线 40 与像素区域“P”中的像素电极 60 交叠。因此，存储-公共类型电容“Cst”的孔径比降低。

图 3A 到图 3C 为沿着图 2 的“III-III”线提取的描述现有技术制造用于 LCD 器件的阵列基板的方法的截面示意图。在图 3A 中，栅极 24 和公共线 40 形成在基板 10 上。栅绝缘层 45 形成在栅极 24 和公共线 40 上。

在图 3B 中，通过在栅绝缘层 45 上依次形成有源层 32a 和欧姆接触层 32b 形成半导体层 32。彼此间隔的源极 26 和漏极 28 形成在半导体层 32 上。在该步骤中，去除源极 26 和漏极 28 之间的欧姆接触层 32b 的一部分以暴露对应于

该欧姆接触层 32b 的一部分的有源层 32a 的一部分。被暴露的有源层 32a 的一部分定义为沟道“ch”。栅极 24、半导体层 32、源极 26 和漏极 28 构成薄膜晶体管“T”。

在图 3C 中，钝化层 55 形成在薄膜晶体管“T”上。在该步骤中，通过暴露钝化层 55 中的漏极 28 的一部分形成漏接触孔 57。接下来，像素电极 60 形成在钝化层 55 上并经由漏接触孔 57 与漏极 28 相连接。公共线 40 和像素电极 60 的交叠区域以及二者之间的栅绝缘层 45 和钝化层 55 构成存储电容“Cst”。这里，与像素电极 60 交叠的公共线 40 的一部分作为第一电容电极。与公共线 40 交叠的像素电极 60 的一部分作为第二电容电极。因此，完成了存储-公共类型的存储电容“Cst”。

图 4 为图 2 的区域“IV”的剖视图。在图 4 中，存储-公共类型存储电容包括作为第一电容电极的与像素电极交叠的公共线的一部分，与公共线交叠的像素电极的一部分，以及公共线和像素电极之间的绝缘层。在存储-公共类型存储电容中，施加在公共线 40 上的电压和施加在像素电极 60 上的电压之间存在失真。因此，很难控制对应于公共线 40 和像素电极 60 的液晶。因而，在公共线 40 的两侧“LR”处存在漏光。结果，暗图像的亮度增加，导致孔径比降低。

另外，如果通过降低像素区域“P”中的公共线 40 的宽度而增加孔径比，则公共线 40 的电阻增加，其将引起电压降。另一方面，当公共线的宽度增加时，提供的存储电压将变得不稳定并且孔径比降低。

发明内容

因此，本发明涉及一种液晶显示器件及其制造方法，其基本上消除了由于现有技术的局限和不足导致的一个或多个问题。

本发明的一个目的在于提供一种用于 LCD 器件的阵列基板及其制造方法，其中通过降低公共线和像素电极之间的信号失真并且通过减少漏光而改善孔径比。

本发明的另一目的在于提供一种用于 LCD 器件的阵列基板及其制造方法，其中由于通过降低公共线的宽度限制将存储电压稳定地提供在公共线中而提高了图像质量并改善了孔径比。两个像素形成为一对以具有对称结构，并且

公共线设置在两个像素的对称轴上。

在以下的说明中将部分地述及本发明的其它优点和特征，而这些特征和优点中的另一部分将能够从这些说明中明显得到，或是通过本发明的实践而获得。通过文字说明和权利要求以及附图中特别指出的结构可以实现和获得本发明的这些和其他优点。

为了实现这些和其它优点并根据如本文具体地和概括地描述的本发明的目的，一种用于 LCD 器件的阵列基板包括，彼此间隔开并设置在基板上的第一和第二栅线，位于第一和第二栅线之间并与第一和第二栅线平行设置的公共线，与第一和第二栅线分别交叉以限定参照公共线的第一和第二像素区域的数据线，位于第一栅线和数据线的交叉部分处的第一薄膜晶体管，位于第二栅线和数据线的交叉部分处的第二薄膜晶体管，与位于第一像素区域中的第一薄膜晶体管相连接的第一像素电极，以及与位于第二像素区域中的第二薄膜晶体管相连接的第二像素电极，其中第一和第二像素电极参照公共线具有对称形状，并且其中第一和第二像素电极的各自端部与公共线交叠。

另一方面，一种制造用于液晶显示器件的阵列基板的方法包括，形成彼此间隔开的第一和第二栅线以及分别与该第一和第二栅线相连接的第一和第二栅极，在第一和第二栅线之间形成与该第一和第二栅线平行的公共线，形成分别与第一和第二栅线交叉以限定参照公共线的第一和第二像素区域的数据线，与数据线相连接的第一和第二源极，分别与第一和第二源极间隔开的第一和第二漏极，以及形成与位于第一像素区域中的第一漏极相连接的第一像素电极，与位于第二像素区域中的第二漏极相连接的第二像素电极，其中第一和第二像素电极参照公共线具有对称形状，并且其中第一和第二像素电极的各自端部与公共线交叠。

应当理解，以上一般的描述和以下详细的描述都是示例性和解释性的，并意在提供对要求保护的本发明的进一步解释。

附图说明

附图提供对本发明的进一步理解，其包含在说明书中并构成说明书的一部分，说明本发明的实施方式并且与说明书一起用于解释本发明的原理。在附图中：

图 1 示出了现有技术用于有源矩阵液晶显示器件的存储-公共类型阵列基板的平面示意图；

图 2 示出了现有技术中图 1 的区域“II”的剖视图；

图 3A 到图 3C 示出了沿着图 2 的“III-III”线提取的现有技术中制造用于 LCD 器件的阵列基板的方法的截面示意图；

图 4 示出了现有技术中图 2 的区域“IV”的剖视图；

图 5 示出了根据本发明示例性实施方式的用于 LCD 器件的阵列基板的平面示意图；

图 6 示出了根据本发明示例性实施方式的图 5 的区域“VI”的两个像素区域的剖视图；

图 7 示出了根据本发明示例性实施方式的图 6 的区域“VII”的剖视图；

图 8A 到图 8E 示出了沿着图 6 的“VIII-VIII”线提取的制造根据本发明示例性实施方式用于 LCD 器件的阵列基板的方法的截面示意图。

具体实施方式

将参照附图中描述的实例对优选的示例性实施方式进行详细描述。

图 5 为根据本发明示例性实施方式用于 LCD 器件的阵列基板的平面示意图，图 6 为根据本发明示例性实施方式的图 5 的区域“VI”的两个像素区域的剖视图，图 7 为根据本发明示例性实施方式的图 6 的区域“VII”的剖视图。在图 5、图 6 和图 7 中，多条栅线 120 沿第一方向形成在基板 100 上，并且多条数据线 130 沿与第一方向交叉的第二方向形成。栅线 120 包括彼此间隔的第一和第二栅线 120a、120b。第一栅极 124a 从第一栅线 120a 延伸，并且第二栅极 124b 从第二栅线 120b 延伸。这里，第一和第二栅极 124a、124b 彼此相对并具有对称形状。

另外，第一源极 126a 和第一漏极 128a 参照第一栅极 124a 彼此间隔开。第二源极 126b 和第二漏极 128b 参照第二栅极 124b 彼此间隔开。这里，第一和第二源极 126a、126b 从数据线 130 延伸。另外，具有岛状的第一和第二半导体层 132、134 分别设置在第一和第二栅极 124a、124b 上。第一栅极 124a、第一半导体层 132、第一源极 126a 和第一漏极 128a 构成第一薄膜晶体管“T1”。第二栅极 124b、第二半导体层 134、第二源极 126b 和第二漏极 128b 构成第二

薄膜晶体管“T2”。

第一和第二薄膜晶体管 T1、T2 彼此相对并具有对称形状。第一和第二像素电极 160a、160b 分别与第一和第二薄膜晶体管 T1、T2 相连接。第一和第二漏接触孔 157a、157b 形成在钝化层中以分别暴露第一和第二漏极 128a、128b。

另外，公共线 140 沿第一方向设置。公共线 140 设置在第一和第二薄膜晶体管 T1、T2 之间的对称轴处。第一栅线 120a、公共线 140 和与第一栅线 120a 交叉的数据线 130 的交叉区域限定为第一像素区域“P1”。第二栅线 120b、公共线 140 和与第二栅线 120b 交叉的数据线 130 的交叉区域限定为第二像素区域“P2”。

同时，相邻公共线 140 的第一和第二像素电极 160a、160b 的端部与公共线 140 交叠。第一像素电极 160a 和公共线 140 之间的交叠区域与第二像素电极 160b 和公共线 140 之间的交叠区域以及二者之间的绝缘层（未示出）分别构成第一和第二存储电容“Cst1”和“Cst2”。这里，存储电容“Cst”的公共线 140 的一部分作为第一电容电极。另外，第一和第二像素电极 160a、160b 的一部分分别作为第二电容电极。

根据本发明的存储电容 Cst 为存储-公共类型存储电容。公共线 140 设置在第一和第二像素电极 160a、160b 的对称轴处，该第一和第二像素电极 160a、160b 对称地设置在第一和第二像素区域 P1、P2 中。

另外，由于彼此相邻的两个像素共用公共线 140，将仅在公共线 140 的端部的其中之一处出现漏光“LR”。这是因为两个像素独立地驱动并且漏光出现在被驱动的像素中。

图 8A 到图 8E 为根据本发明示例性实施方式沿着图 6 的“VIII-VIII”线提取的制造用于 LCD 器件的阵列基板的方法的截面示意图。

在图 8A 中，第一栅极 124a、第二栅极 124b 和第一和第二栅极 124a、124b 之间的公共线 140 形成在基板 100 上，其中第一像素区域“P1”和第二像素区域“P2”限定在该基板 100 上。这里，第一和第二栅极 124a、124b 分别设置在第一和第二像素区域 P1、P2 中。公共线 140 设置在第一和第二像素区域 P1、P2 的边界处。

例如，第一栅极 124a、第二栅极 124b 和公共线 140 包括诸如铝（Al）、

铜 (Cu)、铝合金的导电金属材料，或者包括作为底层的导电金属材料的双材料层。

在图 8B 中，栅绝缘层 145 形成在第一和第二栅极 124a、124b 和公共线 140 上。第一和第二半导体层 132、134 分别形成在位于第一和第二栅极 124a、124b 上方的栅绝缘层 145 上。栅绝缘层 145 可包括诸如氧化硅 (SiO_x) 或氮化硅 (SiN_x) 的绝缘无机材料。第一半导体层 132 包括本征非晶硅材料的第一和第二有源层 132a、132b。第二半导体层 134 包括掺杂非晶硅材料的第一和第二欧姆接触层 134a 和 134b。

在图 8C 中，第一源极 126a 和第一漏极 128a 形成在位于第一栅极 124a 上方的第一欧姆接触层 132b 上。第二源极 126b 和第二漏极 128b 形成在位于第二栅极 124b 上方的第二欧姆接触层 134b 上。在该步骤中，除去对应于第一源极和第一漏极 126a、126b 之间的间隔以及第二源极和第二漏极 128a、128b 之间的间隔的第一和第二欧姆接触层 124a、124b 的一部分，以分别暴露出第一和第二有源层 132a 和 132b 的一部分。第一和第二有源层 132a、132b 的开口部分分别定义为第一和第二沟道区域 “CH1” 和 “CH2”。例如，第一源极和第一漏极 126a、128a 以及第二源极和第二漏极 126b、128b 包括诸如钼 (Mo)、钨 (W) 或镍 (Ni) 的导电金属材料。因此，第一栅极 124a、第一半导体层 132、第一源极 126a 和第一漏极 124a 构成第一薄膜晶体管 “T1”。第二栅极 126a、第二半导体层 134、第二源极 126b 和第二漏极 128b 构成第二薄膜晶体管 “T2”。

在图 8D 中，钝化层 155 形成在第一和第二薄膜晶体管 “T1” 和 “T2” 上。在该步骤中，刻蚀钝化层 155 以形成第一和第二接触孔 157a、157b，其暴露第一和第二漏极 128a、128b 的一部分。例如，钝化层 155 包括诸如氧化硅 (SiO_x) 或氮化硅 (SiN_x) 的绝缘无机材料或者诸如苯并丁烯 (BCB) 或丙烯酸树脂的绝缘有机材料。

在图 8E 中，第一和第二像素电极 160a、160b 分别形成在第一和第二像素区域 “P1”、“P2” 中。第一和第二像素电极 160a、160b 经由第一和第二漏接触孔 157a、157b 分别与第一和第二漏极 128a、128b 相连接。这里，相邻公共线 140 的第一和第二像素电极 160a、160b 的端部与公共线 140 交叠。第一像素电极 160a 和公共线 140 的交叠区域与第二像素电极 160b 和公共线 140 的交

叠区域分别与插入在二者之间的栅绝缘层 145 和钝化层 155 构成第一和第二存储电容“Cst1”和“Cst2”。例如，第一和第二像素电极 160a、160b 包括诸如氧化铟锡（ITO）或氧化铟锌（IZO）的透明导电材料。

根据本发明，通过降低公共线和像素电极之间的失真现象可减少漏光。另外，由于彼此相邻的两个像素共用公共线，在公共线的端部之一处出现漏光，然而，在现有技术的存储-公共类型存储电容中，漏光出现在公共线的两端处。第二，因为公共线设置在像素区域之间的边界处，可提高由于公共线的宽度的孔径比。从而，由于降低了对公共线的宽度限制，并且公共电压可稳定地施加到公共线，因此改善了图像质量。第三，由于公共线设置在像素区域的边界处，因此可避免孔径区域的减少。

在不脱离本发明的精神和范围内，对本领域的技术人员来说很明显可以对本发明的用于液晶显示器件的基板及其制造方法进行各种改进和变形。因此，本发明意在覆盖所有落入所要求保护的权利和等同物范围内的各种改进和变形。

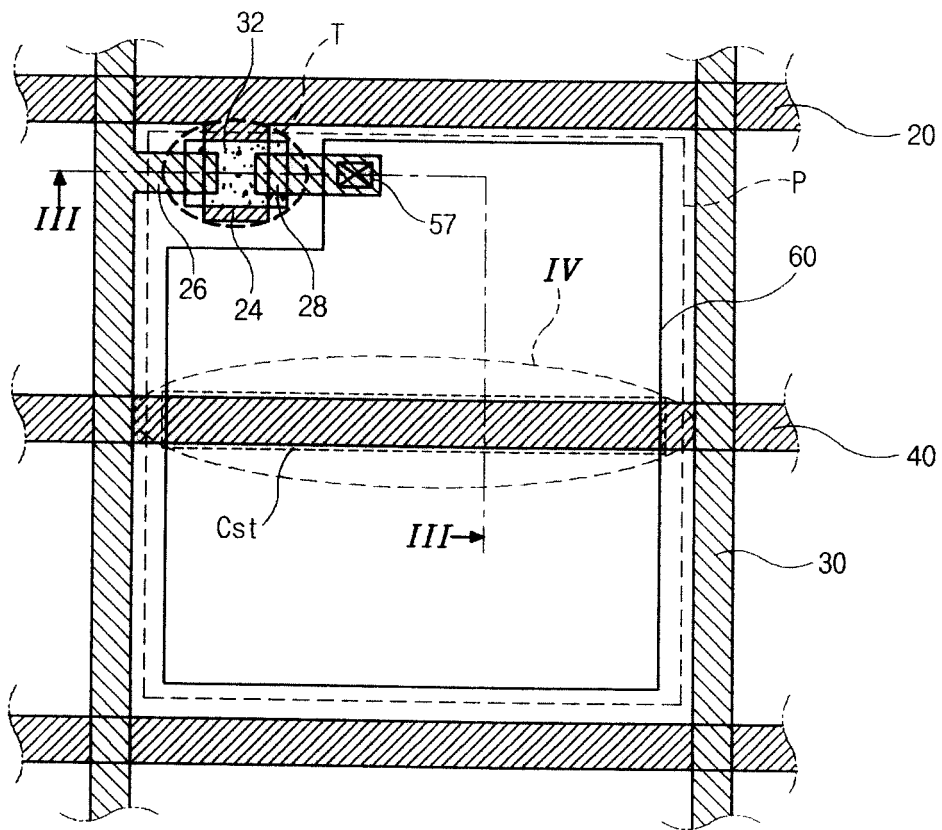


图 2

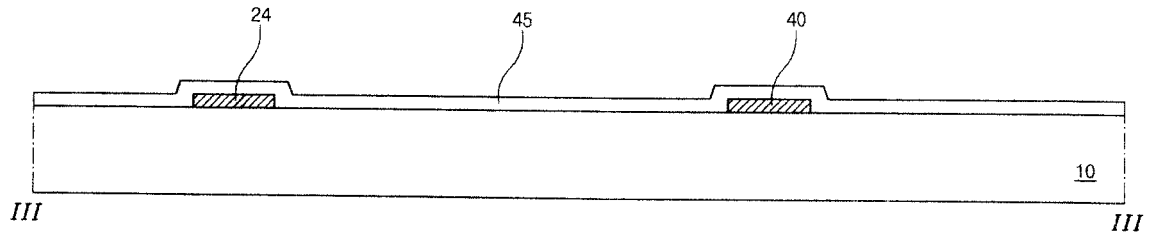


图 3A

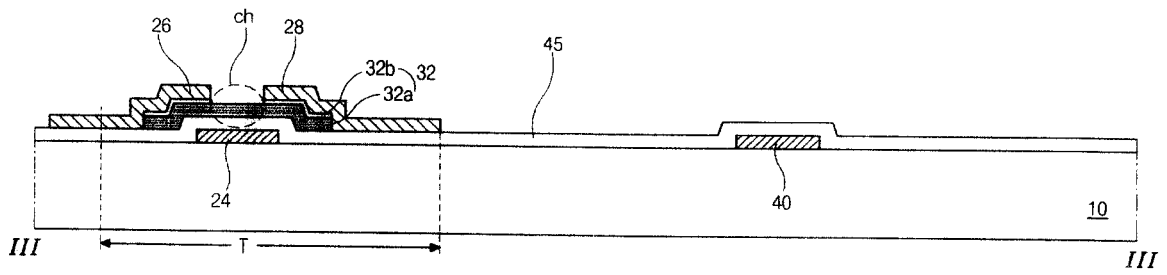


图 3B

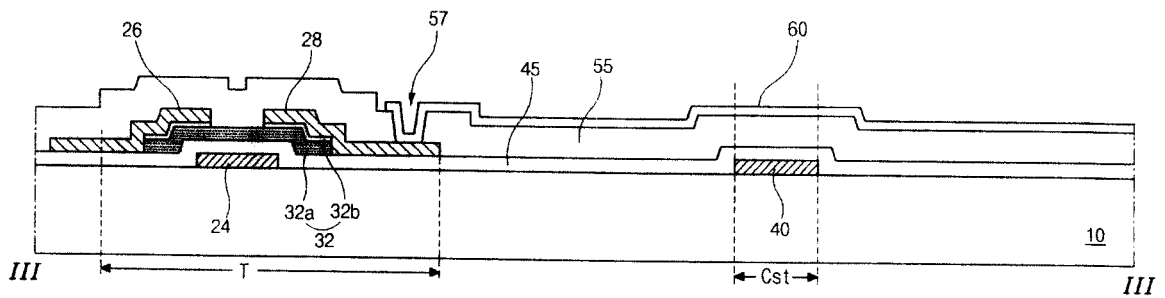


图 3C

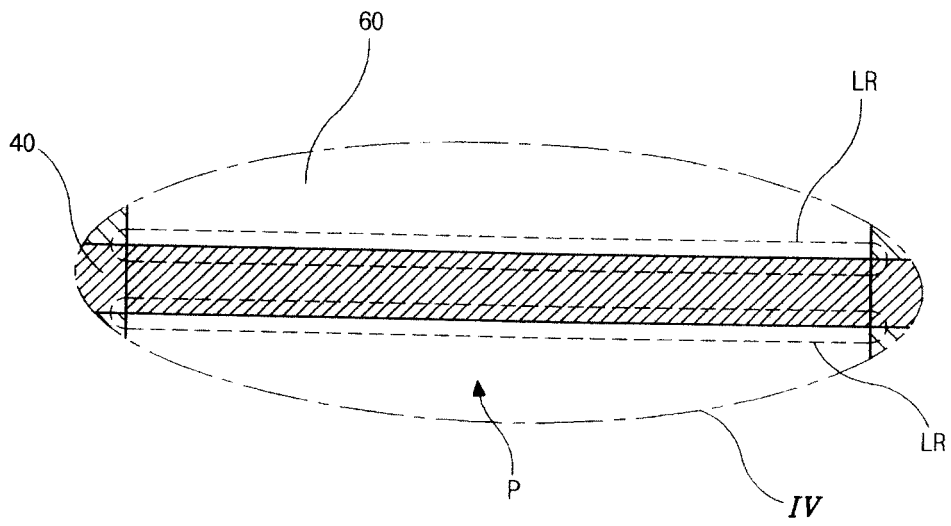


图 4

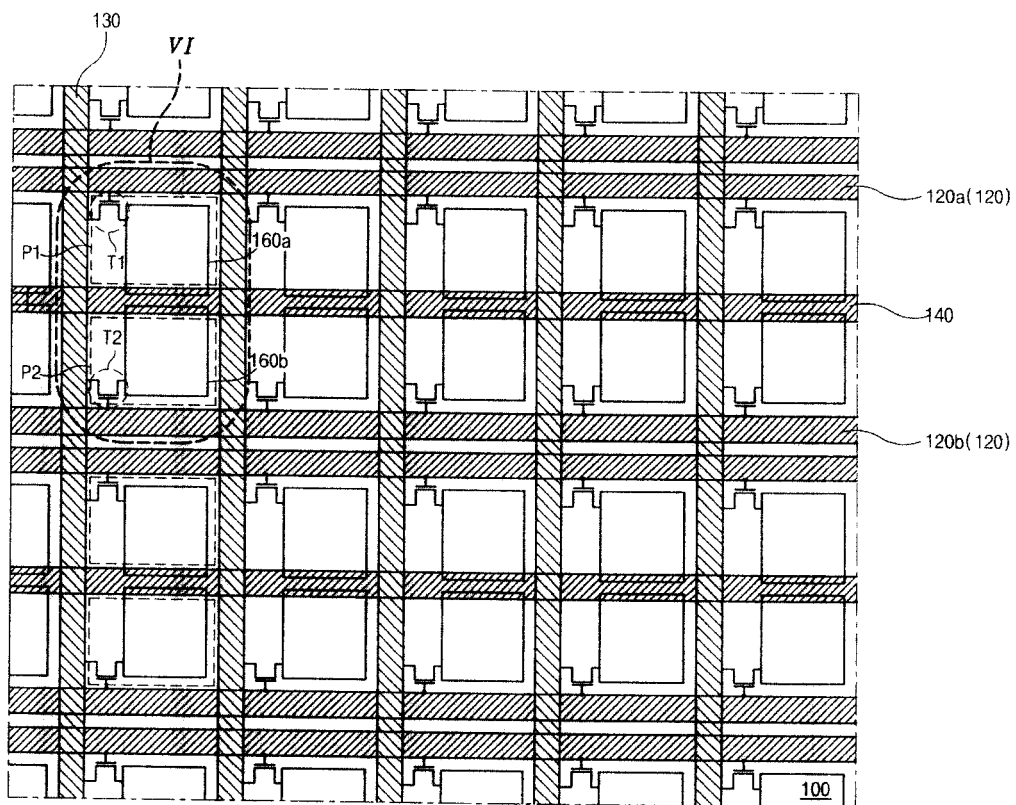


图 5

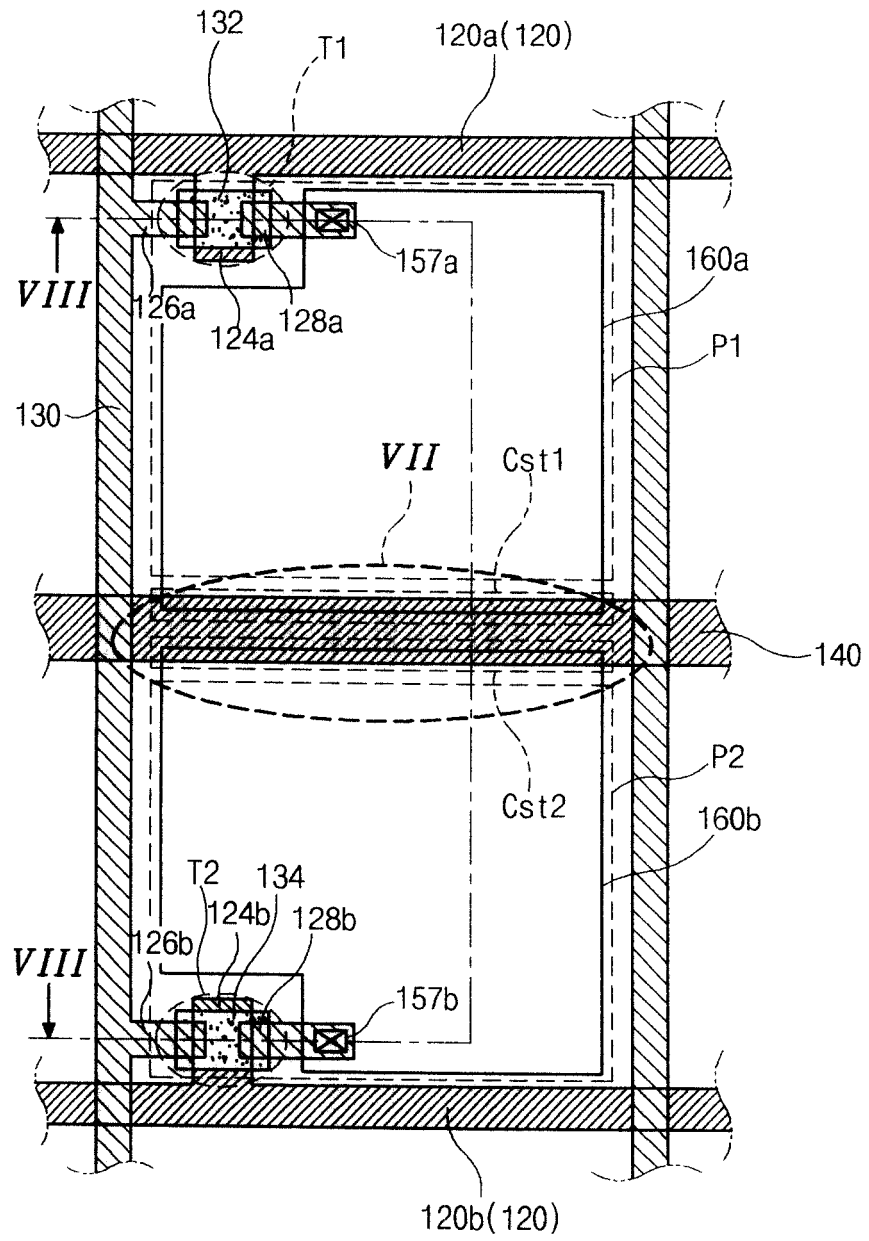


图 6

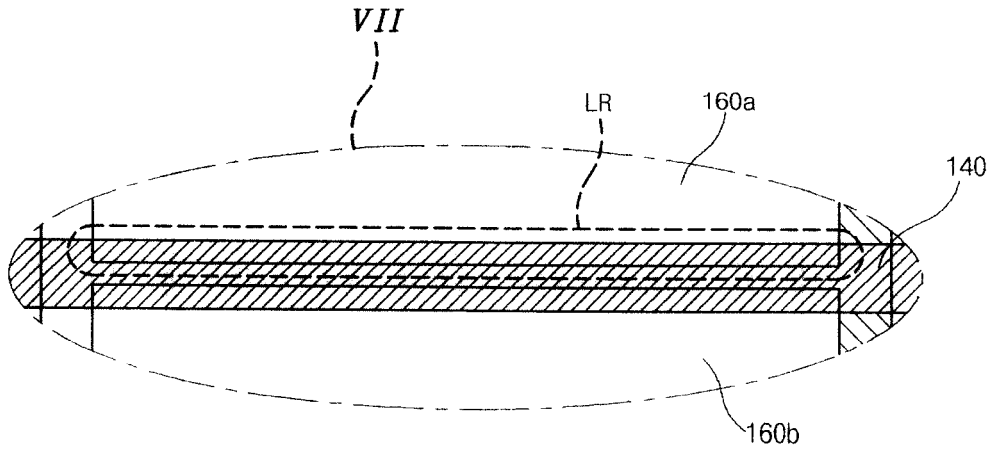


图 7

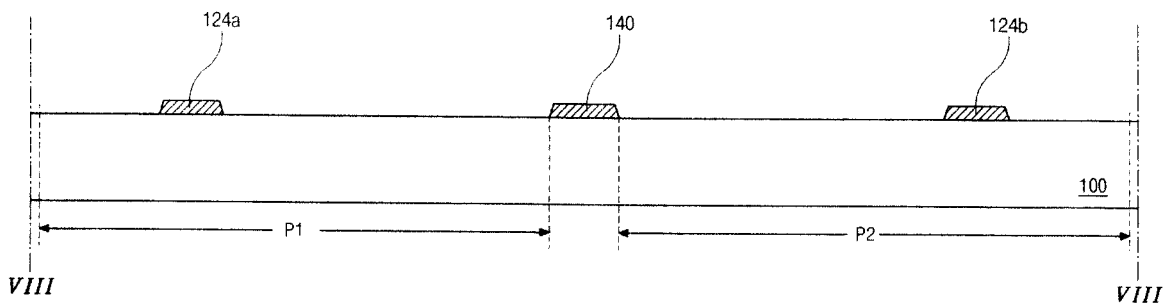


图 8A

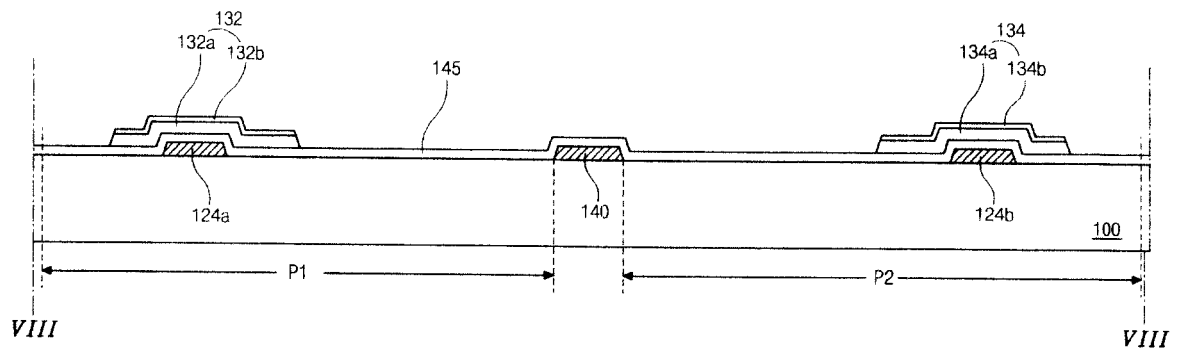


图 8B

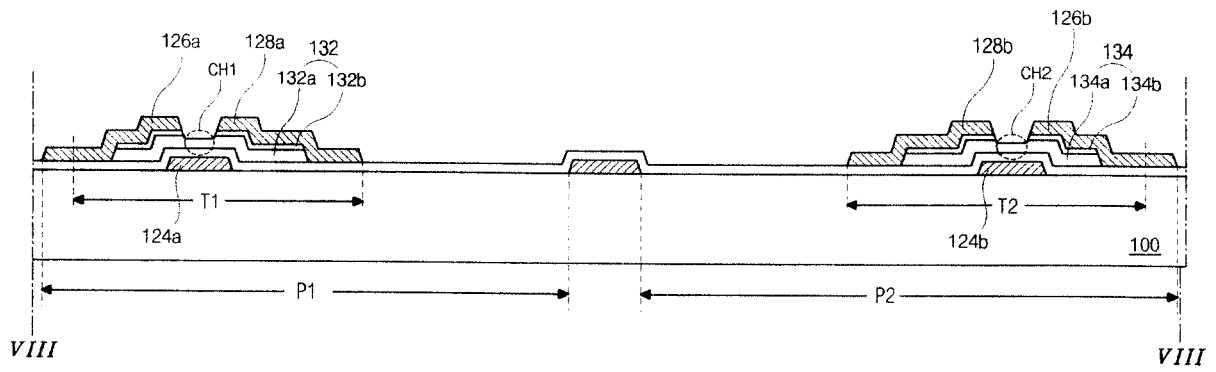


图 8C

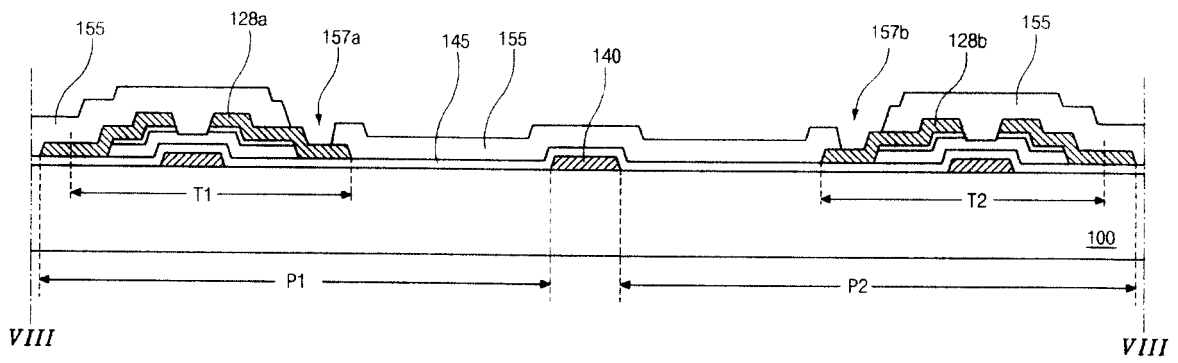


图 8D

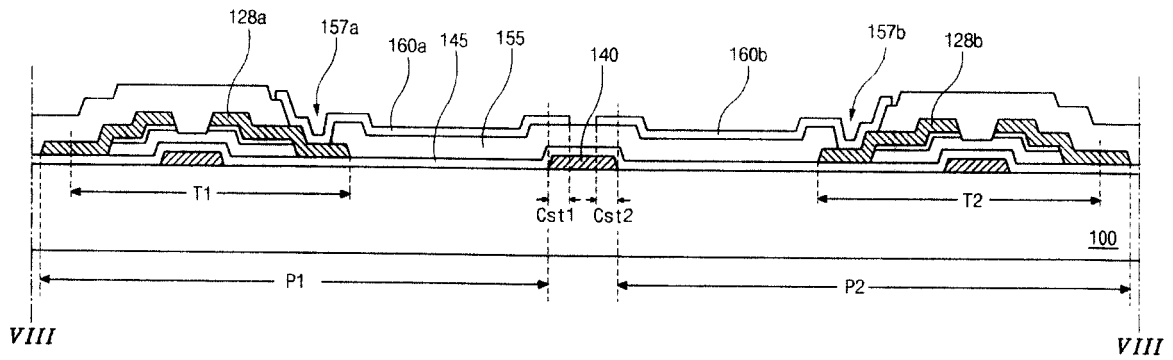


图 8E

