

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/1343 (2006.01)



[12] 发明专利说明书

专利号 ZL 200810171157.5

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573293C

[22] 申请日 2008.10.22

[21] 申请号 200810171157.5

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹

[72] 发明人 周玉蕙 黄雪瑛

[56] 参考文献

US2006/0098131A1 2006.5.11

US2005/0280749A1 2005.12.22

JP2005-292397A 2005.10.20

JP2006-201356A 2006.8.3

CN1693979A 2005.11.9

CN1920652A 2007.2.28

审查员 崔双魁

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 梁 挥 祁建国

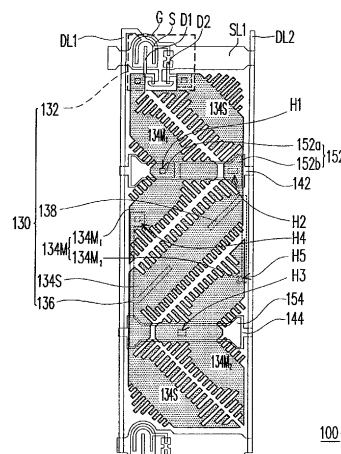
权利要求书 4 页 说明书 12 页 附图 5 页

[54] 发明名称

液晶显示器的像素阵列

[57] 摘要

本发明公开了一种液晶显示器的像素阵列，其包括 M 条数据线、N 条扫描线以及与数据线及扫描线电性连接且阵列排列的多个像素结构。每一像素结构包括开关组件、至少一主像素电极、至少一次像素电极、第一电容耦合电极图案以及第二电容耦合电极图案。开关组件与第一扫描线以及第一数据线电性连接。上述至少一主像素电极以及至少一次像素电极与开关组件电性连接。第一与二电容耦合电极图案与上述至少一主像素电极电性连接且与上述至少一次像素电极产生电容耦合，其中第一电容耦合电极图案邻近第一数据线设置，第二电容耦合电极图案邻近第二数据线设置。



1. 一种液晶显示器的像素阵列，其特征在于，其包括 M 条数据线、N 条扫描线以及与该些数据线和该些扫描线电性连接且阵列排列的多个像素结构，其中，M 和 N 为大于等于 1 的整数，每一像素结构相对两侧分别邻近一第一数据线与一第二数据线，每一像素结构包括：

一开关组件，与一第一扫描线以及该第一数据线电性连接；

至少一主像素电极以及至少一次像素电极，分别与该开关组件电性连接；

一第一电容耦合电极图案，其与该至少一主像素电极电性连接且与该至少一次像素电极产生电容耦合，其中该第一电容耦合电极图案邻近该第一数据线设置；以及

一第二电容耦合电极图案，其与该至少一主像素电极电性连接且与该至少一次像素电极产生电容耦合，其中该第二电容耦合电极图案邻近第二数据线设置。

2. 如权利要求 1 所述的液晶显示器的像素阵列，其特征在于，还包括：

一第一共享线，设置于该至少一主像素电极以及该至少一次像素电极的下方；以及

一第二共享线，设置于该至少一主像素电极以及该至少一次像素电极的下方，其中该第一共享线与该第二共享线平行设置。

3. 如权利要求 2 所述的液晶显示器的像素阵列，其特征在于，还包括：

至少一第一上电极图案，设置于该第一共享线与该至少一主像素电极及该至少一次像素电极之间，并且与该至少一主像素电极及该至少一次像素电极其中之一电性连接；以及

至少一第二上电极图案，设置于该第二共享线与该至少一主像素电极及该至少一次像素电极之间，并且与该至少一主像素电极及该至少一次像素电极的其中之一电性连接。

4. 如权利要求 3 所述的液晶显示器的像素阵列，其特征在于，该第二上电极图案与该第一电容耦合电极图案连接。

5. 如权利要求 1 所述的液晶显示器的像素阵列，其特征在于，该开关组件包括一多漏极薄膜晶体管。

6. 如权利要求 1 所述的液晶显示器的像素阵列，其特征在于，该至少一主像素电极以及该至少一次像素电极具有锯齿状边缘。

7. 如权利要求 1 所述的液晶显示器的像素阵列，其特征在于，该至少一主像素电极包括一第一子像素电极与一第二子像素电极，且该至少一次像素电极位于该第一子像素电极与该第二子像素电极之间。

8. 一种液晶显示器的像素阵列，其特征在于，包括 M 条数据线、N 条扫描线以及与该些数据线和该些扫描线电性连接且阵列排列的多组像素结构，其中，M 和 N 为大于等于 1 的整数，每一组像素结构相对两侧分别邻近一第一数据线与一第二数据线，每一组像素结构包括：

一第一像素结构，其包括：

一第一开关组件，其与一第一扫描线电性连接，且与该第一数据线的电性连接；

至少一第一主像素电极以及至少一第一次像素电极，其与该第一开关组件电性连接；

一第一电容耦合电极图案，其与该至少一第一主像素电极电性连接且与该至少一第一次像素电极产生电容耦合，其中该第一电容耦合电极图案邻近该第一数据线设置；以及

一第二电容耦合电极图案，其与该至少一第一主像素电极电性连接且与该至少一第一次像素电极产生电容耦合，其中该第二电容耦合电极图案邻近该第二数据线设置；

一第二像素结构，其包括：

一第二开关组件，其与一第二扫描线电性连接，且与该第一数据线及该第二数据线的其中之一电性连接；

至少一第二主像素电极以及至少一第二次像素电极，其与该第二开关组件电性连接；

一第三电容耦合电极图案，其与该至少一第二主像素电极电性连接且与该至少一第二次像素电极产生电容耦合，其中该第三电容耦合电极图案邻近该第一数据线设置；以及

一第四电容耦合电极图案，其与该至少一第二主像素电极电性连接且与该至少一第二次像素电极产生电容耦合，其中该第四电容耦合电极图案邻近该第

二数据线设置。

9. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该第一开关组件所在的位置与该第二开关组件所在的位置彼此对齐。

10. 如权利要求 9 所述的液晶显示器的像素阵列，其特征在于，该第一开关组件与该第二开关组件分别位于所在像素结构的角落区域。

11. 如权利要求 10 所述的液晶显示器的像素阵列，其特征在于，位于所在像素结构的角落区域该第一开关组件与该第二开关组件皆与该第一数据线电性连接。

12. 如权利要求 10 所述的液晶显示器的像素阵列，其特征在于，位于所在像素结构的角落区域该第一开关组件与该第一数据线电性连接，且该第二开关组件与该第二数据线电性连接。

13. 如权利要求 12 所述的液晶显示器的像素阵列，其特征在于，还包括一补偿线，其与该第一开关组件电性绝缘，且自该第一开关组件延伸至该第二数据线并与该第二数据线电性连接。

14. 如权利要求 9 所述的液晶显示器的像素阵列，其特征在于，该第一开关组件与该第二开关组件分别位于所在像素结构邻近相对应扫描线的一侧边的中间区域。

15. 如权利要求 14 所述的液晶显示器的像素阵列，其特征在于，还包括：

一第一补偿线，其与该第一开关组件电性绝缘，且自该第一开关组件延伸至该第二数据线并与该第二数据线电性连接；

一第二补偿线，其与该第二开关组件电性绝缘，且自该第二开关组件延伸至该第一数据线并与该第一数据线电性连接。

16. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该第一开关组件所在的位置与该第二开关组件所在的位置彼此交错。

17. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，还包括：

一第一共享线，设置于该至少一第一主像素电极以及该至少一第一次像素电极的下方；

一第二共享线，设置于该至少一第一主像素电极以及该至少一第一次像素电极的下方，其中该第一共享线与该第二共享线平行设置；

一第三共享线，设置于该至少一第二主像素电极以及该至少一第二次像素

电极的下方；以及

一第四共享线，设置于该至少一第二主像素电极以及该至少一第二次像素电极的下方，其中该第三共享线与该第四共享线平行设置。

18. 如权利要求 17 所述的液晶显示器的像素阵列，其特征在于，还包括：

至少一第一上电极图案，设置于该第一共享线与该至少一第一主像素电极及该至少一第一次像素电极之间，并且与该至少一第一主像素电极及该至少一第一次像素电极其中之一电性连接；

至少一第二上电极图案，设置于该第二共享线与该至少一第一主像素电极及该至少一第一次像素电极之间，并且与该至少一第一主像素电极及该至少一第一次像素电极的其中之一电性连接；

至少一第三上电极图案，设置于该第三共享线与该至少一第二主像素电极及该至少一第二次像素电极之间，并且与该至少一第二主像素电极及该至少一第二次像素电极其中之一电性连接；以及

至少一第四上电极图案，设置于该第四共享线与该至少一第二主像素电极及该至少一第二次像素电极之间，并且与该至少一第二主像素电极及该至少一第二次像素电极的其中之一电性连接。

19. 如权利要求 18 所述的液晶显示器的像素阵列，其特征在于，该第二上电极图案与该第一电容耦合电极图案连接，且该第四上电极图案与该第三电容耦合电极图案连接。

20. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该第一开关组件以及该第二开关组件分别为多漏极薄膜晶体管。

21. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该至少一第一主像素电极、该至少一第一次像素电极、该至少一第二主像素电极、该至少一第二次像素电极皆具有锯齿状边缘。

22. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该至少一第一主像素电极包括一第一子像素电极与一第二子像素电极，且该至少一第一次像素电极位于该第一子像素电极与该第二子像素电极之间。

23. 如权利要求 8 所述的液晶显示器的像素阵列，其特征在于，该至少一第二主像素电极包括一第三子像素电极与一第四子像素电极，且该至少一第二次像素电极位于该第三子像素电极与该第四子像素电极之间。

液晶显示器的像素阵列

技术领域

本发明是有关于一种液晶显示器的像素阵列，且特别是有关于一种可降低串音效应的液晶显示器的像素阵列。

背景技术

随着显示科技的日益进步，人们借显示装置的辅助可使生活更加便利，为求显示器轻、薄的特性，因此平面显示器（Flat Panel Display, FPD）成为目前的主流。在诸多平面显示器中，液晶显示器（Liquid Crystal Display, LCD）具有高空间利用效率、低消耗功率、无辐射以及低电磁干扰等优越特性，因此，液晶显示器深受消费者欢迎。

液晶显示器主要是由像素阵列基板、彩色滤光基板和液晶层所构成，其中像素阵列基板上的像素电极与彩色滤光基板上的共享电极之间的电压差可决定液晶层的液晶分子的排列方式以进行画面的显示。一般来说，像素阵列基板上的扫描线与数据线可划分出多个呈阵列排列的像素结构，而像素电极则配置在每个像素结构中。此外，每个像素结构还需配置开关组件，以驱动该像素结构中的像素电极。

理论上，将像素结构中的像素电极的面积设计地愈大，愈可提升液晶显示器的开口率（aperture ratio）。然而，当像素电极与数据线过于接近时，像素电极与数据线之间的杂散电容（capacitance between pixel and data line, Cpd）会变大。如此一来，于开关组件关闭期间，像素电极的电压会受到数据线所传送的信号的影响而发生所谓的串音效应（crosstalk），进而影响液晶显示器的显示质量。

发明内容

本发明提供一种液晶显示器的像素阵列，此液晶显示器的像素阵列具有电容耦合电极图案以降低像素电极与数据线之间的杂散电容。

本发明又提供一种液晶显示器的像素阵列，其有助于降低串音效应。

为具体描述本发明的内容，在此提出一种液晶显示器的像素阵列，其包括M条数据线、N条扫描线以及与数据线与扫描线电性连接且阵列排列的多个像素结构，其中每一像素结构相对两侧分别邻近一第一数据线与一第二数据线。每一像素结构包括一开关组件、至少一主像素电极、至少一次像素电极、一第一电容耦合电极图案以及一第二电容耦合电极图案。开关组件与第一扫描线以及第一数据线电性连接。至少一主像素电极以及至少一次像素电极分别与开关组件电性连接。第一/第二电容耦合电极图案与至少一主像素电极电性连接且与至少一次像素电极产生电容耦合，其中第一电容耦合电极图案邻近第一数据线设置，而第二电容耦合电极图案邻近第二数据线设置。

在本发明的一实施例中，液晶显示器的像素阵列更包括一第一共享线以及一第二共享线。第一/第二共享线设置于至少一主像素电极以及至少一次像素电极的下方，其中第一共享线与第二共享线平行设置。在一实施例中，液晶显示器的像素阵列更包括至少一第一上电极图案以及至少一第二上电极图案。至少一第一上电极图案设置于第一共享线与至少一主像素电极及至少一次像素电极之间，并且与至少一主像素电极及至少一次像素电极其中之一电性连接。至少一第二上电极图案设置于第二共享线与至少一主像素电极及至少一次像素电极之间，并且与至少一主像素电极及至少一次像素电极的其中之一电性连接。在一实施例中，第二上电极图案与第一电容耦合电极图案连接。

在本发明的一实施例中，开关组件包括一多漏极薄膜晶体管。

在本发明的一实施例中，主像素电极以及次像素电极具有锯齿状边缘。

在本发明的一实施例中，主像素电极包括一第一子像素电极与一第二子像素电极，且次像素电极位于第一子像素电极与第二子像素电极之间。

为具体描述本发明的内容，在此又提出一种液晶显示器的像素阵列，其包括M条数据线、N条扫描线以及与数据线与扫描线电性连接且阵列排列的多组像素结构，且每一像素结构相对两侧分别邻近一第一数据线与一第二数据线，其中每一组像素结构包括第一像素结构以及第二像素结构。第一像素结构包括一第一开关组件、至少一第一主像素电极、至少一第一次像素电极、一第一电容耦合电极图案以及一第二电容耦合电极图案。第二像素结构包括一第二开关组件、至少一第二主像素电极、至少一第二次像素电极、一第三电容耦合电极

图案以及一第四电容耦合电极图案。第一开关组件与第一扫描线以及第一数据线电性连接。至少一第一主像素电极以及至少一第一次像素电极与第一开关组件电性连接。第一/第二电容耦合电极图案与至少一第一主像素电极电性连接且与至少一第一次像素电极产生电容耦合,其中第一电容耦合电极图案邻近第一数据线设置,而第二电容耦合电极图案邻近第二数据线设置。第二开关组件与第二扫描线电性连接,且与第一数据线及第二数据线的其中之一电性连接。至少一第二主像素电极以及至少一第二次像素电极与第二开关组件电性连接。第三/第四电容耦合电极图案与至少一第二主像素电极电性连接且与至少一第二次像素电极产生电容耦合,其中第三电容耦合电极图案邻近第一数据线设置,而第四电容耦合电极图案邻近第二数据线设置。

在本发明的一实施例中,第一开关组件所在的位置与第二开关组件所在的位置彼此对齐。在一实施例中,第一开关组件与第二开关组件分别位于所在像素结构的角落区域。

在本发明的一实施例中,于所在像素结构的角落区域中,第一开关组件与第二开关组件皆与第一数据线电性连接。

在本发明的一实施例中,于所在像素结构的角落区域中,第一开关组件与第一数据线电性连接,而第二开关组件与第二数据线电性连接。在一实施例中,液晶显示器的像素阵列更包括一补偿线,此补偿线与第一开关组件电性绝缘,且自第一开关组件延伸至第二数据线并与第二数据线电性连接。

在本发明的一实施例中,第一开关组件所在的位置与第二开关组件所在的位置彼此对齐。在一实施例中,第一开关组件与第二开关组件分别位于所在像素结构邻近相对应扫描线的一侧边的中间区域。

在本发明的一实施例中,液晶显示器的像素阵列更包括一第一补偿线以及一第二补偿线。第一补偿线与第一开关组件电性绝缘,且自第一开关组件延伸至第二数据线并与第二数据线电性连接。第二补偿线与第二开关组件电性绝缘,且自第二开关组件延伸至第一数据线并与第一数据线电性连接。

在本发明的一实施例中,第一开关组件所在的位置与第二开关组件所在的位置彼此交错。

在本发明的一实施例中,液晶显示器的像素阵列更包括一第一共享线、一第二共享线、一第三共享线以及一第四共享线。第一/第二共享线设置于至少

一第一主/次像素电极的下方，其中第一共享线与第二共享线平行设置。第三/第四共享线设置于至少一第二主/次像素电极的下方，其中第三共享线与第四共享线平行设置。

在本发明的一实施例中，液晶显示器的像素阵列更包括至少一第一上电极图案、至少一第二上电极图案、至少一第三上电极图案以及至少一第四上电极图案。第一上电极图案设置于第一共享线与至少一第一主像素电极及至少一第一次像素电极之间，并且与至少一第一主/次像素电极其中之一电性连接。第二上电极图案设置于第二共享线与至少一第一主像素电极及至少一第一次像素电极之间，并且与至少一第一主像素电极及至少一第一次像素电极的其中之一电性连接。第三上电极图案设置于第三共享线与至少一第二主像素电极及至少一第二次像素电极之间，并且与至少一第二主/次像素电极其中之一电性连接。第四上电极图案设置于第四共享线与至少一第二主像素电极及至少一第二次像素电极之间，并且与至少一第二主像素电极及至少一第二次像素电极的其中之一电性连接。在一实施例中，第二上电极图案与第一电容耦合电极图案连接，且第四上电极图案与第三电容耦合电极图案连接。

在本发明的一实施例中，第一开关组件以及第二开关组件分别为多漏极薄膜晶体管。

在本发明的一实施例中，至少一第一主像素电极、至少一第一次像素电极、至少一第二主像素电极与至少一第二次像素电极皆具有锯齿状边缘。

在本发明的一实施例中，至少一第一主像素电极包括一第一子像素电极与一第二子像素电极，且至少一第一次像素电极位于第一子像素电极与第二子像素电极之间。

在本发明的一实施例中，至少一第二主像素电极包括一第三子像素电极与一第四子像素电极，且至少一第二次像素电极位于第三子像素电极与第四子像素电极之间。

本发明的液晶显示器的像素阵列具有电容耦合电极图案，以降低像素电极与数据线之间的杂散电容。将本发明的液晶显示器的像素阵列应用于显示器中，则此显示器的串音现象可获得改善。

为让本发明的上述特征和优点能更明显易懂，下文特举较佳实施例，并配合附图，详细说明如下。

附图说明

图1为本发明的实施例的液晶显示器的像素阵列的局部俯视图；
图2为本发明的实施例的液晶显示器的像素阵列的局部俯视示意图；
图3为本发明的实施例的液晶显示器的像素阵列的局部俯视示意图；
图4为本发明的实施例的液晶显示器的像素阵列的局部俯视示意图；
图5为本发明的实施例的液晶显示器的像素阵列的局部俯视示意图。
其中，附图标记：

100、200、300、400、500：液晶显示器的像素阵列
130、230、330、430、530：像素结构
132：开关组件
134M：主像素电极
134M₁、234M₁：主像素电极（第一子像素电极）
134M₂、234M₂：主像素电极（第二子像素电极）
134S：次像素电极
136：第一电容耦合电极图案
138：第二电容耦合电极图案
142：第一共享线
152、152a、152b：第一上电极图案
144：第二共享线
154：第二上电极图案
230a：第一像素结构
230b：第二像素结构
232a：第一开关组件
232b：第二开关组件
234M_a：第一主像素电极
234M₃：第三子像素电极
234M₄：第四子像素电极
234S_a：第一次像素电极
234S_b：第二次像素电极
236：第三电容耦合电极图案
238：第四电容耦合电极图案
CL：补偿线
CL1：第一补偿线
CL2：第二补偿线
D1、D2：漏极
DL1：第一数据线
DL2：第二数据线
DL1'：第一延伸部
DL2'：第二延伸部
G：栅极
H1、H2、H3、H4、H5：接触窗
S：源极
SL1：第一扫描线
SL2：第二扫描线

具体实施方式

图1为本发明的实施例的液晶显示器的像素阵列的局部俯视图,其中图1仅绘示一个像素结构130。请参照图1,本实施例的液晶显示器的像素阵列100包括M条数据线(如DL1、DL2)、N条扫描线(如SL1)以及与数据线与扫描线电性连接且阵列排列的多个像素结构130,其中M与N例如是大于等于1的整数。此外,每一像素结构130包括一开关组件132、至少一主像素电极134M、至少一次像素电极134S、一第一电容耦合电极图案136以及一第二电容耦合电极图案138。实务上,液晶显示器的像素阵列100可应用于各种类型的液晶显示器中。为了使具有液晶显示器的像素阵列100的液晶显示器发挥广视角的功效,本实施例的主像素电极134M与次像素电极134S的边缘可选择性地进一步具有锯齿状(tooth-like)的微狭缝(fine slit)结构。

在此需要说明的是,在本发明中,主像素电极134M与次像素电极134S的数量可以是一个或两个以上。在下述的实施例中,主要是以主像素电极134M与次像素电极134S为例子进行说明,其中主像素电极134M包括主像素电极134M₁与主像素电极134M₂两部分(其又可称为第一子像素电极以及第二子像素电极),然其并非用以限定本发明。

如图1所示,开关组件132与第一扫描线SL1以及第一数据线DL1电性连接,且主像素电极134M₁以及次像素电极134S与开关组件132电性连接,另一主像素电极134M₂通过接触窗H3、H4以及电容耦合电极图案138(将详述于后)而与主像素电极134M₁电性连接。较特别的是,本实施例的开关组件132例如是一多漏极薄膜晶体管,其中开关组件132具有栅极G、源极S与漏极D1、D2。详言之,在本实施例中,第一扫描线SL1用以传送扫描信号并通过栅极G与开关组件132电性连接,而第一数据线DL1用以传送数据信号并通过源极S与开关组件132电性连接。主像素电极134M₁和次像素电极134S分别电性连接至开关组件132的漏极D1和漏极D2,且主像素电极134M₁、134M₂与次像素电极134S电性绝缘。由上述可知,单一像素结构130可通过主像素电极134M₁、134M₂和次像素电极134S的配置而分为不同的电压区域,此举有助于改善色偏。

为了使具有液晶显示器的像素阵列100的液晶显示器维持良好的显示质量,本实施例的液晶显示器的像素阵列100可进一步包括一第一共享线142、一第二共享线144、至少一第一上电极图案152以及至少一第二上电极图案

154。在本实施例中，第一上电极图案 152 包括第一上电极图案 152a、152b。其中，第一上电极图案 152a、152b 分别与主像素电极 134M₁ 及次像素电极 134S 电性连接。而第二上电极图案 154 可与至少一主像素电极及至少一次像素电极的其中之一电性连接，在本实施例中，第二上电极图案 154 是与主像素电极 134M₂ 电性连接。

承上述，在本实施例中，第一上电极图案 152 会与第一共享线 142 耦合且第二上电极图案 154 会与第二共享线 144 耦合而形成多个储存电容器，以维持主像素电极 134M 与次像素电极 134S 的电压。在此需要说明的是，在本实施例中，第一上电极图案 152 会与第一共享线 142 对应配置并夹设一绝缘性的介电层而构成的储存电容器为金属-绝缘-金属 (Metal-Insulator-Metal, MIM) 的架构。然而，本发明的液晶显示器的像素阵列 100 中的储存电容器亦可采用金属-绝缘-铟锡氧化物 (Metal-Insulator-ITO, MII) 的架构，例如省去第一上电极图案 152，而利用主像素电极 134M₁ 与次像素电极 134S 跟第一共享线 142 形成储存电容。换言之，本实施例所公开的第一上电极图案 152 为选择性构件 (optional element)。同理可推知，第二上电极图案 154 亦为选择性构件。接下来，本实施例会再进一步说明第一、第二上电极图案 154、154 与第一、第二共享线 142、144。

在本实施例中，第一共享线 142 与第二共享线 144 设置于主像素电极 134M 以及次像素电极 134S 的下方，其中第一共享线 142 与第二共享线 144 实质上平行于扫描线设置。

详言之，在本实施例中，第一共享线 142 与第二共享线 144 例如是彼此独立的两条共享线，因此，每一像素电极（主像素电极 134M₁、主像素电极 134M₂ 与次像素电极 134S）与不同的共享线（第一共享线 142 与第二共享线 144）之间的电容耦合效应也会随之不同。如此，同一像素结构 130 中的不同像素电极（主像素电极 134M₁、主像素电极 134M₂ 与次像素电极 134S）间发生异常短路的现象便可在阵列测试阶段被检出。

在本实施例中，第一上电极图案 152 设置于第一共享线 142 与主像素电极 134M₁ 及次像素电极 134S 之间，其中第一上电极图案 152a 与主像素电极 134M₁ 电性连接，而第一上电极图案 152b 与次像素电极 134S 电性连接。另一方面，第二上电极图案 154 设置于第二共享线 144 与主像素电极 134M₂ 及次像素电极

134S 之间,并与主像素电极 134M₂电性连接。更进一步地说,第一上电极图案 152a 例如是通过接触窗 H1 与主像素电极 134M₁电性连接,而另一第一上电极图案 152b 例如是通过接触窗 H2 与次像素电极 134S 电性连接。此外,第二上电极图案 154 例如是通过接触窗 H3 与主像素电极 134M₂电性连接。

在其它实施例中,设置于第二共享线 144 与主像素电极 134M₂及次像素电极 134S 之间的第二上电极图案 154 也可与次像素电极 134S 电性连接。但,在本实施例中,第二上电极图案 154 是与主像素电极 134M₂电性连接。

在本实施例中,第一电容耦合电极图案 136 以及第二电容耦合电极图案 138 与主像素电极 134M 电性连接,并与次像素电极 134S 产生电容耦合。值得注意的是,本实施例的第一电容耦合电极图案 136 以及第二电容耦合电极图案 138 在像素结构 130 中扮演十分重要的角色。具体而言,第一电容耦合电极图案 136 以及第二电容耦合电极图案 138 可有效降低次像素电极 134S 与数据线(如 DL1、DL2)之间的杂散电容,其详细机制详述于后。

在本实施例中,数据线 DL1、DL2、第一、第二电容耦合电极图案 136、138 与第一、第二上电极图案 152、154 例如是属于同一膜层所定义而成,其中第二上电极图案 154 可与第一电容耦合电极图案 136 连接。如图 1 所示,邻近第一数据线 DL1 的第一电容耦合电极图案 136 例如是分别通过接触窗 H4、接触窗 H3 与主像素电极 134M₁、主像素电极 134M₂电性连接,而邻近第二数据线 DL2 的第二电容耦合电极图案 138 例如是通过接触窗 H5 与主像素电极 134M₂电性连接。

承上述,第一电容耦合电极图案 136 以及第二电容耦合电极图案 138 与次像素电极 134S 电性绝缘。然而,部分第一电容耦合电极图案 136 以及部分第二电容耦合电极图案 138 与次像素电极 134S 重叠,而使第一电容耦合电极图案 136 以及第二电容耦合电极图案 138 可通过电容耦合效应而影响次像素电极 134S 的电压。因此,通过第一电容耦合电极图案 136 可降低次像素电极 134S 与第一数据线 DL1 之间的耦合电容,而第二电容耦合电极图案 138 可降低次像素电极 134S 与第二数据线 DL2 之间的耦合电容,可以有助于平衡次像素电极 134S 跟邻近的第一数据线 DL1 与第二数据线 DL2 间的杂散电容。而且,将第一电容耦合电极图案 136 与第二电容耦合电极 138 分别设置在次像素电极 134S 邻近第一数据线 DL1 与第二数据线 DL2 的相对两侧可以获得更佳的电容

平衡效果。

由上述实施例可知，每个像素结构中的各个构件的功能与各个构件之间的配置关系。而以下实施例是将两个像素结构视为一组像素结构，以进一步探讨每一组像素结构中的各个构件的配置关系。换言之，在以下实施例中，每一像素结构中的组成构件与图1的实施例大致相同，以下实施例是在以两个像素结构为一组的结构情况下可作的组件布局变化。

图2为本发明的实施例的液晶显示器的像素阵列的局部俯视示意图，其中图2仅绘示一组像素结构230。请参照图2，本实施例的液晶显示器的像素阵列200包括M条数据线（如DL1、DL2）、N条扫描线（如SL1、SL2）以及与数据线与扫描线电性连接且阵列排列的多组像素结构230，其中M与N例如是大于等于1的整数。

在本实施例中，一组像素结构230包括一第一像素结构230a以及一第二像素结构230b。第一像素结构230a包括一第一开关组件232a、至少一第一主像素电极234M_a、至少一第一次像素电极234S_a、一第一电容耦合电极图案136以及一第二电容耦合电极图案138，其中第一主像素电极234M_a包括主像素电极234M₁与主像素电极234M₂两部分（主像素电极234M₁与主像素电极234M₂又可称为第一子像素电极234M₁与第二子像素电极234M₂）。第二像素结构230b包括一第二开关组件232b、至少一第二主像素电极234M_b、至少一第二次像素电极234S_b、一第三电容耦合电极图案236以及一第四电容耦合电极图案238，其中第二主像素电极234M_b包括主像素电极234M₃与一主像素电极234M₄两部分（主像素电极234M₃与主像素电极234M₄又可称为第三子像素电极234M₃与第四子像素电极234M₄）。

值得一提的是，在本实施例中，第一开关组件232a与第二开关组件232b电性连接至同一条数据线，其中第一开关组件232a所在的位置与第二开关组件232b所在的位置彼此对齐，且第一开关组件232a与第二开关组件232b位于所在像素结构的角落区域。详细而言，在本实施例中，第一开关组件232a与第一扫描线SL1以及第一数据线DL1电性连接，而第二开关组件232b与第二扫描线SL2以及第一数据线DL1电性连接，且第一开关组件232a与第二开关组件232b以邻近第一数据线DL1的方式分别配置在第一像素结构230a与第二像素结构230b的角落区域。

实务上,本实施例的液晶显示器的像素阵列 200 可应用于各种类型的液晶显示器中。为了使具有液晶显示器的像素阵列 200 的液晶显示器发挥广视角的功效,本实施例的第一、第二主像素电极 234M_a、234M_b与第一、第二次像素电极 234S_a、234S_b可进一步具有锯齿状边缘。此外,使具有液晶显示器的像素阵列 200 的液晶显示器维持良好的显示质量,本实施例的液晶显示器的像素阵列 200 可进一步包括一第一共享线 142、一第二共享线 144、一第三共享线 242、一第四共享线 244。另外,在第一共享线 142、一第二共享线 144、一第三共享线 242、一第四共享线 244 的上方更可进一步分别包括配置有至少一第一上电极图案、至少一第二上电极图案、至少一第三上电极图案以及至少一第四上电极图案(图 2 中未示出,请参考图 1 所示的上电极图案 152、154 的设置)。

除了上述图 2 所述的像素结构组的设置方式之外,还可以有其它的像素结构组的设置,如图 3 所示。在图 3 中,液晶显示器的像素阵列 300 与图 2 的液晶显示器的像素阵列 200 相类似,但二者主要差异之处在于:本实施例的像素结构组 330 中的第一像素结构 330a 的第一开关组件 232a 和第二像素结构 330b 的第二开关组件 232b 分别电性连接至不同的数据线。更进一步地说,第一开关组件 232a 所在的位置与第二开关组件 232b 所在的位置彼此对齐,且第一开关组件 232a 与第二开关组件 232b 分别位于第一像素结构 330a 与第二像素结构 330b 的角落区域。此外,在该角落区域中,第一开关组件 232a 与第一数据线 DL1 电性连接,而第二开关组件 232b 与第二数据线 DL2 电性连接。

如图 3 所示,于第二像素结构 330b 中,第二数据线 DL2 具有平行于扫描线的一延伸部 DL'。因此,第二开关组件 232b 可通过延伸部 DL' 而与第二数据线 DL2 电性连接。然而,延伸部 DL' 与第二次像素电极 234S_b之间也会发生电容耦合效应。为了降低第一像素结构 330a 与第二像素结构 330b 间的电容耦合效应的差异性,液晶显示器的像素阵列 300 可进一步在第一像素结构 330a 中配置一补偿线 CL。其中,补偿线 CL 会与第一开关组件 232a 电性绝缘,且自第一开关组件 232a 以与扫描线相同延伸方向延伸至第二数据线 DL2 并与第二数据线 DL2 电性连接。

由上述可知,本实施例不仅具备第一、第二实施例的优点,在每一组像素结构 330 中的第一、第二像素结构 330a、330b 还可通过补偿线 CL 的配置而降低彼此间电容耦合效应的差异。

另外,根据本发明另一实施例,像素结构组的设计还可以是如图4所示。在图4中,液晶显示器的像素阵列400与图3的液晶显示器的像素阵列300相类似,但二者主要差异之处在于:像素结构组430中的第一开关组件232a与第二开关组件232b分别位于第一像素结构430a与第二像素结构430b邻近相对应扫描线的一侧边的中间区域。

如图4所示,第一数据线DL1与第二数据线DL2分别具有平行于扫描线的第一延伸部DL1'与第二延伸部DL2'。因此,第一开关组件232a可利用第一延伸部DL1'而与第一数据线DL1电性连接,而第二开关组件232b可利用第二延伸部DL2'而与第二数据线DL2电性连接。然而,第一延伸部DL1'会同时与第一主、次像素电极234M_a、234S_a产生电容耦合,而第二延伸部DL2'仅会与第二次像素电极234S_b产生电容耦合。为了降低第一像素结构430a与第二像素结构430b间的电容耦合效应的差异性,液晶显示器的像素阵列400可进一步在第一像素结构430a中配置一第一补偿线CL1,而在第二像素结构430b中配置一第二补偿线CL2。其中,第一补偿线CL1与第一开关组件232a电性绝缘,且自第一开关组件232a以与扫描线相同延伸方向延伸至第二数据线DL2并与第二数据线DL2电性连接;第二补偿线CL2与第二开关组件232b电性绝缘,且自第二开关组件232b以与扫描线相同延伸方向延伸至第一数据线DL1并与第一数据线DL1电性连接。

根据本发明又一实施例,像素结构组的设计还可以是如图5所示。在图5中,液晶显示器的像素阵列500与图4的液晶显示器的像素阵列400相类似,但二者主要差异之处在于:像素结构组530中的第一像素结构530a的第一开关组件232a所在的位置与第二像素结构530b的第二开关组件232b所在的位置彼此交错。更详细地说,第一开关组件232a与第一数据线DL1电性连接,而第二开关组件232b与第二数据线DL2电性连接,其中第一开关组件232a位于第一像素结构530a的角落区域会与第二开关组件232b位于第二像素结构530b的角落区域呈现彼此交错的排列方式。

在本实施例中,由于第一开关组件232a邻近于第一数据线DL1且第二开关组件232b邻近于第二数据线DL2,因此,第一像素结构530a与第二像素结构530b的电容耦合不会有太大差异。然而,设计者也可视产品的需求在第一像素结构530a与第二像素结构530b中设置补偿线,但不以此为限。

在其它实施例中，当第一开关组件 232a 所在的位置会与第二开关组件 232b 所在的位置彼此交错时，第一开关组件 232a 与第二开关组件 232b 可以电性连接至同一条数据线，例如第一数据线 DL1。当然，也可选择性地在适当位置中设置补偿线，以补偿第一像素结构 530a 与第二像素结构 530b 的电容耦合的差异。

综上所述，本发明的液晶显示器的像素阵列中的每组或每个像素结构被主像素电极与次像素电极划分为不同的电压区域，其中位于次像素电极两侧邻近数据线的第二电容耦合图案电极图案与第一电容耦合图案电极图案有助于平衡次像素电极与邻近数据线间的杂散电容，而且有更佳的电容平衡效果。将本发明的像素结构应用于液晶显示器中，则该液晶显示器的串音现象可获得改善。

虽然本发明已以较佳实施例公开如上，但其并非用以限定本发明，任何本领域的技术人员，在不脱离本发明的精神和范围内，当可作些许的更动与修改，因此本发明的保护范围当视后附的权利要求书所界定者为准。

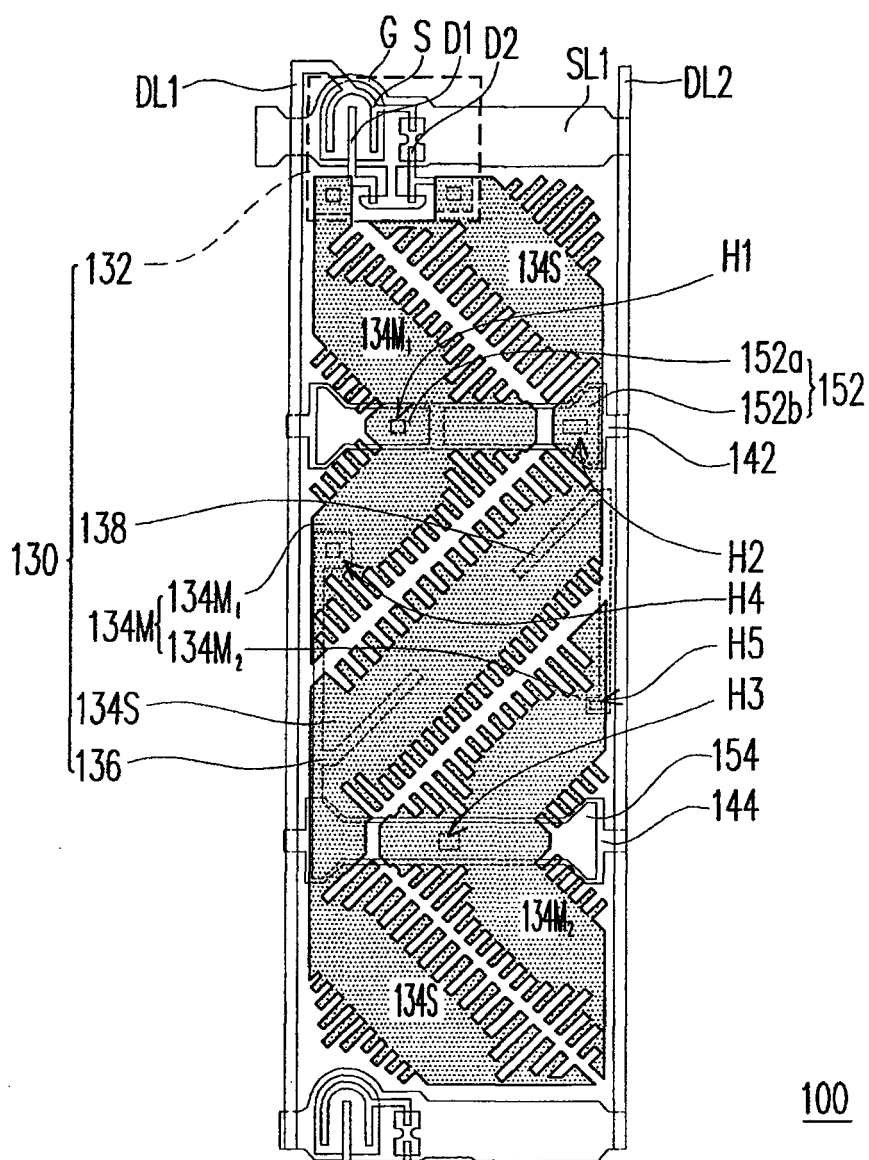


图 1

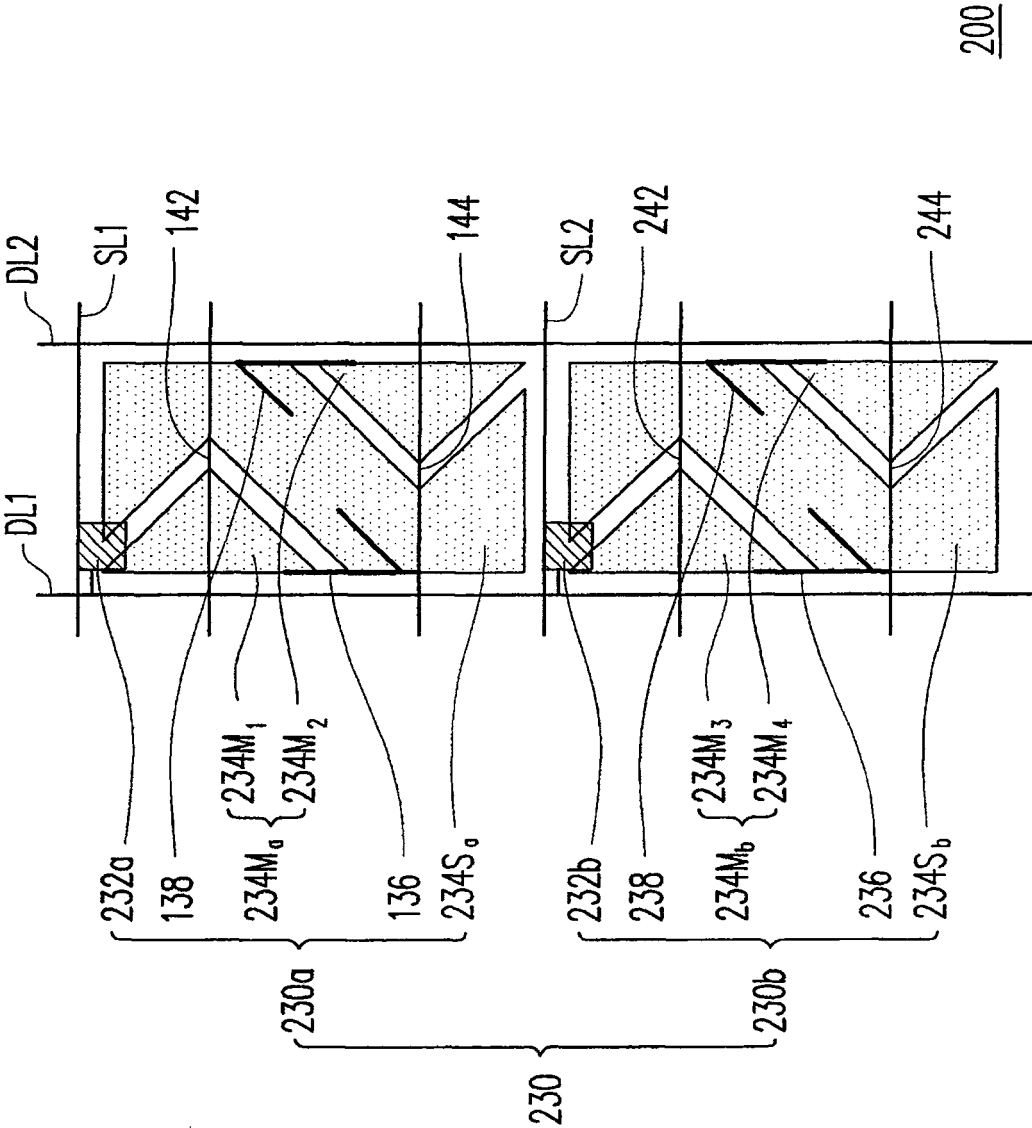


图 2

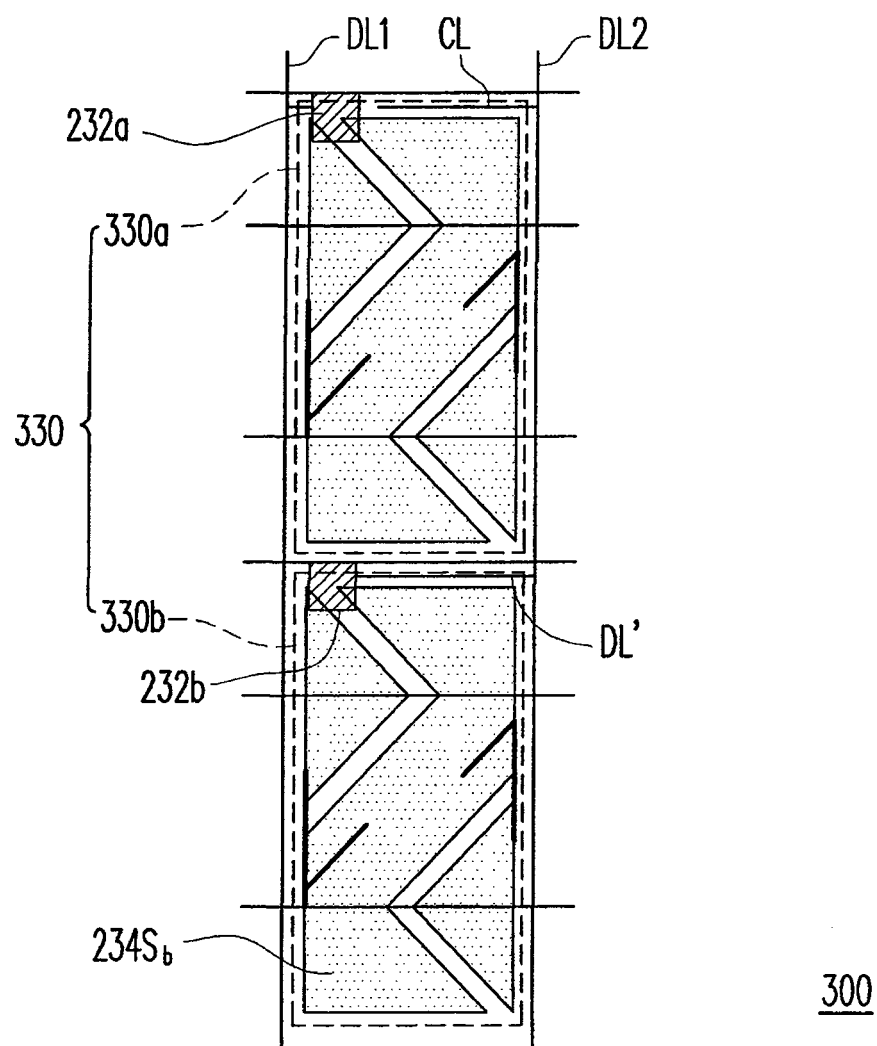


图 3

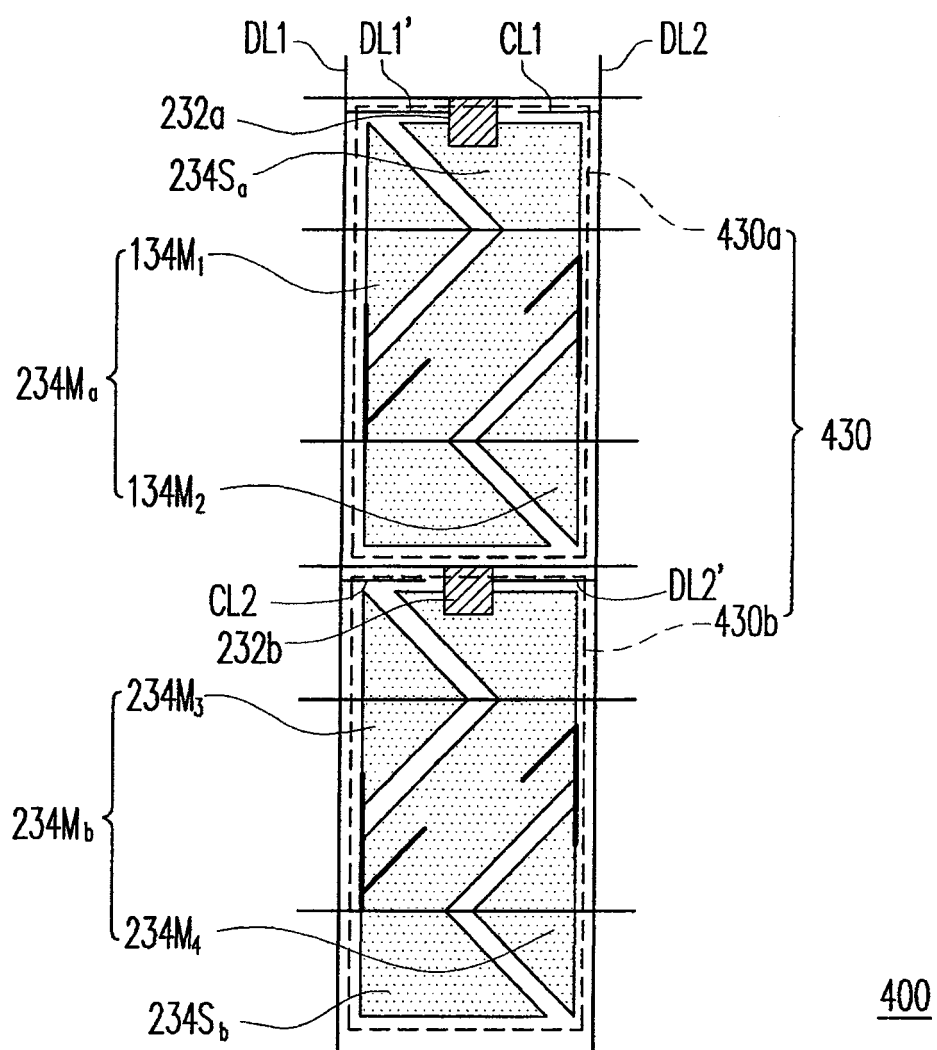


图 4

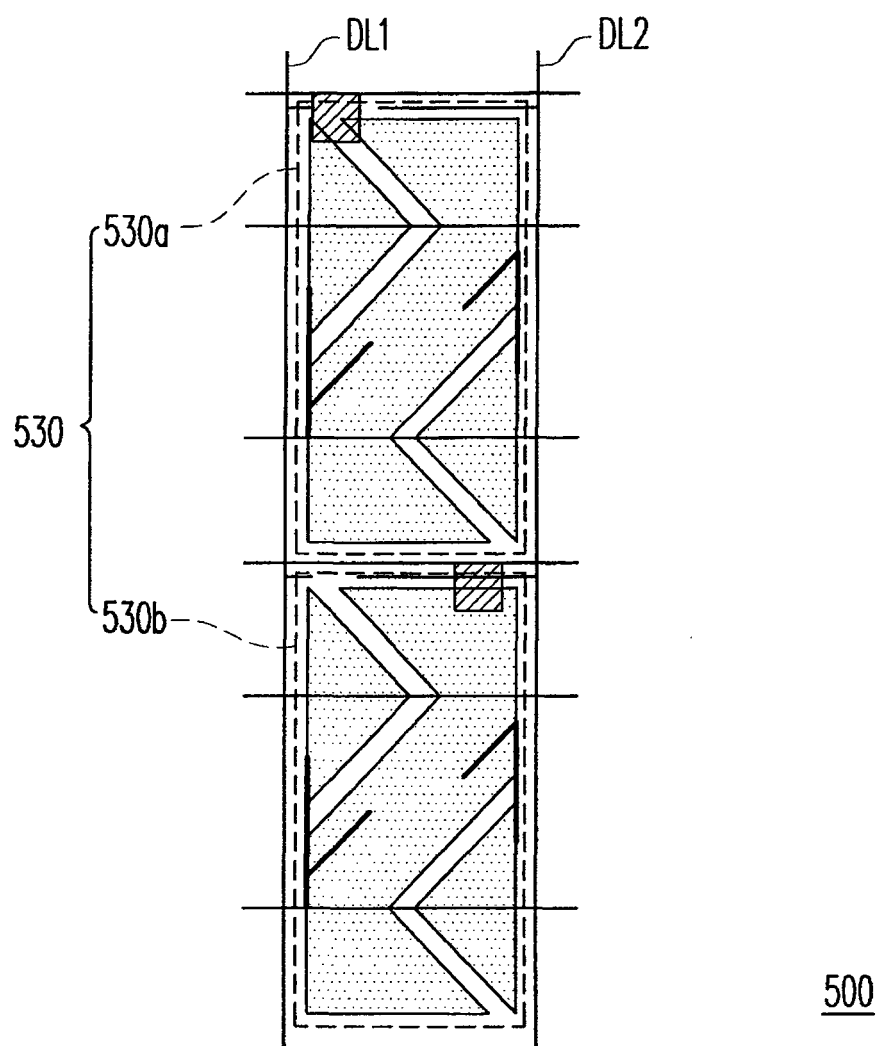


图 5

专利名称(译)	液晶显示器的像素阵列		
公开(公告)号	CN100573293C	公开(公告)日	2009-12-23
申请号	CN200810171157.5	申请日	2008-10-22
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	周玉蕙 黄雪瑛		
发明人	周玉蕙 黄雪瑛		
IPC分类号	G02F1/1362 G02F1/1343		
审查员(译)	崔双魁		
其他公开文献	CN101387803A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器的像素阵列，其包括M条数据线、N条扫描线以及与数据线及扫描线电性连接且阵列排列的多个像素结构。每一像素结构包括开关组件、至少一主像素电极、至少一次像素电极、第一电容耦合电极图案以及第二电容耦合电极图案。开关组件与第一扫描线以及第一数据线电性连接。上述至少一主像素电极以及至少一次像素电极与开关组件电性连接。第一与二电容耦合电极图案与上述至少一主像素电极电性连接且与上述至少一次像素电极产生电容耦合，其中第一电容耦合电极图案邻近第一数据线设置，第二电容耦合电极图案邻近第二数据线设置。

