



(12) 实用新型专利

(10) 授权公告号 CN 201867560 U

(45) 授权公告日 2011. 06. 15

(21) 申请号 201020601201. 4

(22) 申请日 2010. 11. 08

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 成都京东方光电科技有限公司

(72) 发明人 谭文 祁小敬

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/12 (2006. 01)

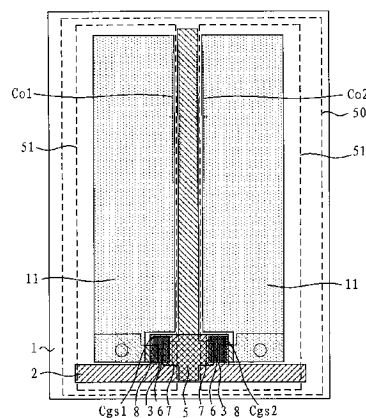
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 实用新型名称

阵列基板和液晶显示器

(57) 摘要

本实用新型公开了一种阵列基板和液晶显示器,其中该阵列基板包括衬底基板,衬底基板上形成有纵横交叉的数据线和栅线,以及多个像素单元,其中:像素单元包括两个亚像素单元,像素单元的数据线形成在两个亚像素单元之间;亚像素单元包括像素电极和薄膜晶体管,薄膜晶体管包括栅电极、源电极、漏电极和有源层。本实用新型通过数据线将每个像素单元分为两个亚像素单元,在数据线发生偏移时,数据线与两个亚像素单元的像素电极之间的耦合电容产生差异,使两个亚像素单元灰阶组合后变化相互抵消,减弱数据线发生偏移对像素单元产生的液晶电压的影响,减小垂直串扰;像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿,减弱闪烁现象。



1. 一种阵列基板,包括衬底基板,所述衬底基板上形成有横纵交叉的数据线和栅线,以及多个像素单元,其特征在于:

所述像素单元包括两个亚像素单元,所述像素单元的数据线形成在两个亚像素单元之间;

所述亚像素单元包括像素电极和薄膜晶体管,所述薄膜晶体管包括栅电极、源电极、漏电极和有源层;

所述像素单元的数据线分别与所述像素单元的两个亚像素单元的源电极连接,所述像素单元的栅线分别与所述像素单元的两个亚像素单元的栅电极连接,所述亚像素单元的像素电极分别与各自的漏电极相连。

2. 根据权利要求1所述的阵列基板,其特征在于:所述像素单元的两个亚像素单元关于所述像素单元的数据线对称。

3. 根据权利要求1所述的阵列基板,其特征在于:所述像素单元的两个亚像素单元对应的薄膜晶体管的沟道宽长比不同。

4. 根据权利要求1所述的阵列基板,其特征在于:所述像素单元的两个亚像素单元对应像素电极面积不同。

5. 根据权利要求1所述的阵列基板,其特征在于:所述衬底基板上还形成有与所述栅线位于同层的公共电极线。

6. 根据权利要求5所述的阵列基板,其特征在于:所述公共电极线与所述像素电极具有交叠区域。

7. 根据权利要求6所述的阵列基板,其特征在于:所述公共电极线包括对应像素单元之间的部分。

8. 一种液晶显示器,包括液晶面板,其特征在于:所述液晶面板包括对盒设置的彩膜基板和权利要求1-7任一所述的阵列基板,所述彩膜基板和阵列基板中夹设有液晶层。

阵列基板和液晶显示器

技术领域

[0001] 本实用新型涉及液晶显示技术,尤其涉及一种阵列基板和液晶显示器。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 是液晶显示器中的主流产品。图 1A 为现有 TFT-LCD 阵列基板的局部俯视结构示意图,图 1B 为图 1A 中的单个像素单元的局部俯视结构示意图,如图 1A 和图 1B 所示,现有阵列基板包括衬底基板 1;衬底基板 1 上形成有纵横交叉的数据线 5 和栅线 2;数据线 5 和栅线 2 围设形成矩阵形式排列的像素单元;栅线 2 与数据线 5 之间有绝缘层隔离;每个像素单元包括一个 TFT 开关和像素电极 11;TFT 开关包括栅电极 3、源电极 7、漏电极 8 和有源层 6;栅电极 3 连接栅线 2,源电极 7 连接数据线 5,漏电极 8 连接像素电极 11,有源层 6 形成在源电极 7 和漏电极 8 与栅电极 3 之间,栅电极 3 和有源层 6 之间为栅绝缘层(图中未示)。其中,像素电极 11 与公共电极线 12 的交叠部分形成存储电容 C_b ,栅电极 3 和源电极 7 的交叠部分形成寄生电容 C_{gs} 。

[0003] 随着 TFT-LCD 的画质质量和分辨率要求的提高, TFT-LCD 中的像素单元的尺寸越来越小,像素单元中的信号线如:数据线和栅线对像素电极的影响越来越大。如图 1A 和图 1B 所示,数据线 5 位于一个像素单元的一边,位于两个相邻的像素单元之间,数据线 5 的偏移对每个像素单元的寄生电容 C_{gs} 的影响是单方向的。

[0004] 如果数据线曝光发生水平偏移,共用数据线的两个像素单元受左右两边数据线的耦合电容差异变大,两个像素单元的液晶电压差异增加,存在垂直串扰差异问题,产生垂直串扰;并且数据线偏移也导致某些像素单元的栅电极与源电极的寄生电容的变大,增大该像素单元的馈入电压,导致闪烁(flicker)现象严重。

实用新型内容

[0005] 本实用新型提供一种阵列基板和液晶显示器,以实现减弱垂直串扰和闪烁问题。

[0006] 本实用新型提供一种阵列基板,包括衬底基板,所述衬底基板上形成有纵横交叉的数据线和栅线,以及多个像素单元,其中:

[0007] 所述像素单元包括两个亚像素单元,所述像素单元的数据线形成在两个亚像素单元之间;

[0008] 所述亚像素单元包括像素电极和薄膜晶体管,所述薄膜晶体管包括栅电极、源电极、漏电极和有源层;

[0009] 所述像素单元的数据线分别与所述像素单元的两个亚像素单元的源电极连接,所述像素单元的栅线分别与所述像素单元的两个亚像素单元的栅电极连接,所述亚像素单元的像素电极分别与各自的漏电极相连。

[0010] 如上所述的阵列基板,其中,所述像素单元的两个亚像素单元关于所述像素单元的数据线对称。

- [0011] 所述像素单元的两个亚像素单元对应的薄膜晶体管的沟道宽长比不同。
- [0012] 所述像素单元的两个亚像素单元对应像素电极面积不同。
- [0013] 进一步地,所述衬底基板上还形成有与所述栅线位于同层的公共电极线。所述公共电极线与所述像素电极具有交叠区域。所述公共电极线包括对应像素单元之间的部分。
- [0014] 本实用新型还提供一种液晶显示器,包括液晶面板,所述液晶面板包括对盒设置的彩膜基板和本实用新型提供的任一所述的阵列基板,所述彩膜基板和阵列基板中夹设有液晶层。
- [0015] 本实用新型提供的阵列基板和液晶显示器,通过数据线将每个像素单元分为两个亚像素单元,在数据线发生偏移时,数据线与两个亚像素单元的像素电极之间的耦合电容产生差异,使两个亚像素单元灰阶组合后变化相互抵消,减弱了数据线发生偏移对像素单元产生的液晶电压的影响,从而减小垂直串扰;并且,像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿,减弱闪烁现象。

附图说明

- [0016] 图 1A 为现有 TFT-LCD 阵列基板的局部俯视结构示意图;
- [0017] 图 1B 为图 1A 中的单个像素单元的局部俯视结构示意图;
- [0018] 图 2 为本实用新型实施例一提供的阵列基板的局部俯视结构示意图;
- [0019] 图 3 为本实用新型实施例二提供的阵列基板的局部俯视结构示意图。
- [0020] 主要附图标记:
- [0021] 1- 衬底基板; 2- 栅线; 3- 栅电极;
- [0022] 5- 数据线; 6- 有源层; 7- 源电极;
- [0023] 8- 漏电极; 9- 钝化层; 11- 像素电极;
- [0024] 12- 公共电极线; 50- 像素单元; 51- 亚像素单元。

具体实施方式

[0025] 为使本实用新型实施例的目的、技术方案和优点更加清楚,下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0026] 实施例一

[0027] 图 2 为本实用新型实施例一提供的阵列基板的局部俯视结构示意图,如图 2 所示,该阵列基板包括衬底基板 1,衬底基板 1 上形成有纵横交叉的数据线 5 和栅线 2,以及多个像素单元 50,其中:

[0028] 像素单元 50 包括两个亚像素单元 51,像素单元 50 的数据线 5 形成在两个亚像素单元 51 之间;亚像素单元 51 包括和薄膜晶体管,所述薄膜晶体管包括像素电极 11、栅电极 3、源电极 7、漏电极 8 和有源层 6;

[0029] 所述像素单元的数据线分别与所述像素单元的两个亚像素单元的源电极连接,所述像素单元的栅线分别与所述像素单元的两个亚像素单元的栅电极连接,所述亚像素单元

的像素电极分别与各自的漏电极相连。

[0030] 其中,每个像素单元 50 的数据线 5 将该像素单元 50 分成两个部分,得到两个亚像素单元 51,两个亚像素单元 51 分别位于该像素单元 50 的数据线 5 的两边。每个亚像素单元 51 具有各自的 TFT 开关、像素电极和公共电极线,但两个亚像素单元 51 使用相同的栅线和数据线,两个亚像素单元 51 的源极与同一数据线连接。在显示时,两个亚像素单元 51 可以同时充放电,液晶电压相同,显示相同灰阶,具有相同的存储电容,在视觉上显示为一个像素单元。

[0031] 由于数据线 5 位于像素单元 50 的两个亚像素单元 51 的像素电极 11 之间,假设所述像素单元用于实现单畴显示,两个亚像素单元关于所述像素单元的数据线对称,数据线 5 与两个亚像素单元 51 的像素电极 11 的距离相等,则数据线 5 与每个亚像素单元 51 的像素电极 11 的耦合电容 C_{o1} 和耦合电容 C_{o2} 相同。如果数据线 5 发生水平偏移,则数据线 5 与其左右的两个亚像素单元 51 的像素电极 11 距离发生变化,一个距离增大,一个距离减小,此时数据线 5 与每个亚像素单元 51 的像素电极 11 的耦合电容 C_{o1} 和耦合电容 C_{o2} 产生差异。当该行像素单元充电完成,数据线 5 对其他行像素单元充电,电压跳变时,该行像素单元的两个亚像素单元的耦合电容 C_{o1} 和耦合电容 C_{o2} 产生差异,液晶电压产生差异,导致灰阶出现差异。但由于两个亚像素单元的灰阶组合为该像素单元的灰阶,并且该像素单元的两个亚像素单元灰阶的变化一个增大、一个减小,因此,两个亚像素单元灰阶组合后变化相互抵消,该像素单元的总的灰阶变化很小。因此,在一条数据线 5 的电压跳变时,像素单元的耦合电容变化小,像素单元产生的液晶电压受到耦合电容的影响不大且分布均匀。

[0032] 并且,由于 TFT 开关的源电极与栅电极之间形成寄生电容。现有技术中,如果数据线 5 向源电极方向偏移,则源电极与栅电极之间的交叠区域面积增加,引起寄生电容增大,使 TFT 开关的馈入电压增大或减少,使阵列基板中不同位置的像素单元的馈入电压不同,产生严重的闪烁问题。而本实施例中由于每个像素单元的两个亚像素单元具有各自的 TFT 开关,当该像素单元的数据线 5 发生水平偏移时,每个亚像素单元的 TFT 开关的源电极、漏电极与栅极的交叠区域面积都发生变化。如图 2 所示,假设数据线 5 向左偏移,左边亚像素单元的寄生电容 C_{gs1} 增大,但是右边亚像素单元的寄生电容 C_{gs2} 减小;假设数据线向右偏移时,右边亚像素单元的源电极与栅电极之间的寄生电容 C_{gs2} 增大,左边亚像素单元的源电极与栅电极之间的寄生电容 C_{gs1} 减小。综上所述,数据线发生偏移后,对像素单元的两个亚像素单元的寄生电容 C_{gs1} 和寄生电容 C_{gs2} 的作用相反,寄生电容 C_{gs1} 和寄生电容 C_{gs2} 可以相互抵消,实现像素单元内部寄生电容的自补偿。

[0033] 本实施例阵列基板的每个像素单元包括两个亚像素单元,且像素单元的数据线形成在两个亚像素单元之间,在数据线发生偏移时,数据线 5 与两个亚像素单元的像素电极之间的耦合电容产生差异,使两个亚像素单元灰阶组合后变化相互抵消,减弱了数据线发生偏移对像素单元产生的液晶电压的影响,从而减小垂直串扰;并且,像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿,减弱闪烁现象。

[0034] 实施例二

[0035] 图 3 为本实用新型实施例二提供的阵列基板的局部俯视结构示意图,如图 3 所示,该阵列基板包括衬底基板 1,衬底基板 1 上形成有纵横交叉的数据线 5 和栅线 2,以及多个像素单元 50,其中:

[0036] 像素单元 50 包括两个亚像素单元 51, 像素单元 50 的数据线 5 形成在两个亚像素单元 51 之间; 亚像素单元 51 包括和薄膜晶体管, 所述薄膜晶体管包括像素电极 11、栅电极 3、源电极 7、漏电极 8 和有源层 6;

[0037] 所述像素单元 50 的数据线 5 分别与所述像素单元的两个亚像素单元 51 的源电极 7 连接, 所述像素单元 50 的栅线 2 分别与所述像素单元的两个亚像素单元 51 的栅电极 3 连接, 所述亚像素单元的像素电极分别与各自的漏电极相连。

[0038] 此外, 该阵列基板的衬底基板 1 上还形成有与所述栅线位于同层的公共电极线 12。

[0039] 进一步地, 公共电极线 12 可以位于数据线 5 之下, 公共电极线 12 分别与数据线 5 和像素电极 11 之间形成有绝缘层, 公共电极线 12 与像素电极 11 具有交叠区域。此外, 公共电极线 12 可以包括对应像素单元 50 之间的部分。

[0040] 再进一步地, 像素单元 50 的数据线 5 分别与所述像素单元的两个亚像素单元 51 的源电极 6 连接; 像素单元 50 的栅线 2 分别与像素单元 50 的两个亚像素单元 51 的栅电极 3 连接。亚像素单元 51 的像素电极 11 分别与各自的漏电极 8 相连。

[0041] 本实施例数据线、公共电极线与两个亚像素单元的像素电极之间的耦合电容产生差异, 使两个亚像素单元灰阶组合后变化相互抵消, 减弱了数据线发生偏移对像素单元产生的液晶电压的影响, 从而减小垂直串扰; 并且, 像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿, 减弱闪烁现象。

[0042] 另外, 该像素单元 50 也可以为一种双畴结构的像素单元, 将该像素单元 50 的两个亚像素单元的 TFT 开关的沟道的宽长比设计为不同, 在同一数据线电压下, 由于同一栅线电压在不同宽长比的 TFT 开启电流的不同, 通过对充电时间的设置, 可以使一个像素单元中的两个亚像素单元充入不同的液晶电压, 对不同的畴区充入不同的液晶控制电压, 使其液晶分子有不同的扭转角度从而实现双畴的应用。或者, 所述像素单元的两个亚像素单元对应像素电极面积不同, 充电后, 两个亚像素单元的像素电极上的电压不同, 可用于实现双畴显示。

[0043] 实施例三

[0044] 本实用新型实施例三提供一种液晶显示器, 包括液晶面板, 其特征在于: 所述液晶面板包括对盒设置的彩膜基板和本实用新型实施例中提供的任一阵列基板, 所述彩膜基板和阵列基板中夹设有液晶层。

[0045] 由于阵列基板的数据线位于每个像素单元的中部, 数据线与彩膜基板对应的位置需要使用黑矩阵 (BM) 挡光, 不同的像素单元之间则可以不用 BM 挡光, 而直接采用与栅线同层的、包括对应像素单元之间的部分设置的公共电极线的图案挡光。

[0046] 本实施例数据线与两个亚像素单元的像素电极之间的耦合电容产生差异, 使两个亚像素单元灰阶组合后变化相互抵消, 减弱了数据线发生偏移对像素单元产生的液晶电压的影响, 从而减小垂直串扰; 并且, 像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿, 减弱闪烁现象。

[0047] 最后应说明的是: 以上实施例仅用以说明本实用新型的技术方案, 而非对其限制; 尽管参照前述实施例对本实用新型进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分技术特征进行等

同替换 ;而这些修改或者替换,并不使相应技术方案的本质脱离本实用新型各实施例技术方案的精神和范围。

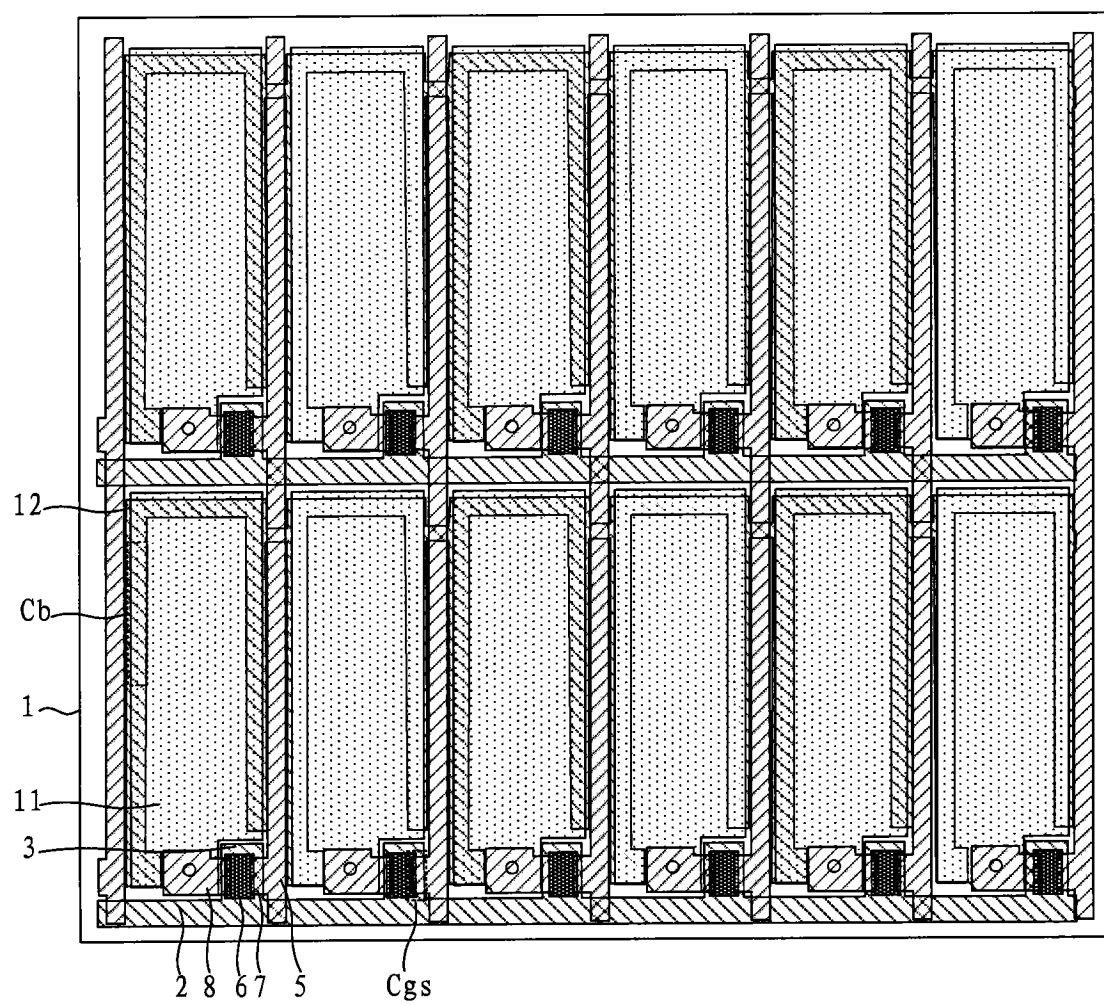


图 1A

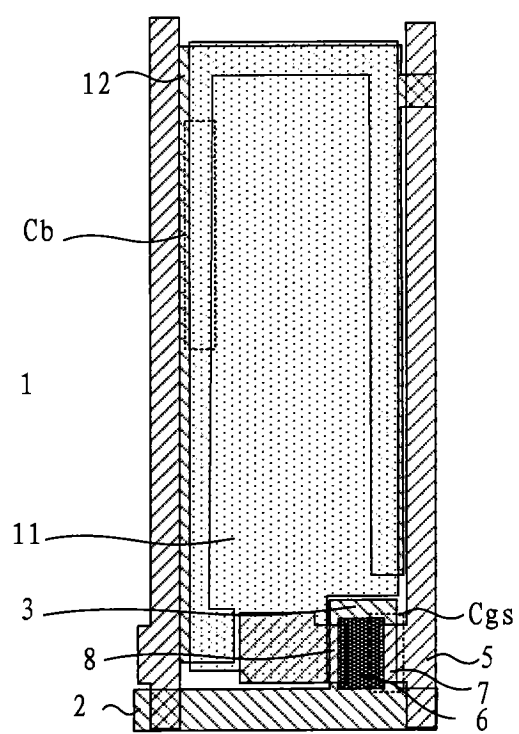


图 1B

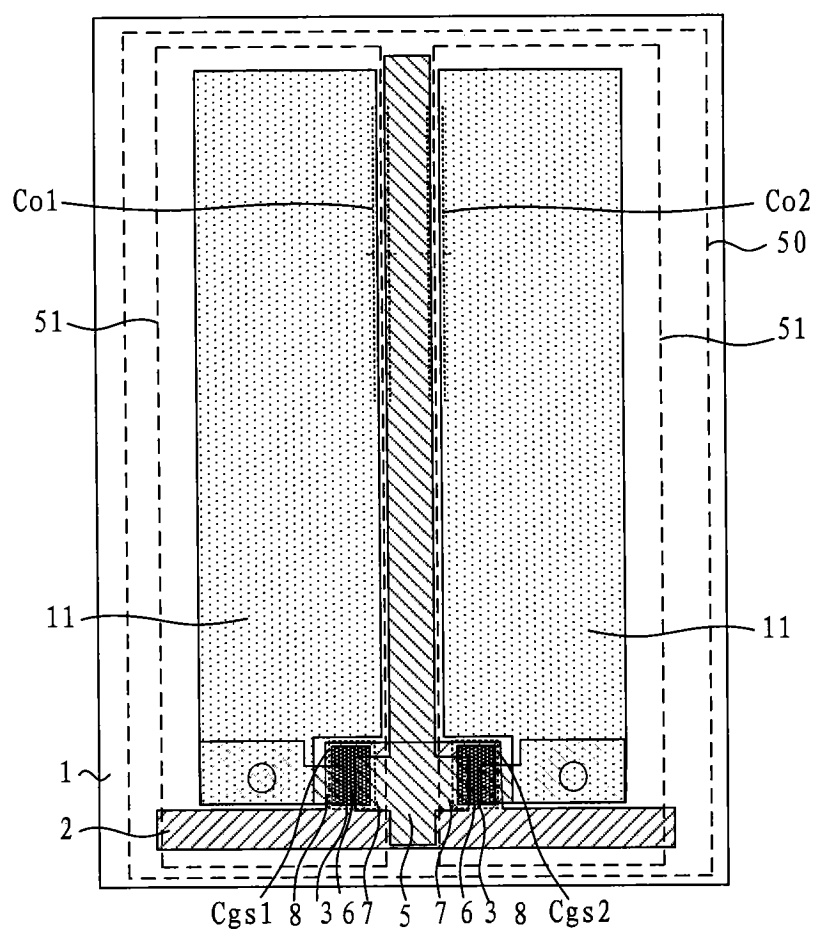


图 2

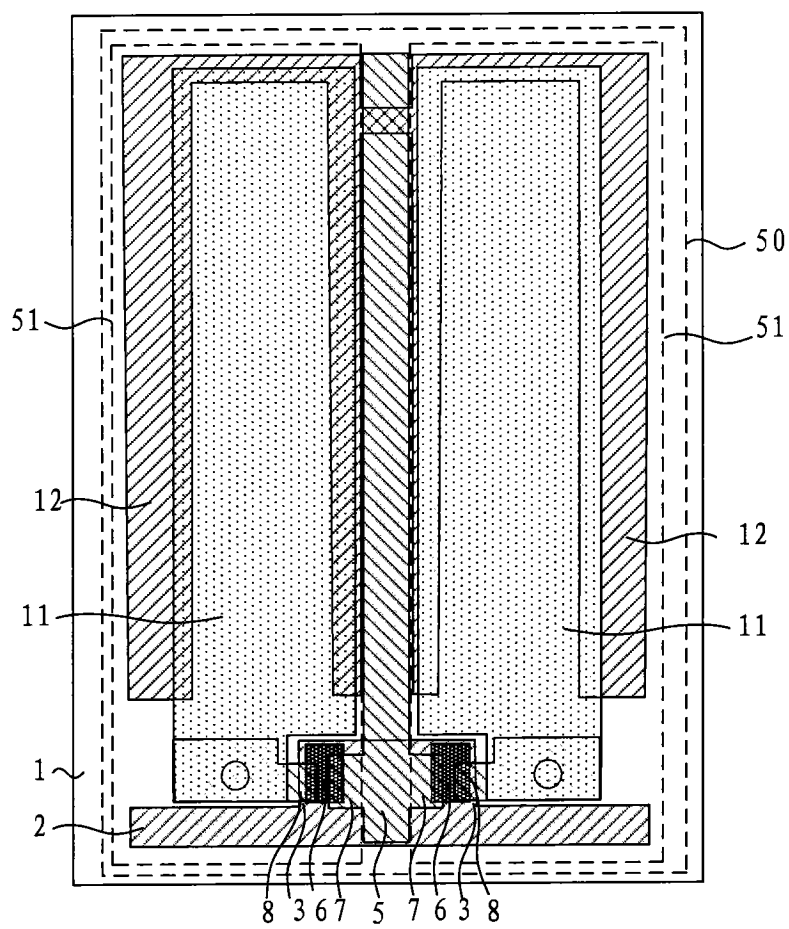


图 3

专利名称(译)	阵列基板和液晶显示器		
公开(公告)号	CN201867560U	公开(公告)日	2011-06-15
申请号	CN201020601201.4	申请日	2010-11-08
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	谭文 祁小敬		
发明人	谭文 祁小敬		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12		
CPC分类号	G02F2001/134345 G02F1/1362 H01L27/124 H01L27/12 G02F1/13624 G02F1/1368		
代理人(译)	刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种阵列基板和液晶显示器，其中该阵列基板包括衬底基板，衬底基板上形成有纵横交叉的数据线和栅线，以及多个像素单元，其中：像素单元包括两个亚像素单元，像素单元的数据线形成在两个亚像素单元之间；亚像素单元包括像素电极和薄膜晶体管，薄膜晶体管包括栅电极、源电极、漏电极和有源层。本实用新型通过数据线将每个像素单元分为两个亚像素单元，在数据线发生偏移时，数据线与两个亚像素单元的像素电极之间的耦合电容产生差异，使两个亚像素单元灰阶组合后变化相互抵消，减弱数据线发生偏移对像素单元产生的液晶电压的影响，减小垂直串扰；像素单元的两个亚像素单元的寄生电容互相抵消实现自补偿，减弱闪烁现象。

