

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/133 H01L 29/786

H01L 21/00



[12] 发明专利申请公开说明书

[21] 申请号 200410029913.2

[43] 公开日 2004 年 12 月 1 日

[11] 公开号 CN 1550857A

[22] 申请日 2004.3.29

[21] 申请号 200410029913.2

[30] 优先权

[32] 2003.3.29 [33] KR [31] 10-2003-0019781

[32] 2003.3.29 [33] KR [31] 10-2003-0019783

[32] 2003.4.3 [33] KR [31] 10-2003-0021118

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国汉城

[72] 发明人 安炳喆 林柄昊

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

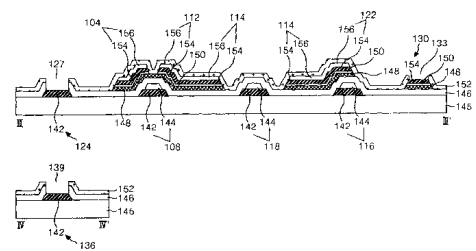
代理人 徐金国 祁建国

权利要求书 5 页 说明书 22 页 附图 38 页

[54] 发明名称 水平电场施加型液晶显示器及其制造方法

[57] 摘要

本发明提供了一种采用水平电场的液晶显示器以及能够减少掩模工艺数量的液晶显示器件制造方法。按照本发明的水平电场施加型液晶显示器包括：薄膜晶体管阵列基板，其包括栅极线，与栅极线平行的公共线，与栅极线和公共线交叉的数据线，在栅极线和数据线的各个交叉点上形成的薄膜晶体管，连接到公共线的公共电极，连接到薄膜晶体管并且和公共电极共同产生水平电场的像素电极，栅极焊盘，数据焊盘，以及钝化薄膜；与薄膜晶体管阵列基板组合的滤色片基板，二者之间填充有液晶材料；以及连接到薄膜晶体管阵列基板上的导电薄膜。



ISSN 1008-4274

1. 一种水平电场施加型液晶显示器，包括：

薄膜晶体管阵列基板，该薄膜晶体管阵列基板包括栅极线，与栅极线平行的公共线，与栅极线和公共线交叉并通过介于其间的栅极绝缘薄膜来限定一个象素区的数据线，在栅极线和数据线的各个交叉点上形成的薄膜晶体管，形成在象素区内并且连接到公共线的公共电极，连接到薄膜晶体管并且和象素区内的公共电极共同产生一个水平电场的象素电极，用栅极线所包括的至少一个导电层形成的栅极焊盘，用数据线所包括的至少一个导电层形成的数据焊盘，用公共线所包括的至少一个导电层形成的公共焊盘，以及暴露出栅极焊盘、数据焊盘和公共焊盘的钝化薄膜，它们都形成在基板上由此构成薄膜晶体管阵列基板；

与薄膜晶体管阵列基板组合的滤色片阵列基板，在滤色片阵列基板和薄膜晶体管阵列基板之间填充有液晶材料；以及

15 连接到薄膜晶体管阵列基板上暴露出的栅极焊盘、数据焊盘和公共焊盘的导电薄膜。

2. 按照权利要求 1 的水平电场施加型薄膜晶体管阵列基板，其特征在于，各条栅极线和公共线包括主导电层和用来防止主导电层断开的次导电层。

3. 按照权利要求 2 的水平电场施加型薄膜晶体管阵列基板，其特征在于，20 各个栅极焊盘和公共焊盘包括主导电层和次导电层，其中的次导电层具有暴露的结构。

4. 按照权利要求 2 的水平电场施加型薄膜晶体管阵列基板，其特征在于，各个栅极焊盘和公共焊盘包括次导电层。

5. 按照权利要求 2 的水平电场施加型薄膜晶体管阵列基板，其特征在于，25 主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨，其中的次导电层包括钛。

6. 按照权利要求 1 的水平电场施加型薄膜晶体管阵列基板，其特征在于，数据线包括主导电层和用来防止主导电层断开的次导电层。

7. 按照权利要求 6 的水平电场施加型薄膜晶体管阵列基板，其特征在于，30 各个数据焊盘包括主导电层和次导电层，其中的次导电层具有暴露的结构。

8. 按照权利要求 6 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 数据焊盘包括次导电层。

9. 按照权利要求 6 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨, 其中的
5 次导电层包括钛。

10. 按照权利要求 1 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 水平电场施加型液晶显示器进一步包括防止蚀刻到基板的蚀刻阻挡层。

11. 按照权利要求 10 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 蚀刻阻挡层包括透明氧化物系材料, 对氢氟酸 HF 系的蚀刻剂具有很强的
10 耐腐蚀性。

12. 按照权利要求 10 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 蚀刻阻挡层包括 TiO_2 或 Al_2O_3 。

13. 按照权利要求 1 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 薄膜晶体管包括:

15 连接到栅极线的栅极;
连接到数据线的源极;
与源极相对的漏极; 以及

与栅极重叠的半导体层且在二者之间具有栅极绝缘薄膜, 以在源极和漏极之间形成一个沟道部分。

20 14. 按照权利要求 13 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 漏极和像素电极是用同一个导电层制成的。

15. 按照权利要求 13 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 水平电场施加型液晶显示器进一步包括存储电容, 该存储电容具有由一部分公共线形成的下存储电极, 以及与下存储电极重叠形成并用像素电极的同一
25 个导电层构成的上存储电极。

16. 按照权利要求 15 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 半导体层是沿着数据线、源极、漏极、像素电极和上存储电极在栅极绝缘薄膜上形成的。

17. 按照权利要求 13 的水平电场施加型薄膜晶体管阵列基板, 其特征在于, 像素电极包括:
30

与公共电极平行形成的一个指状部分，用来和公共电极共同产生水平电场；以及

连接到指状部分并与栅极线平行形成的一个水平部分。

5 18. 按照权利要求 17 的水平电场施加型薄膜晶体管阵列基板，其特征在于，所形成的半导体层的宽度与像素电极的指状部分相同。

19. 按照权利要求 18 的水平电场施加型薄膜晶体管阵列基板，其特征在于，水平电场施加型液晶显示器进一步包括用来暴露出栅极焊盘、数据焊盘，公共焊盘和像素电极的钝化薄膜。

20. 一种用来制造水平电场施加型液晶显示器的方法，包括：

10 制备一个薄膜晶体管阵列基板，该薄膜晶体管阵列基板包括形成在栅极线和数据线交叉点上的薄膜晶体管，连接到薄膜晶体管的像素电极，和像素电极共同产生水平电场的公共电极，以及连接到公共电极的公共线，其中的薄膜晶体管阵列基板具有由栅极线所包括的至少一个导电层形成的栅极焊盘，由数据线所包括的至少一个导电层形成的数据焊盘，以及由公共线所包括的至少一个
15 导电层形成的公共焊盘，通过一个钝化薄膜暴露出这些焊盘；

制备一个面对薄膜晶体管阵列基板的滤色片阵列基板；

组装薄膜晶体管阵列基板和滤色片阵列基板；并且

将导电薄膜连接到栅极焊盘、数据焊盘和公共焊盘。

20 21. 按照权利要求 20 的方法，其特征在于，制备薄膜晶体管阵列基板的步骤包括：

在一个基板上形成具有栅极线、薄膜晶体管的栅极、与栅极线平行的公共线、公共电极、栅极焊盘和公共焊盘的第一导电图形组；

在其上具有第一导电图形组的基板上形成栅极绝缘薄膜；

25 形成第二导电图形组和沿着第二导电图形组形成具有薄膜晶体管沟道的半导体层，其中的第二导电图形组具有数据线，连接到数据线的薄膜晶体管的源极，面对源极的薄膜晶体管的漏极，连接到漏极并且平行于公共电极和数据焊盘的像素电极；并且

在其上形成了第二导电图形组和半导体层的栅极绝缘薄膜上形成暴露出栅极焊盘、数据焊盘和公共焊盘的钝化薄膜。

30 22. 按照权利要求 21 的方法，其特征在于，形成的任一第一和第二导电图

形组具有一种双层结构，其中具有主导电层和防止主导电层断开的次导电层。

23. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括暴露出栅极焊盘和公共焊盘的次导电层。

24. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括形成
5 穿透钝化薄膜和栅极绝缘薄膜的接触孔，以暴露出栅极焊盘和公共焊盘的次导电层。

25. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括形成穿透钝化薄膜、栅极绝缘薄膜、以及栅极焊盘和公共焊盘的主导电层的接触孔，以暴露出栅极焊盘和公共焊盘的次导电层。

10 26. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括暴露出数据焊盘的次导电层。

27. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括形成穿透钝化薄膜的接触孔，以暴露出数据焊盘的次导电层。

15 28. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括形成穿透钝化薄膜和数据焊盘的主导电层的接触孔，以暴露出数据焊盘的次导电层。

29. 按照权利要求 22 的方法，其特征在于，主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨，其中的次导电层包括钛。

20 30. 按照权利要求 21 的方法，其特征在于，形成第二导电图形组的步骤进一步包括形成与公共线重叠的上存储电极，二者之间具有栅极绝缘薄膜。

31. 按照权利要求 20 的方法，其特征在于，制备薄膜晶体管阵列基板的步骤进一步包括：

制备一个基板；并且

在基板上形成一个蚀刻阻挡层。

25 32. 按照权利要求 31 的方法，其特征在于，蚀刻阻挡层包括透明氧化物系材料，对氢氟酸 HF 系的蚀刻剂具有很强的耐腐蚀性。

33. 按照权利要求 32 的方法，其特征在于，蚀刻阻挡层包括 TiO_2 或 Al_2O_3 。

34. 按照权利要求 20 的方法，其特征在于，制备薄膜晶体管阵列基板的步骤包括：

30 在基板上形成具有栅极线、连接到栅极线的薄膜晶体管的栅极、平行于栅

极线的公共线、公共电极、栅极焊盘和公共焊盘的第一导电图形组；

在其上具有第一导电图形组的基板上形成栅极绝缘薄膜；

- 5 形成数据线，连接到数据线的薄膜晶体管的源极，与源极相对的薄膜晶体管的漏极，用漏极所包括的至少一个导电层形成像素电极，该像素电极具有一个指状部分用来与公共电极共同形成一个水平电场，包括数据焊盘的第二导电图形组，以及构成薄膜晶体管沟道并与像素电极重叠的半导体层；

在栅极绝缘薄膜上形成钝化薄膜来覆盖半导体层和第二导电图形组；并且对半导体层构图而形成宽度与像素电极相同的像素电极指状部分。

35. 按照权利要求 34 的方法，其特征在于，形成钝化薄膜的步骤包括：

- 10 形成穿透钝化薄膜以暴露出数据焊盘的次导电层的接触孔，并且形成穿透钝化薄膜和栅极绝缘薄膜的接触孔，以暴露出与像素电极的次导电层和像素电极重叠的半导体层。

36. 按照权利要求 22 的方法，其特征在于，形成钝化薄膜的步骤包括：

- 15 形成穿透钝化薄膜和主导电层的接触孔，以暴露出数据焊盘的次导电层，并且

形成穿透钝化薄膜、栅极绝缘薄膜和主导电层的接触孔，以暴露出与像素电极的次导电层和像素电极重叠的半导体层。

37. 按照权利要求 34 的方法，其特征在于，对半导体层构图的步骤包括用一个掩模干法蚀刻半导体层，其中将像素电极用作掩模。

水平电场施加型液晶显示器及其制造方法

5 本申请要求享有分别在2003年3月29日、2003年3月29日和2003年4月3日提交的韩国专利申请P03-19781、P03-19783和P03-21118号的权益，该申请可供参考。

技术领域

10 本发明涉及采用水平电场的液晶显示器，具体地说，涉及一种能够减少掩模工艺数量的液晶显示器及其制造方法。

背景技术

15 液晶显示器(LCD)都是用电场控制液晶材料的光透射比来显示图像。液晶显示器按照驱动液晶的电场方向被划分成垂直电场型和水平电场型。

 在垂直电场型液晶显示器中，在上基板上形成的公共电极和下基板上形成的像素电极是彼此面对地布置，用公共电极和像素电极之间形成的垂直电场驱动一种扭曲向列模式(TN)的液晶。垂直电场型液晶显示器的优点是孔径比大，而缺点在于只有90°左右的窄视角。

20 水平电场型液晶显示器用平行设置在下基板上的像素电极和公共电极之间的水平电场驱动共平面开关模式(以下称为“IPS”)的液晶。水平电场型液晶显示器的优点是具有约160°的宽视角，以下要具体描述水平电场型液晶显示器。

25 水平电场型液晶显示器包括面对面并且彼此接合的薄膜晶体管阵列基板(下基板)和滤色片阵列基板(上基板)，用来在两个基板之间维持一均匀的盒间隙的衬垫料，以及注入衬垫料所形成的空间内的液晶。

 薄膜晶体管阵列基板包括以像素为基础形成水平电场的多条信号线，多个薄膜晶体管，对上面的液晶施加定向的定向薄膜。滤色片基板包括代表颜色的滤色片，防止漏光的黑色矩阵，以及对上面的液晶施加定向的定向薄膜。

30 在这种液晶显示器中，由于薄膜晶体管阵列基板包含半导体工艺并需要许

多掩模工艺，其制造工艺已成为液晶显示器面板制造成本中的主要风险因素。为了解决这一问题，薄膜晶体管阵列基板的开发趋向于减少掩模工艺的数量。这是因为一个掩模工艺会包括诸如薄膜淀积、清洗、光刻法 (photolithography)、蚀刻、光刻胶剥离和检验工序等多个工序。近来引起关注的有一种四轮 (round) 掩模的工艺，它比目前采用标准掩模工艺的五轮掩模步骤节省了一个掩模步骤。

图 1 的平面图表示采用四轮掩模步骤的一种现有技术的水平电场型薄膜晶体管阵列基板，图 2 是图 1 中沿 I-I' 和 II-II' 线提取的薄膜晶体管阵列基板的一个截面图。

参见图 1 和 2，现有技术的水平电场型薄膜晶体管阵列基板包括按彼此交叉的方式形成在下基板 45 上的栅极线 2 和数据线 4，在各个交叉点上形成的薄膜晶体管 6，为了在互连部分和连接到公共电极 18 的公共线 16 所限定的像素区内施加水平电场而形成的像素电极 14 和公共电极 18。现有技术的薄膜晶体管阵列基板还包括形成在像素电极 14 与公共线 16 之间的重叠部分的一个存储电容 20，连接到栅极线 2 的栅极焊盘 24，连接到数据线 4 的数据焊盘 30，以及连接到公共线 16 的公共焊盘 36。

栅极线 2 对薄膜晶体管 6 的栅极 8 提供一栅极信号。数据线 4 通过薄膜晶体管 6 的漏极 12 对像素电极 14 提供一像素信号。栅极线 2 和数据线 4 所形成的交叉结构限定了一个像素区 5。

与栅极线 2 平行地形成公共线 16，像素区 5 位于公共线 16 和栅极线 2 之间，对公共电极 18 提供驱动液晶显示器的参考电压。

薄膜晶体管 6 响应栅极线 2 的栅极信号，用数据线 4 的像素信号对像素电极 14 充电。这样的薄膜晶体管 6 包括连接到栅极线 2 的栅极 8，连接到数据线 4 的源极 10，以及连接到像素电极 14 的漏极 12。薄膜晶体管 6 还包括与栅极 18 重叠的有源层 48，有一个栅极绝缘薄膜 46 位于薄膜晶体管 6 与栅极 18 之间并且在源极 10 和漏极 12 之间限定了一个沟道。形成的有源层 48 与数据线 4，数据焊盘下电极 32 和存储电极 22 重叠。进而在有源层 48 上面形成与数据线 4、源极 10、漏极 12、数据焊盘下电极 32、以及存储电极 22 形成电阻接触的电阻接触层 50。

通过穿透一钝化层 52 的第一接触孔 13，在像素区 5 内形成连接到薄膜晶

体管 6 的漏极 12 的像素电极 14。具体地说, 像素电极 14 包括连接到漏极 12 并且与相邻的栅极线 2 平行形成的第一水平部分 14A, 以及与公共线 16 和平行于公共电极 18 形成的一个指状部分 14C 重叠形成的第二水平部分 14B。

公共电极 18 连接到公共线 16 并且形成在像素区 5 内。另外, 公共电极 5 18 与像素电极 14 的指状部分 14C 平行形成在像素区 5 内。

这样就能在通过薄膜晶体管 6 获得像素信号的像素电极 14 和通过公共线 16 获得参考电压的公共电极 18 之间形成一个水平电场。还会在像素电极 14 的指状部分 14C 与公共电极 18 之间形成该水平电场。在水平电场的作用下按水平方向排列在薄膜晶体管阵列基板和滤色片阵列基板之间的液晶分子因介电各向异性而发生旋转。按照液晶分子的旋转量, 使透过像素区 5 的光透射比有所不同, 从而来显示图像。

存储电容 20 包括公共线 16, 与公共线 16 重叠的存储电极 22, 且在其间设置有栅极绝缘薄膜 46、有源层 48 和电阻接触层 50, 以及通过穿透存储电极 22 和钝化薄膜 52 的第二接触孔 21 连接的像素电极 14。存储电容 20 使得对像素电极 14 充电的像素信号稳定维持到用下一像素信号充电。

栅极线 2 通过栅极焊盘 24 连接到栅极驱动器(未表示)。栅极焊盘 24 包括从栅极线 2 延伸的栅极焊盘下电极 26, 以及通过穿透栅极绝缘薄膜 46 和钝化薄膜 52 的第三接触孔 27 连接到栅极焊盘下电极 26 的栅极焊盘上电极 28。

数据线 4 通过数据焊盘 30 连接到数据驱动器(未表示)。数据焊盘 30 包括从数据线 4 延伸的数据焊盘下电极 32, 以及通过穿透钝化薄膜 52 的第四接触孔 33 连接到数据焊盘下电极 32 的数据焊盘上电极 34。

通过公共焊盘 36 从外部参考电压源(未表示)向公共线 16 提供参考电压。公共焊盘 36 包括从公共线 16 延伸的公共焊盘下电极 38, 以及通过穿透栅极绝缘薄膜 46 和钝化薄膜 52 的第五接触孔 39 连接到公共焊盘下电极 38 的公共焊盘上电极 40。

以下要参照图 3A 到 3D 来解释采用四轮掩模步骤制造具有上述结构的薄膜晶体管基板的一种方法。

参见图 3A, 在下基板 45 上用第一掩模步骤形成包括栅极线 2, 栅极 8 和栅极焊盘下电极 26 的第一导电图形组。

具体地说, 在下基板 45 上用淀积技术例如是溅射依次形成构成一种双层

结构栅极金属层的第一金属层 42 和第二金属层 44。然后用光刻工艺和用第一掩模进行的蚀刻步骤对栅极金属层构图，从而形成包括栅极线 2，栅极 8，栅极焊盘下电极 26，公共线 16，公共电极 18 及公共焊盘下电极 38 的第一导电图形组。此处的第一金属层 42 是用铝质金属形成的，而第二金属层 44 是用铬 (Cr) 或钼 (Mo) 形成的。

参见图 3B，栅极绝缘薄膜 46 形成在具有第一导电图形组的下基板 45 上。进而用第二掩模步骤在栅极绝缘薄膜 46 上形成包括有源层 48 和电阻接触层 50 的一个半导体图形组和包括数据线 4、源极 10、漏极 12、数据焊盘下电极 32 及存储电极 22 的第二导电图形组。

具体地说，采用诸如等离子增强化学蒸汽淀积 (PECVD) 和溅射等等淀积技术在具有第一导电图形组的下基板 45 上依次形成栅极绝缘薄膜 46、第一半导体层、第二半导体层和数据金属层。此处的栅极绝缘薄膜 46 是用诸如氧化硅 (SiO_x) 或氮化硅 (SiN_x) 等无机绝缘材料构成的。第一半导体层是用没有掺杂杂质的非晶硅构成的，而第二导电层是用掺杂了 N 型或 P 型杂质的非晶硅构成的。数据金属层是用钼 (Mo)、钛 (Ti)、钽 (Ta)、或是钼合金等等构成的。

然后在数据金属层上用第二掩模、通过光刻工艺形成光刻胶图形。在这种情况下，用一个在薄膜晶体管的沟道部分具有衍射曝光部分的衍射曝光掩模作为第二掩模，从而使得沟道部分的光刻胶图形的高度低于其它区域部分的光刻胶图形。

接着，通过湿法蚀刻步骤用其它光刻胶图形对数据金属层构图，形成包括数据线 4、源极 10、与源极 10 成整体的漏极 12、以及存储电极 22 的数据图形。

接着，通过干法蚀刻步骤用相同的光刻胶掩模同时对第一半导体层和第二半导体层构图，从而形成电阻接触层 50 和有源层 48。

用灰化步骤从沟道部分消除高度比较低的光刻胶图形，然后用干法蚀刻步骤蚀刻源极、漏极和沟道部分的电阻接触层 50。这样就暴露出沟道部分的有源层 48，将源极 10 与漏极 12 分开。

然后用剥离步骤消除第二导电图形组上剩余的光刻胶图形。

参见图 3C，用第三掩模步骤在具有第二导电图形组的栅极绝缘薄膜 46 上形成包括第一到第五接触孔 13、21、27、33 和 39 的钝化薄膜 52。

具体地说, 在具有数据图形的栅极绝缘薄膜 46 上用诸如等离子增强化学蒸汽淀积(PECVD)等淀积技术整体形成钝化薄膜 52。采用第三掩模用光刻工艺和蚀刻步骤对钝化薄膜 52 构图形成第一到第五接触孔 13、21、27、33 和 39。按照穿透钝化薄膜 52 并且暴露出漏极 12 的方式形成第一接触孔 13, 同时按照穿透钝化薄膜 52 并且暴露出存储电极 22 的方式形成第二接触孔 21。按照穿透钝化薄膜 52 和栅极绝缘薄膜 46 并且暴露出栅极焊盘下电极 26 的方式形成第三接触孔 27, 同时按照穿透钝化薄膜 52 并且暴露出数据焊盘下电极 32 的方式形成第四接触孔 33, 并穿透钝化薄膜 52 和栅极绝缘薄膜 46 并且暴露出公共焊盘下电极 38 的方式形成第五接触孔 39。此时, 若是将具有高比例干法蚀刻的钼 (Mo) 的金属用作数据金属, 就要按照分别穿透漏极 12、存储电极 22 和数据焊盘下电极 32 的方式形成第一接触孔 13、第二接触孔 21 和第四接触孔 33, 从而暴露出各电极的侧面。

钝化薄膜 52 是用栅极绝缘薄膜 46 那样的无机绝缘材料或是具有小介电常数的一种有机绝缘材料例如是丙烯酸有机化合物、(BCB) 苯并环丁烯或 PFCB(全氟环丁烷)等等构成的。

参见图 3D, 在钝化薄膜 52 上用第四掩模步骤形成包括像素电极 14、栅极焊盘上电极 28、数据焊盘上电极 34 和公共焊盘上电极 40 的第三导电图形组。

具体地说, 用诸如溅射等淀积技术在钝化薄膜 52 上涂覆一个透明导电薄膜。然后用第四掩模采用光刻工艺和蚀刻步骤对透明导电薄膜构图, 形成包括像素电极 14、栅极焊盘上电极 28、数据焊盘上电极 34 和公共焊盘上电极 40 的第三导电图形组。像素电极 14 通过第一接触孔 13 电连接到漏极 12, 并通过第二接触孔 21 电连接到存储电极 22。栅极焊盘上电极 28 通过第三接触孔 37 电连接到栅极焊盘下电极 26。数据焊盘上电极 34 通过第四接触孔 33 电连接到数据焊盘下电极 32。公共焊盘上电极 40 通过第五接触孔 39 电连接到公共焊盘下电极 38。

按照这样的连接, 透明导电薄膜可以采用铟锡氧化物(ITO)、氧化锡(TO), 铟锌氧化物(IZO)、或是铟锡锌氧化物(ITZO)。

如上所述, 现有技术的水平电场型薄膜晶体管阵列基板及其制造方法采纳了四轮掩模工艺, 与五轮掩模工艺相比能够减少制造步骤的数量从而在一定程度上降低制造成本。然而, 由于四轮掩模工艺的制造步骤仍然复杂并对降低成

本构成了限制,还需要有一种方案能够进一步简化制造工艺并进一步降低制造成本。

发明内容

5 为此,本发明的目的是提供一种采用水平电场的液晶显示器和一种制造液晶显示器件的方法,其能够减少掩模工艺的数量。

为了实现本发明的上述和其它目的,按照本发明的一种水平电场施加型液晶显示器包括:薄膜晶体管阵列基板,该薄膜晶体管阵列基板包括栅极线,与栅极线平行的公共线,与栅极线和公共线交叉并通过介于其间的栅极绝缘薄膜来限定一个像素区的数据线,在栅极线和数据线的各个交叉点上形成的薄膜晶体管,形成在像素区内并且连接到公共线的公共电极,连接到薄膜晶体管并且和像素区内的公共电极共同产生一个水平电场的像素电极,用栅极线所包括的至少一个导电层形成的栅极焊盘,用数据线所包括的至少一个导电层形成的数据焊盘,用公共线所包括的至少一个导电层形成的公共焊盘,以及暴露出栅极焊盘、数据焊盘和公共焊盘的钝化薄膜,它们都形成在基板上由此构成薄膜晶体管阵列基板;与薄膜晶体管阵列基板组合的滤色片阵列基板,在滤色片阵列和薄膜晶体管阵列基板之间填充有液晶材料;以及连接到薄膜晶体管阵列基板上暴露出的栅极焊盘、数据焊盘和公共焊盘的导电薄膜。

15 各条栅极线和公共线包括主导电层和用来防止主导电层断开(opening)的次导电层。

各个栅极焊盘和公共焊盘包括主导电层和次导电层,其中的次导电层具有暴露的结构。

各个栅极焊盘和公共焊盘包括次导电层。

25 主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨,其中的次导电层包括钛。

数据线包括主导电层和用来防止主导电层断开的次导电层。

各个数据焊盘包括主导电层和次导电层,其中的次导电层具有暴露的结构。

数据焊盘包括次导电层。

30 主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨,其

中的次导电层包括钛。

水平电场施加型液晶显示器进一步包括防止蚀刻到基板的蚀刻阻挡层。

蚀刻阻挡层包括透明氧化物系材料，对氢氟酸 HF 系的蚀刻剂具有很强的耐腐蚀性。

5 蚀刻阻挡层包括 TiO_2 或 Al_2O_3 。

薄膜晶体管包括：连接到栅极线的栅极；连接到数据线的源极；与源极相对的漏极；以及与栅极重叠的半导体层，用二者之间的栅极绝缘薄膜在源极和漏极之间形成一个沟道部分。

漏极和像素电极是用同一个导电层制成的。

10 水平电场施加型液晶显示器进一步包括一个存储电容，该存储电容具有由一部分公共线形成的下存储电极，以及与下存储电极重叠形成并用像素电极的同一个导电层构成的上存储电极。

半导体层是沿着数据线、源极、漏极、像素电极和上存储电极在栅极绝缘薄膜上形成的。

15 像素电极包括：与公共电极平行形成的一个指状部分，用来和公共电极共同产生水平电场；以及连接到指状部分并与栅极线平行形成的一个水平部分。

所形成的半导体层的宽度与像素电极的指状部分相同。

水平电场施加型液晶显示器进一步包括用来暴露出栅极焊盘、数据焊盘，公共焊盘和像素电极的一个钝化薄膜。

20 为了实现本发明的上述和其它目的，按照本发明用来制造水平电场施加型液晶显示器的一种方法包括：制备一个薄膜晶体管阵列基板，该薄膜晶体管阵列基板包括形成在栅极线和数据线交叉点上的薄膜晶体管，连接到薄膜晶体管的像素电极，和像素电极共同产生水平电场的公共电极，以及连接到公共电极的公共线，其中的薄膜晶体管阵列基板具有由栅极线所包括的至少一个导电层形成的栅极焊盘，由数据线所包括的至少一个导电层形成的数据焊盘，以及由公共线所包括的至少一个导电层形成的公共焊盘，通过一个钝化薄膜暴露出这些焊盘；制备一个面对薄膜晶体管阵列基板的滤色片阵列基板；组装薄膜晶体管阵列基板和滤色片阵列基板；并且将导电薄膜连接到栅极焊盘、数据焊盘和公共焊盘。

30 制备薄膜晶体管阵列基板的步骤包括：在基板上形成具有栅极线、薄膜晶

体管的栅极、与栅极线平行的公共线、公共电极、栅极焊盘和公共焊盘的第一导电图形组；在其上具有第一导电图形组的基板上形成栅极绝缘薄膜；形成第二导电图形组和沿着第二导电图形组形成具有薄膜晶体管沟道的半导体层，其中的第二导电图形组具有数据线，连接到数据线的薄膜晶体管的源极，面对源极的薄膜晶体管的漏极，连接到漏极并且平行于公共电极和数据焊盘的象素电极；并且在其上具有第二导电图形组和半导体层的栅极绝缘薄膜上形成暴露出栅极焊盘、数据焊盘和公共焊盘的钝化薄膜。

形成的任一第一和第二导电图形组具有一种双层结构，其中具有主导电层和防止主导电层断开的次导电层。

10 形成钝化薄膜的步骤包括暴露出栅极焊盘和公共焊盘的次导电层。

形成钝化薄膜的步骤包括形成穿透钝化薄膜和栅极绝缘薄膜的接触孔，暴露出栅极焊盘和公共焊盘的次导电层。

形成钝化薄膜的步骤包括形成穿透钝化薄膜、栅极绝缘薄膜、以及栅极焊盘和公共焊盘的主导电层的接触孔，以暴露出栅极焊盘和公共焊盘的次导电层。

形成钝化薄膜的步骤包括暴露出数据焊盘的次导电层。

形成钝化薄膜的步骤包括形成穿透钝化薄膜的接触孔，以暴露出数据焊盘的次导电层。

形成钝化薄膜的步骤包括形成穿透钝化薄膜和数据焊盘的主导电层的接触孔，以暴露出数据焊盘的次导电层。

主导电层包括至少一种都是低电阻金属的铝系金属、铜、钼、铬和钨，其中的次导电层包括钛。

形成第二导电图形组的步骤进一步包括形成与公共线重叠的上存储电极，二者之间是栅极绝缘薄膜。

25 制备薄膜晶体管阵列基板的步骤进一步包括：制备一个基板；并在基板上形成一个蚀刻阻挡层。

蚀刻阻挡层包括透明氧化物系材料，对氢氟酸 HF 系的蚀刻剂具有很强的耐腐蚀性。

蚀刻阻挡层包括 TiO_2 或 Al_2O_3 。

30 制备薄膜晶体管阵列基板的步骤包括：在基板上形成具有栅极线、连接到

栅极线的薄膜晶体管的栅极、平行于栅极线的公共线、公共电极、栅极焊盘和公共焊盘的第一导电图形组；在其上具有第一导电图形组的基板上形成栅极绝缘薄膜；形成数据线，连接到数据线的薄膜晶体管源极，与源极相对的薄膜晶体管的漏极，用漏极所包括的至少一个导电层形成的像素电极，该像素电极具有一个指状部分用来与公共电极共同形成一个水平电场，包括数据焊盘的第二导电图形组，以及构成薄膜晶体管沟道并与像素电极重叠的半导体层；在栅极绝缘薄膜上形成钝化薄膜来覆盖半导体层和第二导电图形组；并且对半导体层构图而形成宽度与像素电极相同的像素电极指状部分。

形成钝化薄膜的步骤包括：形成穿透钝化薄膜以暴露出数据焊盘的次导电层的接触孔，并形成穿透钝化薄膜和栅极绝缘薄膜的接触孔，以暴露出与像素电极的次导电层和像素电极重叠的半导体层。

形成钝化薄膜的步骤包括：形成穿透钝化薄膜和主导电层的接触孔，暴露出数据焊盘的次导电层，并形成穿透钝化薄膜、栅极绝缘薄膜和主导电层的一个接触孔，以暴露出与像素电极的次导电层和像素电极重叠的半导体层。

对半导体层构图的步骤包括用一个掩模干法蚀刻半导体层，其中将像素电极用作掩模。

附图说明

通过以下参照附图对本发明实施例的详细说明就能理解本发明的上述及其它目的，在附图中：

图 1 的平面图表示现有技术中水平电场施加型液晶显示器的薄膜晶体管阵列基板；

图 2 是图 1 中沿 I-I' 和 I-II' 线提取的薄膜晶体管阵列基板的截面图；

图 3A 到 3D 是依次表示图 2 中所示薄膜晶体管阵列基板的制造方法的截面图；

图 4 的平面图表示按照本发明第一实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板；

图 5 是沿图 4 中的 III-III' 和 IV-IV' 线提取的薄膜晶体管阵列基板的截面图；

图 6A 和 6B 分别是用来解释按照本发明第一实施例的薄膜晶体管阵列基板

的制造方法当中的第一掩模步骤的平面图和截面图；

图 7A 和 7B 分别是用来解释按照本发明第一实施例的薄膜晶体管阵列基板的制造方法当中的第二掩模步骤的平面图和截面图；

5 图 8A 到 8E 是用来具体解释按照本发明第一实施例的薄膜晶体管阵列基板的制造方法当中的第二掩模步骤的截面图；

图 9A 和 9B 分别是用来解释按照本发明第一实施例的薄膜晶体管阵列基板的制造方法当中的第三掩模步骤的平面图和截面图；

图 10 的截面图表示按照本发明第一实施例的薄膜晶体管阵列基板中第一结构的焊盘；

10 图 11 的截面图表示按照本发明第一实施例的薄膜晶体管阵列基板中第二结构的焊盘；

图 12 的平面图表示按照本发明第一实施例的液晶显示器；

图 13 是图 12 中所示液晶显示器的平面图；

15 图 14 的平面图表示按照本发明第二实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板；

图 15A 和 15B 分别是用来解释按照本发明第二实施例的薄膜晶体管阵列基板的制造方法当中的第一掩模步骤的平面图和截面图；

图 16 的平面图表示按照本发明第二实施例的液晶显示器；

图 17 的平面图表示图 16 中所示的液晶显示器；

20 图 18 的平面图表示按照本发明第三实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板；

图 19 是图 18 中沿 V-V' 和 VI-VI' 线提取的薄膜晶体管阵列基板的截面图；

25 图 20A 到 20D 是用来具体解释按照本发明第三实施例的薄膜晶体管阵列基板的制造方法当中的第三掩模步骤的截面图；

图 21 的截面图表示按照本发明第三实施例的薄膜晶体管阵列基板中第一结构的像素电极和焊盘；

图 22 的截面图表示按照本发明第三实施例的薄膜晶体管阵列基板中第二结构的像素电极和焊盘；

30 图 23 的平面图表示按照本发明第三实施例的液晶显示器； 以及

图 24 的平面图表示图 23 中所示的液晶显示器。

具体实施方式

以下要具体参照图 4 到 24 描述本发明的最佳实施例。

5 图 4 的平面图表示按照本发明第一实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板，而图 5 是沿图 4 中的 III-III' 和 IV-IV' 线提取的薄膜晶体管阵列基板的截面图。

如图 4 和 5 中所示，薄膜晶体管阵列基板包括按彼此交叉的方式形成在下基板 145 上的栅极线 102 和数据线 104，二者之间有一个栅极绝缘薄膜 146，
10 在栅极线 102 和数据线 104 的各个交叉点上形成的薄膜晶体管 106，为了对互连所限定的一个象素区施加水平电场而形成的象素电极 114 和公共电极 118，以及连接到公共电极 118 的公共线 116。薄膜晶体管阵列基板还包括在上存储电极 122 和公共线 116 之间的重叠部分形成的一个存储电容 120，从栅极线 102 伸出的栅极焊盘 124，从数据线 104 伸出的数据焊盘 130，以及从公共线 116
15 伸出的公共焊盘 136。

用来提供栅极信号的栅极线 102 和用来提供数据信号的数据线 104 被形成一个交叉结构中，从而限定了一个象素区 105。

与栅极线 102 平行地形成为驱动液晶而提供一个参考电压的公共线 116，使象素区 105 位于公共线 116 和栅极线 102 之间。

20 薄膜晶体管 106 响应栅极线 102 的栅极信号，对数据线 104 的象素信号充电并且维持在象素电极 114 中。为此，薄膜晶体管 106 包括连接到栅极线 102 的栅极 108，数据线 104 中所包括的源极，以及连接到象素电极 114 的漏极 112。薄膜晶体管 106 还包括与栅极 108 重叠的一个有源层 148，栅极绝缘薄膜 146 处在二者之间并在源极和漏极 112 之间限定了一个沟道。

25 形成的有源层 148 与数据线 104、数据焊盘 130 和上存储电极 122 重叠。在有源层 148 上进一步提供用来与数据线 104、漏极 112、数据焊盘 130 和上存储电极 122 形成电阻接触的电阻接触层 150。

在象素区 105 内形成与薄膜晶体管 106 的漏极 112 和上存储电极 122 一体的象素电极 114。具体地说，象素电极 114 包括与相邻的栅极线 102 平行地从
30 漏极 112 伸出的一个水平部分 114A，和在垂直方向上从水平部分 114A 伸出的

一个指状部分 114B。

公共电极 118 连接到公共线 116 并且形成在象素区 105 内。具体地说，公共电极 118 是在象素区 105 内与象素电极 114 的指状部分 114B 平行地形成的。

这样就能在通过薄膜晶体管 106 获得象素信号的象素电极 114 和通过公共
5 线 116 获得参考电压的公共电极 118 之间形成一个水平电场。具体地说，水平电场是在象素电极 114 的指状部分 114B 和公共电极 118 之间形成的。在薄膜晶体管阵列基板和滤色片阵列基板之间，由于水平电场而按水平方向排列的液晶分子因介电各向异性而发生旋转。透过象素区 105 的光透射比会随着液晶分子的旋转量而有所不同，这样就能显示图像。

10 存储电容 120 包括公共线 116 和与公共线 116 重叠的上存储电极 122，二者之间具有栅极绝缘薄膜 146，有源层 148 和电阻接触层 150，且与象素电极 114 为一体。存储电容 120 能够用象素信号对象素电极 114 充电来维持稳定，直至下一个象素信号充电。

栅极线 102 通过栅极焊盘 124 连接到安装在一个带式封装(TCP, tape
15 carried package)上的栅极驱动器(未表示)。栅极焊盘 124 从栅极线 102 伸出并且通过穿透栅极绝缘薄膜 146 和钝化薄膜 152 的第一接触孔 127 暴露出来。栅极焊盘 124 有一个金属层的暴露结构，它具有比较高的强度和耐腐蚀性，例如是栅极线 102 中所包括的钛(Ti)和钨(W)。这样，尽管要反复执行栅极焊盘 124 和 TCP 的附接步骤，也不会因栅极焊盘 124 断开而产生缺陷。

20 从通过附接到公共焊盘 136 的 TCP 的外部参考电压源(未表示)向公共线 116 提供参考电压。公共焊盘 136 从公共线 116 伸出并且通过穿透栅极绝缘薄膜 146 和钝化薄膜 152 的第三接触孔 127 暴露出来。公共焊盘 136 有一个金属层的暴露结构，它具有比较高的强度和耐腐蚀性，例如是类似于栅极焊盘 124 的钛(Ti)和钨(W)。这样，尽管要反复执行公共焊盘 136 和 TCP 的附接步骤，
25 也不会因公共焊盘 136 断开而产生缺陷。

具体地说，栅极线 102、栅极 118、公共线 116 和公共电极 118 具有第一
30 和第二金属层 142 和 144 构成的双层结构的金属层。在金属层当中，有一个金属层是用具有比较高的强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的。而另一金属层是用低电阻金属例如是栅极金属所惯用的铝(Al)系金属、钼(Mo)和铜(Cu)制成的。

按照这种连接,如果第一金属层 142 是用具有高强度和耐腐蚀性的任意金属制成的,栅极焊盘 124 和公共焊盘 136 有一个暴露结构,在其中消除掉上部的第二金属层 144 并暴露出下部的第一金属层 142。另一方面,如果第二金属层 144 是用具有高强度和耐腐蚀性的任意金属制成的,栅极焊盘 124 和公共焊盘 136 有一个暴露结构,在其中暴露出上部的第二金属层 144。

数据线 104 通过数据焊盘 130 被连接到安装在 TCP 上的一个数据驱动器(未表示)。数据焊盘 130 从数据线 104 伸出并且通过穿透钝化薄膜 152 的第二接触孔 133 被暴露出来。数据焊盘 130 有一个金属层的暴露结构,它具有比较高的强度和耐腐蚀性,例如是数据线 104 中所包括的钛(Ti)和钨(W)。这样,尽管要反复执行数据焊盘 130 和 TCP 的附接步骤,也不会因数据焊盘 130 断开而产生缺陷。

具体地说,数据线 104、漏极 112、象素电极 114 和上存储电极 122 具有第一和第二金属层 154 和 156 构成的双层结构的金属层。金属层当中有一个金属层是用具有比较高的强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的。而另一金属层是用低电阻金属例如是栅极金属所惯用的铝(Al)系金属、钼(Mo)、和铜(Cu)制成的。

按照这种连接,如果第一金属层 154 是用具有高强度和耐腐蚀性的任意金属制成的,数据焊盘 130 有一个暴露结构,在其中消除掉上部的第二金属层 156 并暴露出下部的第一金属层 154。另一方面,如果第二金属层 156 是用具有高强度和耐腐蚀性的任意金属制成的,数据焊盘 130 有一个暴露结构,在其中暴露出上部的第二金属层 156。

图 6A 和 6B 分别是用来解释按照本发明第一实施例的水平电场施加型薄膜晶体管阵列基板的制造方法当中的第一掩模步骤的平面图和截面图。

如图 6A 和 6B 所示,在下基板 145 上用第一掩模步骤形成包括栅极线 102、栅极 108 和栅极焊盘 124、公共线 116、公共电极 118 和公共焊盘 136 的第一导电图形组。

具体地说,在上基板 145 上用诸如溅射等淀积方法依次形成第一栅极金属层 142 和第二栅极金属层 144,从而形成一个双层结构的栅极金属层。然后用第一掩模执行光刻工艺和蚀刻步骤对栅极金属层构图,形成包括栅极线 102、栅极 108、栅极焊盘 124、公共线 116、公共电极 118 和公共焊盘 136 的第一

导电图形组。此处的任一第一栅极金属层 142 和第二栅极金属层 144 是用具有比较高的强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的。而另一金属层是用铝(Al)系金属、钼(Mo)、和铜(Cu)等金属制成的。

图 7A 和 7B 分别是用来解释按照本发明第一实施例的水平电场施加型薄膜晶体管阵列基板的制造方法当中的第二掩模步骤的平面图和截面图。

首先,用诸如等离子增强化学蒸汽淀积(PECVD)或溅射等淀积方法在具有第一导电图形组的下基板 145 上形成一个栅极绝缘薄膜 146。栅极绝缘薄膜 146 是用诸如氧化硅(SiO_x)或氮化硅(SiN_x)等无机绝缘材料制成的。

进而如图 7A 和 7B 中所示,在栅极绝缘薄膜 146 上用第二掩模步骤形成包括有源层 148 和电阻接触层 150 的半导体图形组,和包括数据线 104、漏极 112、像素电极 114、数据焊盘 130 及上存储电极 122 的第二导电图形组。

以下要参照图 8A 到 8E 详细解释第二掩模步骤。

如图 8A 所示,在栅极绝缘薄膜 146 上,通过诸如等离子增强化学蒸汽淀积(PECVD)和溅射等等淀积技术依次形成非晶硅层 147、n⁺非晶硅层 149、第一和第二源极/漏极金属层 154 和 156。此处的任一第一和第二源极/漏极金属层 154 和 156 是用具有比较高的强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的,而另一金属层是用诸如铝(Al)系金属、钼(Mo)、和铜(Cu)等任意一种金属制成的。

然后在第二源极/漏极金属层 156 上形成一个光刻胶薄膜,随之用如图 8B 所示用于局部曝光的第二掩模 160 执行光刻工艺,形成具有阶梯部分的光刻胶图形 168。第二掩模 160 包括为透明材料的掩模基板 162,在掩模基板 162 的切除(cut-off)区 P2 上形成的切除部分 164,以及在掩模基板 162 的局部曝光区 P3 上形成的衍射曝光部分 166(或是半透明部分)。此处以暴露出掩模基板 162 的区域作为一个曝光区 P1。用第二掩模如上所述对光刻胶薄膜显影,形成的光刻胶图形 168 在切除区 P2 和局部曝光区 P3 内有一个阶梯部分,它是由第二掩模 160 的衍射曝光部分 166 和切除部分 164 来确定的。具体地说,在局部曝光区 P3 内形成的光刻胶图形 168 有一个第二高度 H2,它低于在切除区 P2 上形成的光刻胶图形 168 的第一高度 H1。

接着用光刻胶图形 168 按湿法蚀刻工艺对第一和第二源极/漏极金属层 154 和 156 构图,形成如图 8C 所示包括数据线 104、连接到数据线 104 的漏极

112、像素电极、上存储电极 122 和数据焊盘 130 的第二导电图形组。

进而用光刻胶图形 168 按干法蚀刻工艺对 n⁺非晶硅层 149 和非晶硅层 147 构图，沿着第二导电图形组形成电阻接触层 150 和有源层 148。随后如图 8C 所示用氧(O₂)等离子、通过灰化工艺消除在局部曝光区 P3 内按第二高度 H2 形成的光刻胶图形 168，然而在切除区 P2 内按第一高度 H1 形成的光刻胶图形 168 具有较低的高度。用光刻胶图形 168 执行蚀刻步骤的局部曝光区 P3 也就是在薄膜晶体管的沟道部分形成的第一和第二源极/漏极金属层 154 和 156 被消除。例如，在第二源极/漏极金属层 156 用钼 Mo 制成而第一源极/漏极金属层 154 用钛 Ti 制成的情况下，用干法蚀刻工艺消除沟道部分的第二源极/漏极金属层 156，并用湿法蚀刻工艺消除沟道部分的第一源极/漏极金属层 154。反之，在第二源极/漏极金属层 156 用钛 Ti 制成而第一源极/漏极金属层 154 用钼 Mo 制成的情况下，用湿法蚀刻工艺消除沟道部分的第二源极/漏极金属层 156，并用干法蚀刻工艺消除沟道部分的第一源极/漏极金属层 154。这样就能将漏极 112 与包括源极的数据线 104 隔开。然后用光刻胶图形 168 按干法蚀刻工艺消除电阻接触层 150，从而暴露出有源层 148。进而如图 8E 所示用剥离工艺消除留在第二导电图形组上的光刻胶图形 168。

图 9A 和 9B 分别是用来解释按照本发明实施例的薄膜晶体管阵列基板的制造方法当中的第三掩模步骤的平面图和截面图。

如图 9A 和 9B 所示，用第三掩模步骤在与半导体图形和源极/漏极金属图形层叠的栅极绝缘薄膜 146 上形成包括第一到第三接触孔 127、133 和 139 的钝化薄膜 152。

具体地说，在与半导体图形层叠的栅极绝缘薄膜 146 上用诸如等离子增强化学蒸汽淀积(PECVD)等淀积技术形成钝化薄膜 152。钝化薄膜 152 是用栅极绝缘薄膜 146 那样的无机绝缘材料或是具有小介电常数的一种有机绝缘材料例如是丙烯酸有机化合物，BCB(苯并环丁烯)或 PFCB(全氟环丁烷)等等构成的。接着利用第三掩模用光刻工艺和蚀刻工艺对钝化薄膜 152 构图，形成第一到第三接触孔 127、133 和 139。按照穿透钝化薄膜 152 和栅极绝缘薄膜 146 并且暴露出栅极焊盘 124 的方式形成第一接触孔 127，按照穿透钝化薄膜 152 并且暴露出数据焊盘 130 的方式形成第二接触孔 133，并按照穿透钝化薄膜 152 和栅极绝缘薄膜 146 并且暴露出公共焊盘 136 的方式形成第三接触孔 139。暴

露的栅极焊盘 124、数据焊盘 130 和公共焊盘 136 所具有的金属暴露结构具有高强度和耐腐蚀性。在这种情况下，栅极焊盘 124、数据焊盘 130 和公共焊盘 136 具有图 10 和 11 所示的两种结构。

例如，在下部的第一栅极金属层 142 由钛 Ti 制成而上部的第二栅极金属层 144 由钼 Mo 制成的情况下，栅极焊盘 124 和公共焊盘 136 就是仅仅由下部的第一栅极金属层 142 构成的，如图 10 所示。这是因为上部的第二栅极金属层 144 被用来形成第一和第三接触孔 127 和 139 的蚀刻步骤消除了。

反之，在下部的第一栅极金属层 142 由钼 Mo 制成而上部的第二栅极金属层 144 由钛 Ti 制成的情况下，栅极焊盘 124 和公共焊盘 136 具有双层结构的金属层，第一和第二栅极金属层 142 和 144 如图 11 所示层叠。通过使用第一和第三接触孔 127 和 139，栅极焊盘 124 和公共焊盘 136 仍具有上部栅极金属层 144 的暴露结构。

进而，在下部的第一源极/漏极金属层 154 由钛 Ti 制成而上部的第二源极/漏极金属层 156 由钼 Mo 制成的情况下，数据焊盘 130 仅仅由下部的第一源极/漏极金属层 154 构成，如图 10 所示。这是因为上部的第二源极/漏极金属层 156 被用来形成第二接触孔 133 的蚀刻步骤消除了。

反之，在下部的第一源极/漏极金属层 154 由钼 Mo 制成而上部的第二源极/漏极金属层 156 由钛 Ti 制成的情况下，数据焊盘 130 具有双层结构的金属层，第一和第二源极/漏极金属层 154 和 156 如图 11 所示层叠。通过使用第二接触孔 133，数据焊盘 130 仍具有上部源极/漏极金属层 156 的暴露结构。

如上所述，按照本发明的第一实施例，本发明第一实施例的水平电场施加型薄膜晶体管阵列基板及其制造方法，像素电极 114 是用和漏极 112 相同的金属形成的。进而，无论怎样反复执行 TCP 的附接步骤，公共焊盘 136 都可采用高强度和耐腐蚀性的任何金属来防止公共焊盘的断开缺陷。这样能在本发明中省去透明导电薄膜，即不需要包括透明导电薄膜淀积步骤和构图步骤的处理步骤，这样能减少一个掩模步骤。换句话说，按照本发明的水平电场施加型薄膜晶体管阵列基板是用三轮掩模步骤形成的。

接着，用密封剂 204 将完成的薄膜晶体管阵列基板和采用另一工艺制成的滤色片阵列 202 的上基板接合，然后在二者之间注入液晶(未表示)就制成了图 12 和 13 所示的液晶面板。在这种情况下，在接合上基板 200 时不要与薄膜晶

体管阵列基板上形成栅极焊盘 124、数据焊盘 130 和公共焊盘 136 的焊盘区域重叠。

接着，在薄膜晶体管阵列基板的焊盘区上用包括导电球 184 的各向异性导电薄膜(ACF)将其上安装有驱动 IC 的 TCP170 和 180 彼此附接。这样，通过 ACF182 的导电球分别将 TCP170 和 180 上形成的各个输出焊盘 174、176 和 178 电连接到栅极焊盘 124、数据焊盘 130 和公共焊盘 136。具体地说，将形成在栅极 TCP170 的基础薄膜 172 上的第一 TCP 焊盘 174 电连接到栅极焊盘 124，形成在数据 TCP180 的基础薄膜 172 上的第二 TCP 焊盘 176 电连接到数据焊盘 130，并将形成在数据 TCP180 的基础薄膜 172 上的第三 TCP 焊盘 178 通过公共焊盘 136 的第一栅极金属层 142 和 ACF182 电连接。在这种情况下，栅极焊盘 124，数据焊盘 130 和公共焊盘 136 所具有的结构中暴露出高强度和耐腐蚀性的金属层，从而即使是反复执行 TCP170 和 180 的附接步骤也不会因焊盘断开而出现缺陷。

图 14 的平面图表示按照本发明第二实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板。

如图 14 所示，薄膜晶体管阵列基板包括的元件与图 4 和 5 中所示薄膜晶体管阵列基板的元件相同，唯独在蚀刻第一栅极金属层 142 和第二栅极金属层 144 时采用了为下基板 145 防护蚀刻剂的一个蚀刻阻挡层 143。因此，为了简化而省略了对相同元件的详细说明。

按照本发明第二实施例的薄膜晶体管阵列基板的第一栅极金属层 142 和第二栅极金属层 144 是用具有比较高强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的。在这种情况下，用来对金属层构图的蚀刻剂包括 0.5%的氢氟酸 HF 系。蚀刻阻挡层 143 被形成在下基板 145 上防止玻璃材料的下基板 145 受到氢氟酸 HF 系蚀刻剂的过度蚀刻。蚀刻阻挡层 143 是用透明氧化物系材料例如是 TiO_2 或 Al_2O_3 制成的，对氢氟酸 HF 系蚀刻剂具有强耐蚀性。

另一方面，与本发明第一实施例的薄膜晶体管阵列基板制造方法相比，按照本发明第二实施例的薄膜晶体管阵列基板制造方法还包括形成一个蚀刻阻挡层的步骤。由于这种联系，第二和第三掩模步骤与上文所述相同，因而省略了详细的说明。

图 15A 和 15B 分别是用来解释按照本发明第二实施例的水平电场施加型薄

膜晶体管阵列基板的制造方法当中的第一掩模步骤的平面图和截面图。

如图 15A 和 15B 所示, 蚀刻阻挡层 143 被形成在下基板上, 并且用第一掩模步骤在蚀刻阻挡层 143 上形成包括栅极线 102、栅极 108、栅极焊盘 124、公共线 116、公共电极 118 和公共焊盘 136 的第一导电图形组。

5 具体地说, 在下基板 145 上用诸如溅射等淀积技术形成蚀刻阻挡层 143。蚀刻阻挡层 143 是用透明氧化物系材料例如是 TiO_2 或 Al_2O_3 制成的, 对氢氟酸 HF 系蚀刻剂具有强耐蚀性。

接着通过溅射等淀积技术在带有蚀刻阻挡层 143 的下基板 145 上依次形成第一栅极金属层 142 和第二栅极金属层 144, 形成双层结构的栅极金属层。用
10 第一掩模按光刻工艺和蚀刻工艺对栅极金属层构图, 形成包括栅极线 102、栅极 108、栅极焊盘 124、公共线 116、公共电极 118 和公共焊盘 136 的第一导电图形组。第一和第二栅极金属层 142 和 144 中之一是用具有高强度和耐腐蚀性的任意金属例如是钛(Ti)和钨(W)制成的, 而另一金属层是用诸如铝(Al)系金属、钼(Mo)、和铜(Cu)等任意一种金属制成的。

15 按照这种联系, 如果用氢氟酸 HF 系蚀刻剂对采用高强度和耐腐蚀性金属的栅极金属层构图, 蚀刻阻挡层 143 能够为下基板 145 防护氢氟酸 HF 系蚀刻剂。这样就能防止下基板 145 被氢氟酸 HF 系蚀刻剂过度蚀刻。

另一方面, 用密封剂 204 将采用三轮掩模工艺完成的薄膜晶体管阵列基板和采用另一工艺制成的滤色片阵列 202 的上基板粘接, 如图 16 和 17 所示, 然
20 后在二者之间注入液晶(未表示)就制成了一个液晶面板。在这种情况下, 在粘接上基板 200 时不要与薄膜晶体管阵列基板上形成栅极焊盘 124、数据焊盘 130 和公共焊盘 136 的焊盘区域重叠。

接着在薄膜晶体管阵列基板的焊盘区上用包括导电球 184 的各向异性导电薄膜 182(ACF)将其上安装有驱动 IC 的 TCP170 和 180 附接。如此通过 ACF182
25 的导电球电路分别将 TCP170 和 180 上形成的输出焊盘 174、176 和 178 连接到栅极焊盘 124、数据焊盘 130 和公共焊盘 136。具体将形成在栅极 TCP170 的基础薄膜 172 上的第一 TCP 焊盘 174 电连接到栅极焊盘 124, 形成在数据 TCP180 的基础薄膜 172 上的第二 TCP 焊盘 176 电连接到数据焊盘 130, 并将形成在数据 TCP180 的基础薄膜 172 上的第三 TCP 焊盘 178 通过公共焊盘 142 和 ACF182
30 电连接。在这种情况下, 栅极焊盘 124, 数据焊盘 130 和公共焊盘 136 所具有

的结构中暴露出如图 10 和 11 中所示的高强度和耐腐蚀性的金属层。这样，即使是反复执行 TCP 的附接步骤，也不会因焊盘断开而出现缺陷。

图 18 的平面图表示按照本发明第三实施例的水平电场施加型液晶显示器中的一个薄膜晶体管阵列基板，而图 19 是图 18 中沿 V-V' 和 VI-VI' 线提取的薄膜晶体管阵列基板的一个截面图。

如图 18 和 19 所示，薄膜晶体管阵列基板包括的元件与图 4 和 5 中所示薄膜晶体管阵列基板的元件相同，唯独所形成的像素电极的指状部分和半导体层具有相同的宽度。因此，为了简化而省略了对相同元件的详细说明。

在按照本发明第三实施例的薄膜晶体管阵列基板中，所形成的像素电极 114 与半导体图形具有相同的宽度，后者包括与像素电极 114 重叠的有源层 148 和电阻接触层 150。具体地说，像素电极 114 的指状部分 114B 和与这一指状部分重叠的半导体图形 148 和 150 是按相同的宽度形成的。这样能在位于像素电极指状部分 114B 下部的半导体图形 148 和 150 比指状部分 114B 宽的情况下防止布置在像素电极指状部分 114B 和公共电极 118 之间的孔径区因半导体图形 148 和 150 而缩小。

另一方面，与本发明第一实施例的薄膜晶体管阵列基板制造方法相比，按照本发明第三实施例的薄膜晶体管阵列基板制造方法还包括用像素电极作为掩模蚀刻半导体图形的步骤，以便使像素电极的指状部分和半导体图形整体重叠。因此，第一和第二掩模步骤与上文所述相同，因而省略了详细的说明。

图 20A 到 20D 分别是用来具体解释按照本发明第三实施例的水平电场施加型薄膜晶体管阵列基板的制造方法当中的第三掩模步骤的平面图和截面图。

如图 20A 所示，用诸如等离子增强化学蒸汽淀积 (PECVD) 等淀积技术在层叠有半导体图形和源极/漏极金属图形的栅极绝缘薄膜 146 上形成一个钝化薄膜 152。钝化薄膜 152 是用栅极绝缘薄膜 146 相同的无机材料或是具有小介电常数的一种有机材料例如是丙烯酸有机化合物、BCB(苯并环丁烯)或 PFCB(全氟环丁烷)等等构成的。接着在钝化薄膜 152 上整体形成一个光刻胶薄膜，然后如图 20B 所示在下基板 145 上面布置一个第三掩模 210。第三掩模 210 包括透明材料的掩模基板 214 和形成在掩模基板 214 的切除区 P2 内的一个切除部分 212。此处用掩模基板 214 的暴露区域作为曝光区 P1。用第三掩模 210 对光刻胶薄膜曝光和显影，在切除区 P2 内对应着第三掩模 210 的切除部分 212 内

形成光刻胶图形 216。用光刻胶图形 216 按蚀刻工艺对钝化薄膜 152 构图，从而形成如图 20C 所示的第一到第三接触孔 127、133 和 139 以及一个通孔 220。

按照穿透钝化薄膜 152 和栅极绝缘薄膜 146 并暴露出栅极焊盘 124 的方式形成第一接触孔 127，按照穿透钝化薄膜 152 并暴露出数据焊盘 130 的方式形成第二接触孔 133，并按照穿透钝化薄膜 152 和栅极绝缘薄膜 146 并暴露出公共焊盘 136 的方式形成第三接触孔 139。在暴露的栅极焊盘 124、数据焊盘 130 和公共焊盘 136 所具有的结构中，具有高强度和耐腐蚀性的金属层被暴露出来。

通孔 220 穿透钝化薄膜 152 和栅极绝缘薄膜 146，与具有第一宽度 d_1 的像素电极 114 重叠，并暴露出栅极绝缘薄膜 146 和半导体图形，所述的半导体图形包括具有大于像素电极 114 宽度的第二宽度 d_2 的电阻接触层 150 和有源层 148。此时，暴露的半导体图形 148 和 150 的宽度 d_2 大约是 $6\mu\text{m}\sim 6.5\mu\text{m}$ ，而像素电极的宽度 d_1 大约是 $3\mu\text{m}\sim 3.5\mu\text{m}$ 。

接着用暴露的像素电极 114 作为掩模对半导体图形 148 和 150 执行干法蚀刻，使得像素电极 114 与半导体图形 148 和 150 具有彼此相同的第一宽度，并且如图 20D 所示彼此整体重叠。例如，整体重叠的像素电极 114 与半导体图形 148 和 150 具有约 $3\mu\text{m}$ 的宽度。

另一方面，第三掩模步骤形成的暴露的栅极焊盘 124、数据焊盘 130、公共焊盘 136 和像素电极 114 具有图 21 和 22 所示的两种结构。

例如，在下部的第一栅极金属层 142 由钛 Ti 制成而上部的第二栅极金属层 144 由钼 Mo 制成的情况下，栅极焊盘 124 和公共焊盘 136 就是仅仅由下部的第一栅极金属层 142 构成的，如图 21 所示。这是因为第二栅极金属层 144 被用来形成第一和第三接触孔 127 和 139 的蚀刻步骤消除了。

反之，在下部的第一栅极金属层 142 由钼 Mo 制成而上部的第二栅极金属层 144 由钛 Ti 制成的情况下，栅极焊盘 124 和公共焊盘 136 具有双层结构的金属层，第一和第二栅极金属层 142 和 144 如图 22 所示层叠。上部的第二栅极金属层 144 具有用第一和第三接触孔 127 和 139 暴露栅极焊盘 124 和公共焊盘 136 的结构。

进而，在下部的第一源极/漏极金属层 154 由钛 Ti 制成而上部的第二源极/漏极金属层 156 由钼 Mo 制成的情况下，数据焊盘 130 和像素电极 114 仅仅由

下部的第一源极/漏极金属层 154 构成, 如图 21 所示。这是因为上部的第二源极/漏极金属层 156 被用来形成第二接触孔 133 的蚀刻步骤消除了。

反之, 在下部的第一源极/漏极金属层 154 由钼 Mo 制成而上部的第二源极/漏极金属层 156 由钛 Ti 制成的情况下, 数据焊盘 130 和象素电极 114 具有双层结构的金属层, 第一和第二源极/漏极金属层 154 和 156 如图 22 所示层叠。同样, 数据焊盘 130 具有用第二接触孔 133 暴露出上部的第二源极/漏极金属层 156 的结构, 而象素电极 114 具有用通孔 220 暴露出上部的第二源极/漏极金属层 156 的结构。

如上所述, 按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法, 象素电极 114 是用和漏极 112 相同的金属形成的。进而, 象素电极 114 与半导体图形 148 和 150 是整体重叠的, 避免因半导体图形 148 和 150 影响到孔径比。

进而, 栅极焊盘 124、数据焊盘 130 和公共焊盘 136 是用具有高强度和耐腐蚀性的任意金属制成的, 能够防止因反复执行 TCP 的附接步骤而断开造成的缺陷。因此, 本发明不需要透明导电薄膜, 也就是不需要透明导电薄膜淀积和构图步骤, 这样能减少一个掩模步骤。换句话说, 按照本发明的水平电场施加型薄膜晶体管阵列基板是用三轮掩模步骤获得的。

接着用密封剂 204 将完成的薄膜晶体管阵列基板和采用另一工艺制成的滤色片阵列 272 的上基板 270 粘接, 然后在二者之间注入液晶(未表示)就制成了图 23 和 24 所示的液晶面板。在这种情况下, 在粘接上基板 270 时不要与薄膜晶体管阵列基板上形成栅极焊盘 124、数据焊盘 130 和公共焊盘 136 的焊盘区域重叠。

接着在薄膜晶体管阵列基板的焊盘区上用包括导电球 184 的各向异性导电薄膜(ACF)182 将其上安装有驱动 IC 的 TCP170 和 180 彼此粘接。如此通过 ACF182 的导电球 184 分别将 TCP170 和 180 上形成的输出焊盘 174、176 和 178 电连接到栅极焊盘 124、数据焊盘 130 和公共焊盘 136。具体地说, 将形成在栅极 TCP170 的基础薄膜 172 上的第一 TCP 焊盘 174 电连接到栅极焊盘 124, 形成在数据 TCP180 的基础薄膜 172 上的第二 TCP 焊盘 176 电连接到数据焊盘 130, 并将形成在数据 TCP180 的基础薄膜 172 上的第三 TCP 焊盘 178 通过公共焊盘 136 的第一栅极金属层 142 和 ACF182 而电连接。在这种情况下, 栅极焊

盘 124、数据焊盘 130 和公共焊盘 136 所具有的结构中暴露出高强度和耐腐蚀性的金属层，即使是反复执行 TCP170 和 180 的粘接步骤也不会因焊盘断开而出现缺陷。

5 如上所述，按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法，像素电极是用和漏极相同的金属形成的，并且焊盘具有这样的结构，即暴露出具有高强度和耐腐蚀性的金属层结构，以免因断开而造成缺陷，而且这些焊盘通过 ACF 连接到 TCP。因此，本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法不需要透明导电薄膜，也就是不需要透明导电薄膜淀积和构图步骤，这样能减少一个掩模步骤。

10 进而，按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法，采用蚀刻阻挡层来保护基板，能够防止基板受到用来对具有高强度和耐腐蚀性的金属层构图的氢氟酸 HF 系蚀刻剂造成的损伤。

15 另外，按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法，像素电极的指状部分和下部的半导体图形是整体重叠的。因此，按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法，能够避免宽度与像素电极的指状部分相同的半导体图形影响到孔径比。

因此，按照本发明的水平电场施加型薄膜晶体管阵列基板及其制造方法，有可能用三轮掩模步骤来制造薄膜晶体管阵列基板，从而简化薄膜晶体管阵列基板的结构和工艺，并且降低制造成本和提高产量。

20 尽管以上参照附图解释了本发明的实施例，应该说本领域的技术人员都能理解本发明并非仅限于这些实施例，无需脱离本发明的原理还能对其作出各种各样的修改和变更。因此，本发明的范围应该仅仅由权利要求书及其等效物来确定。

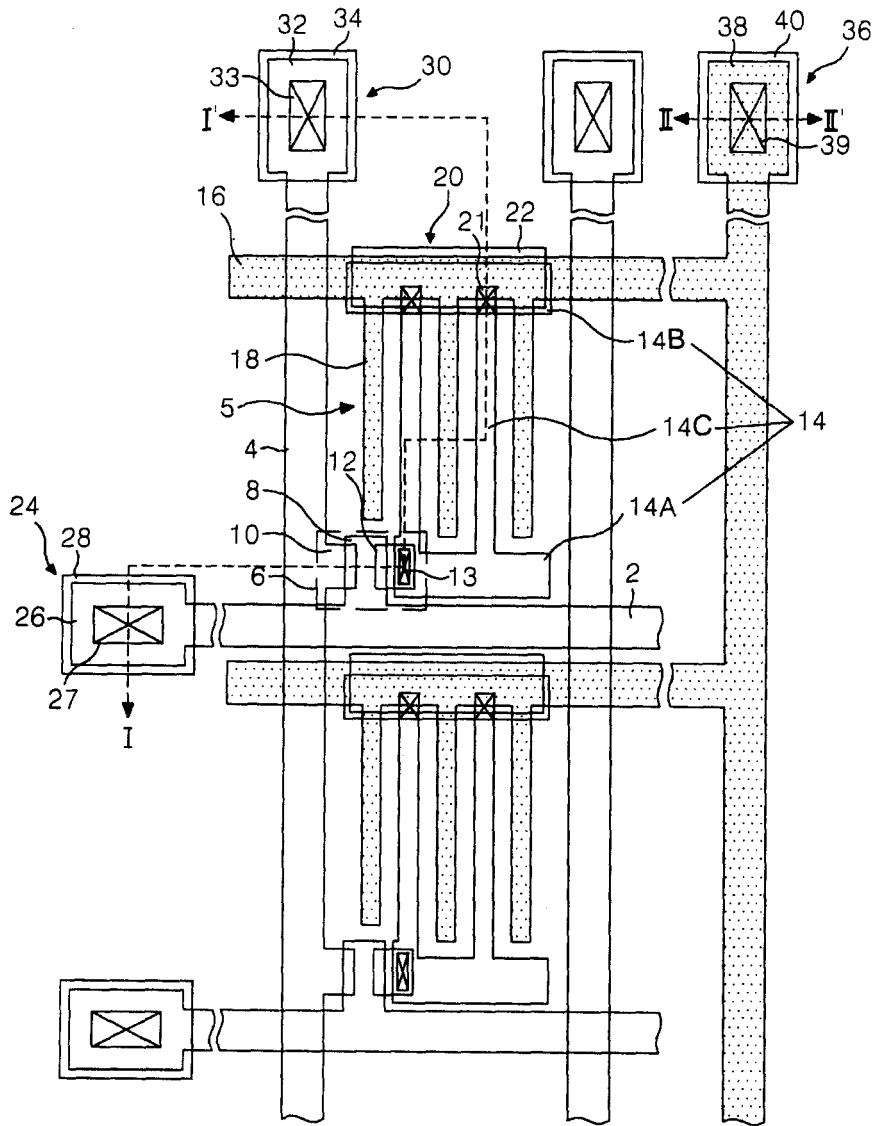


图 1

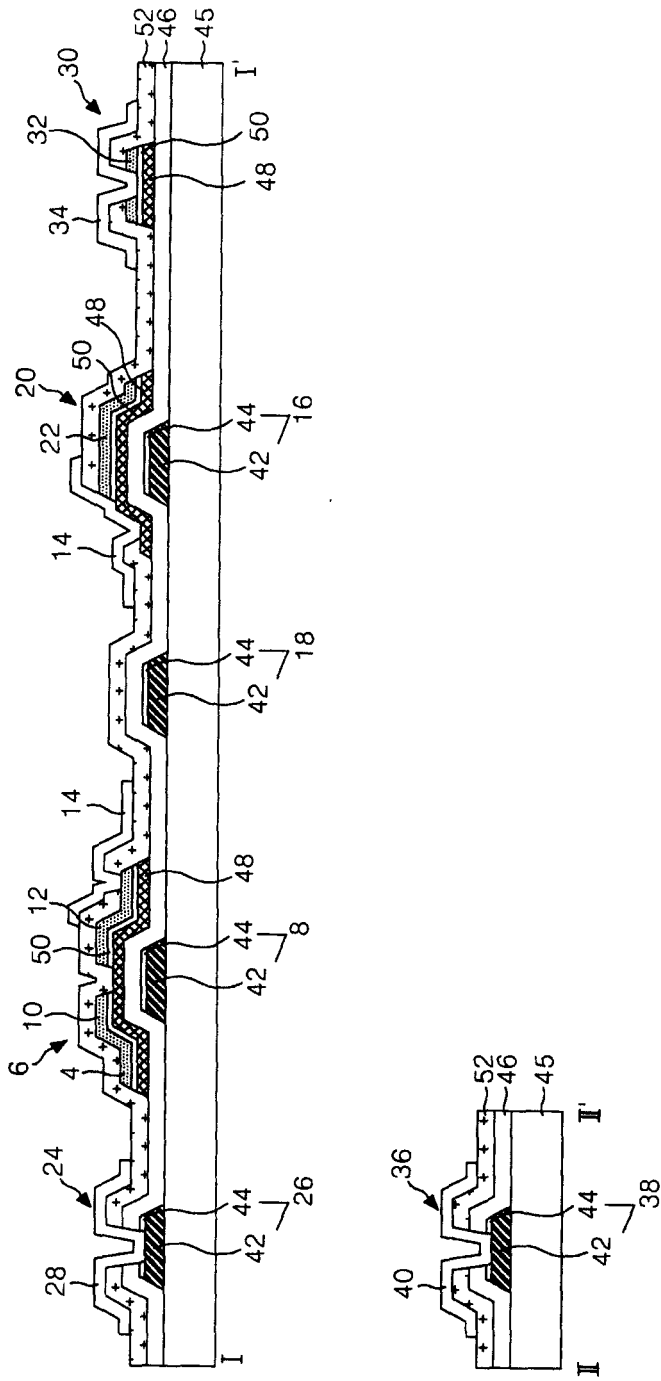


图 2

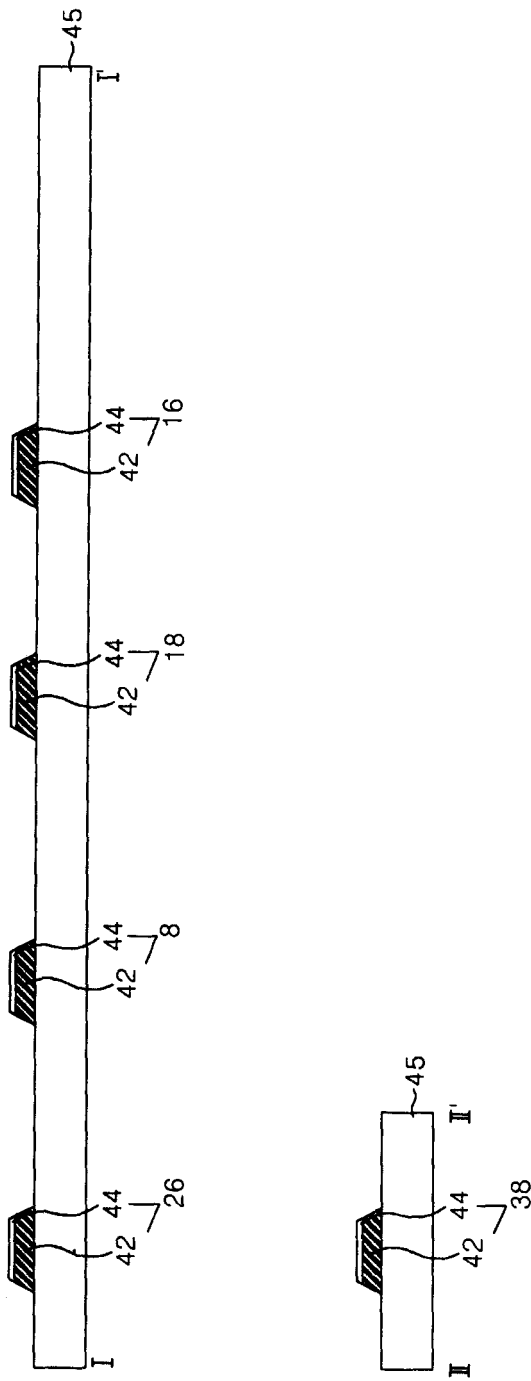


图 3A

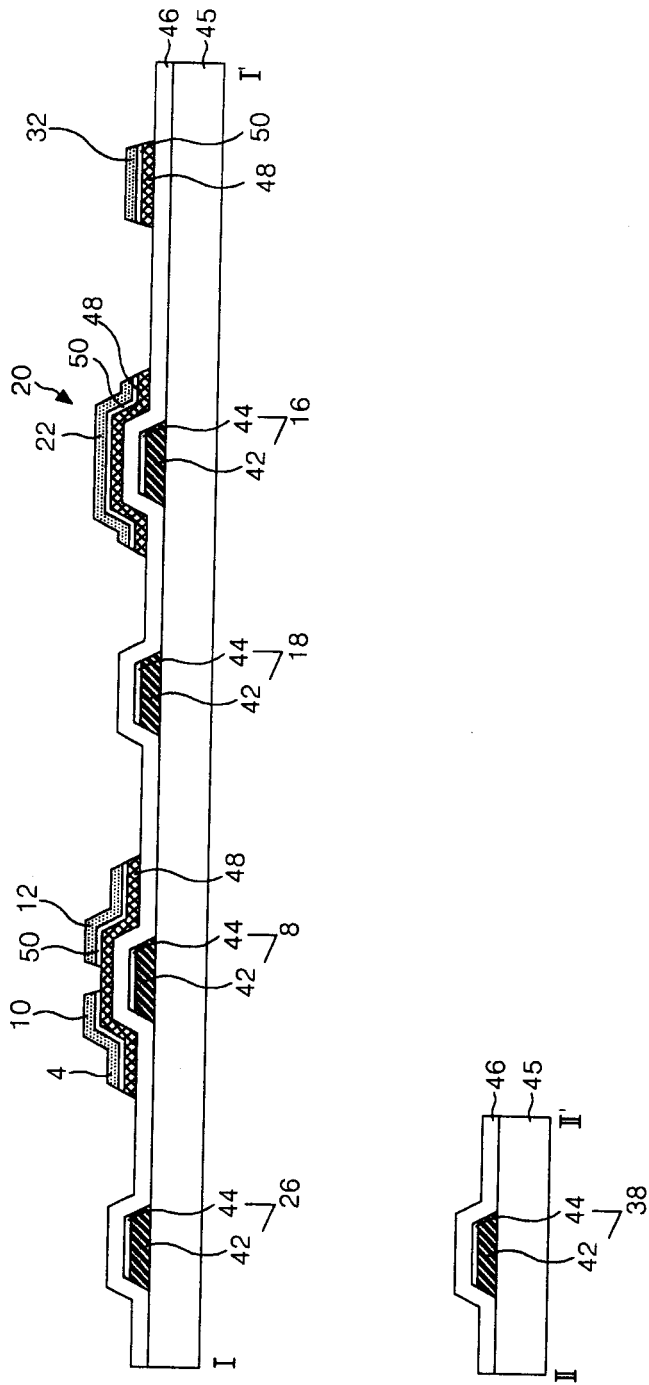


图 3B

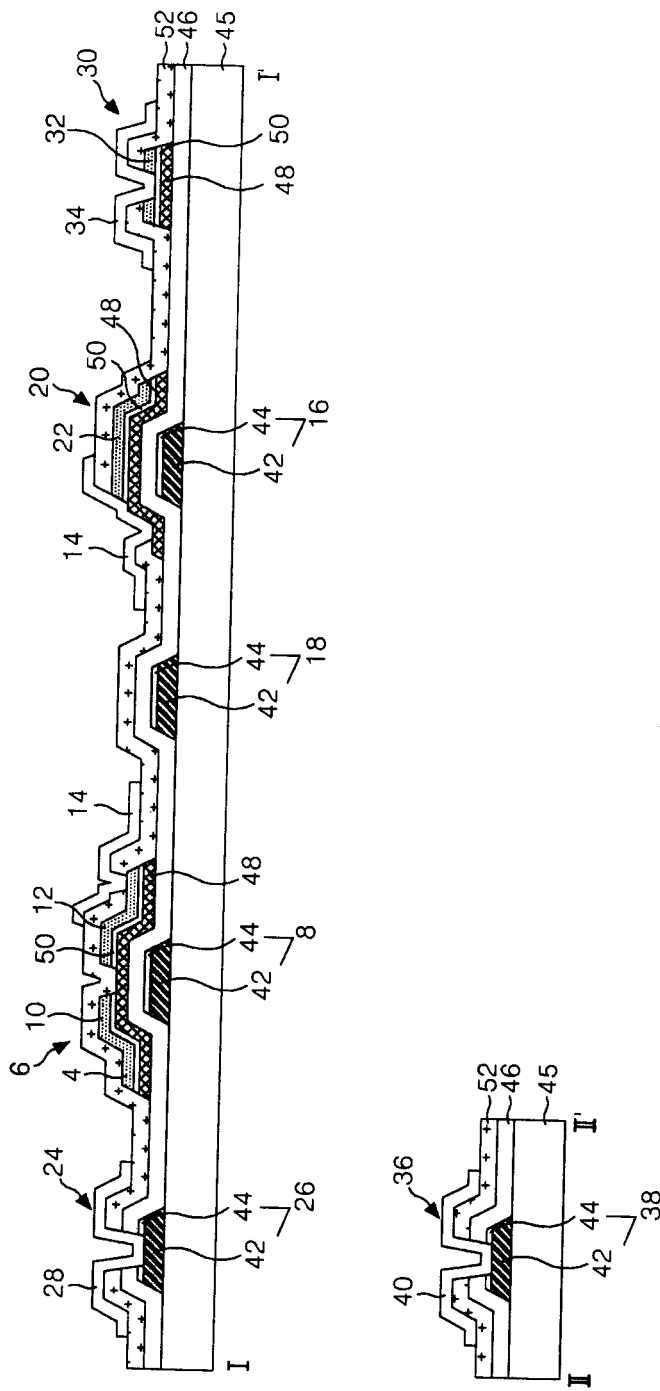


图 3D

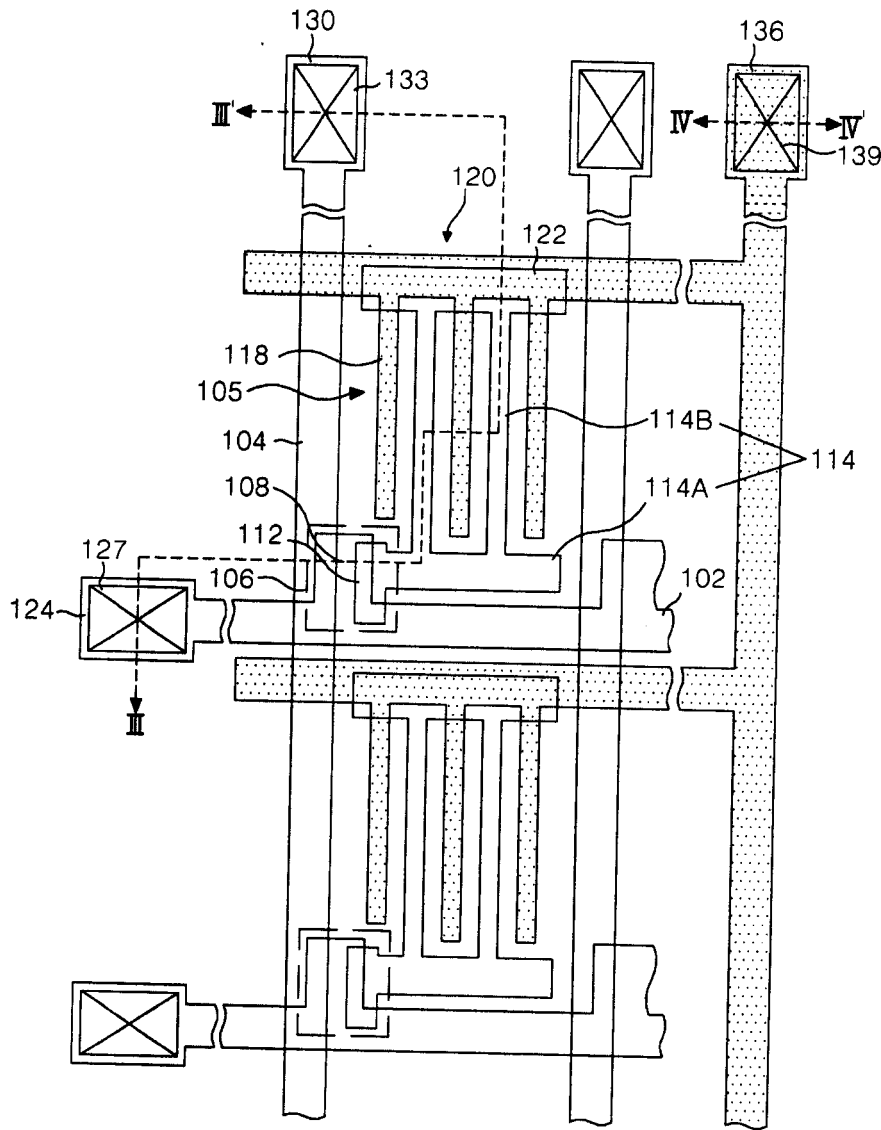


图 4

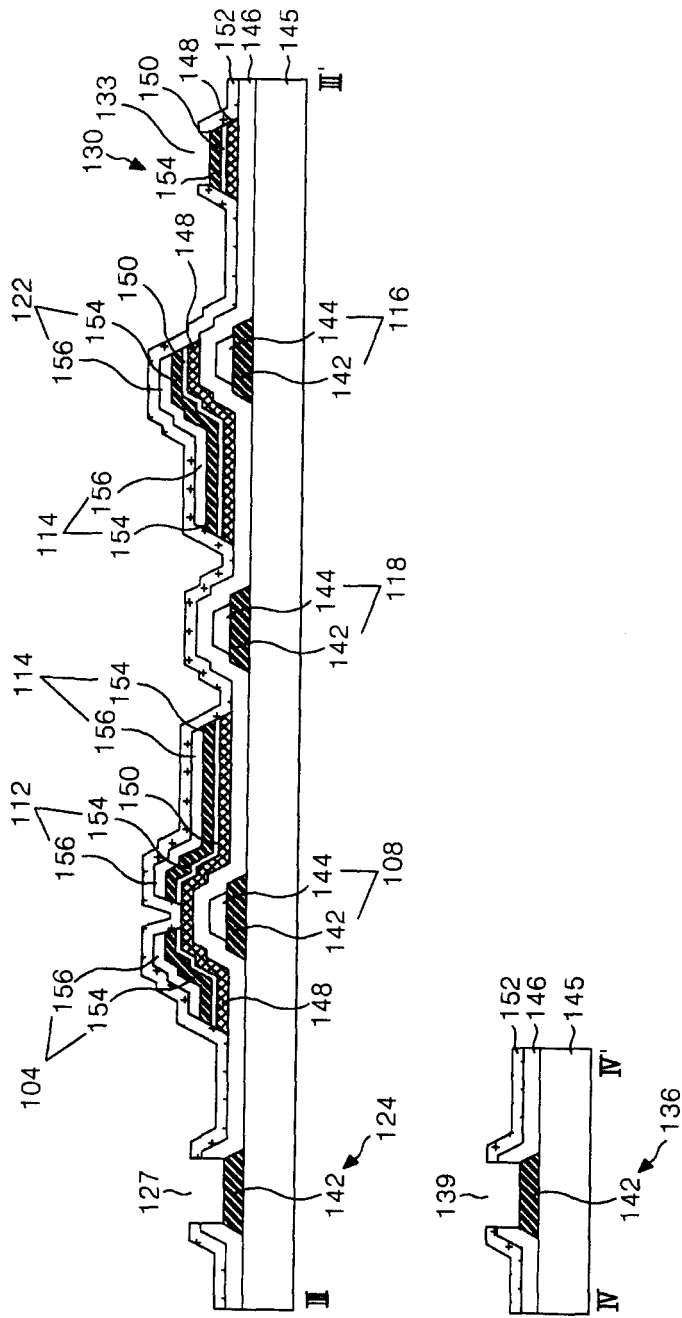


图 5

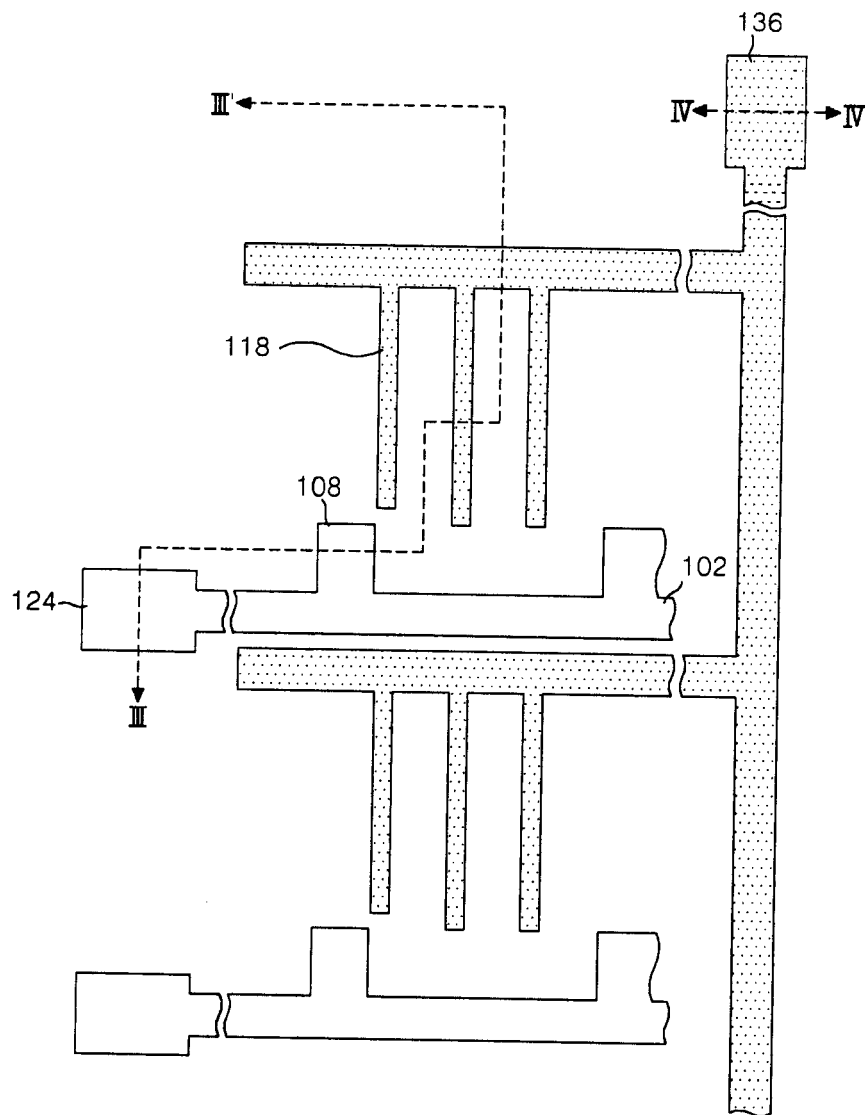


图 6A

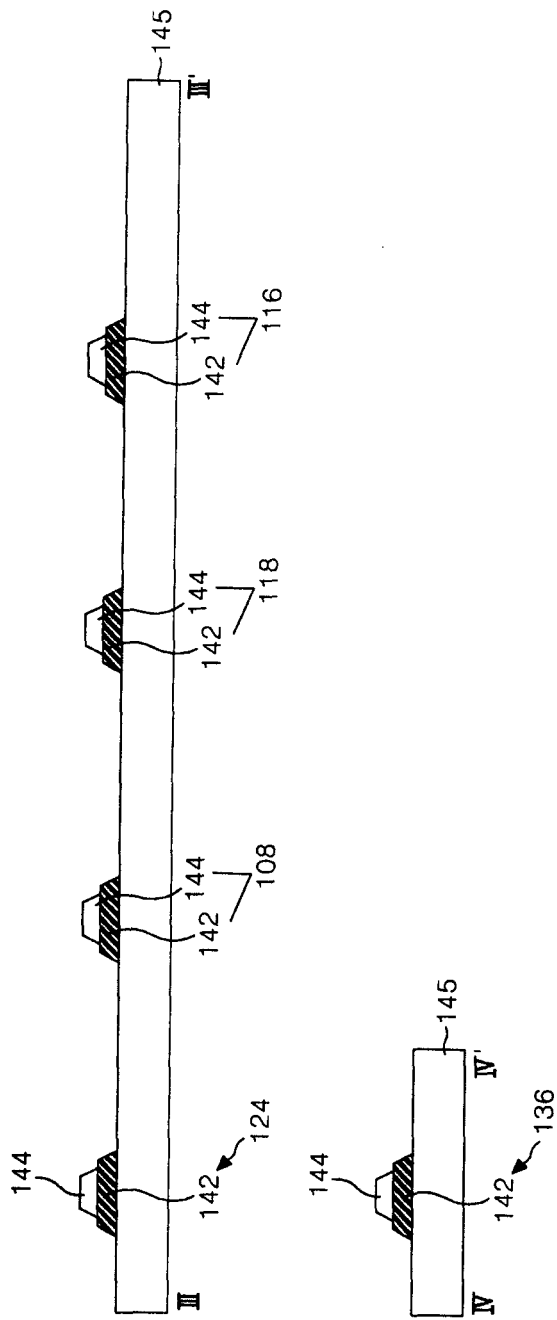


图 6B

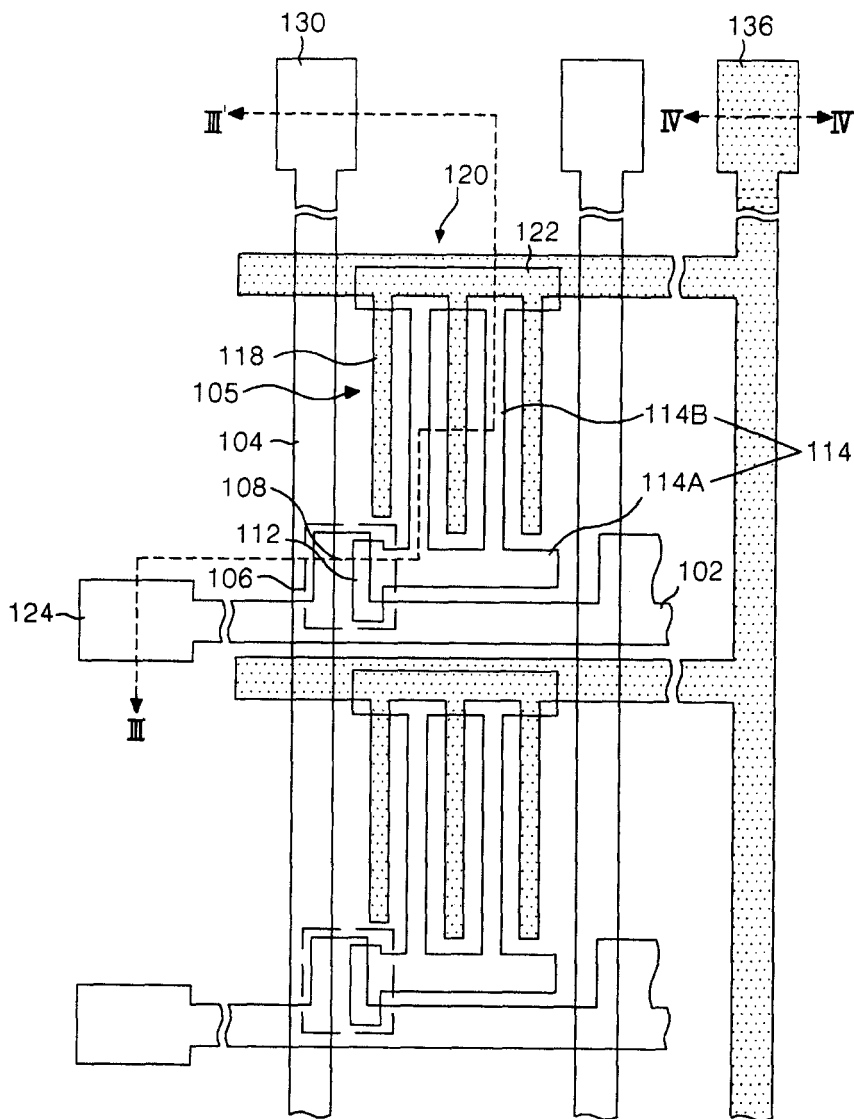


图 7A

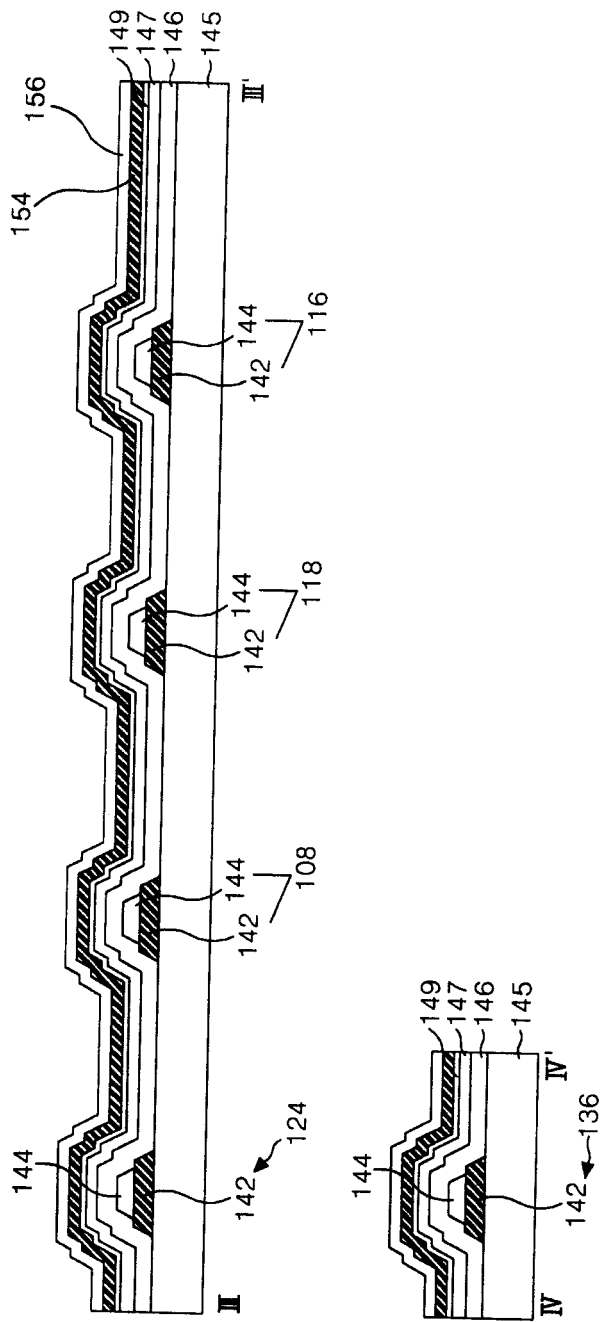


图 8A

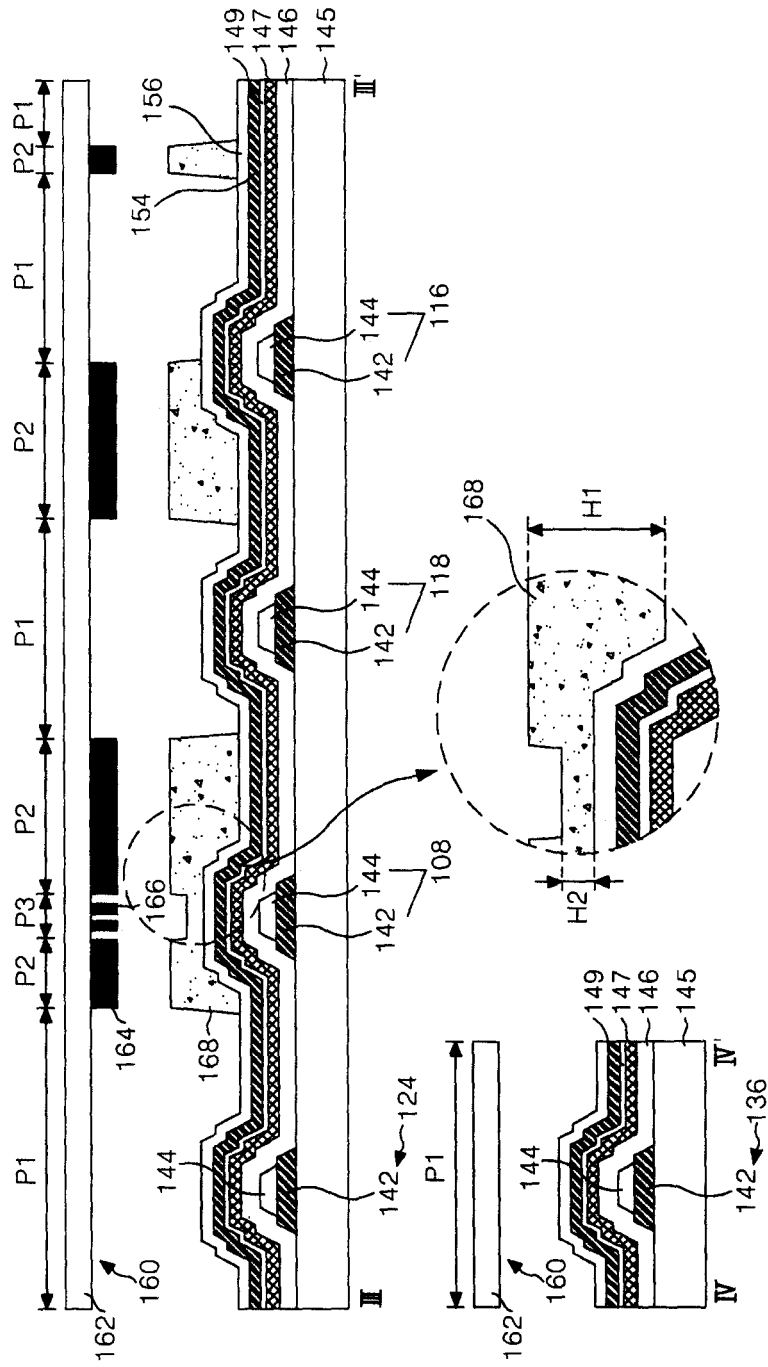


图 8B

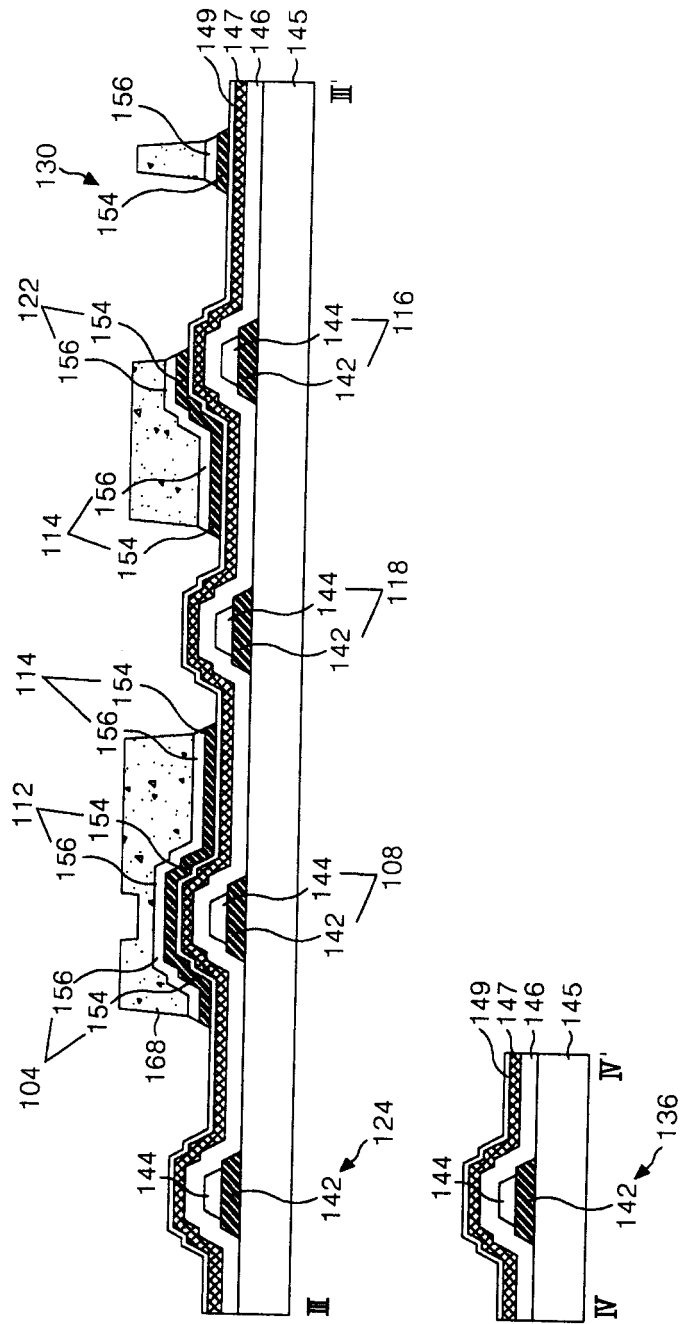


图 8C

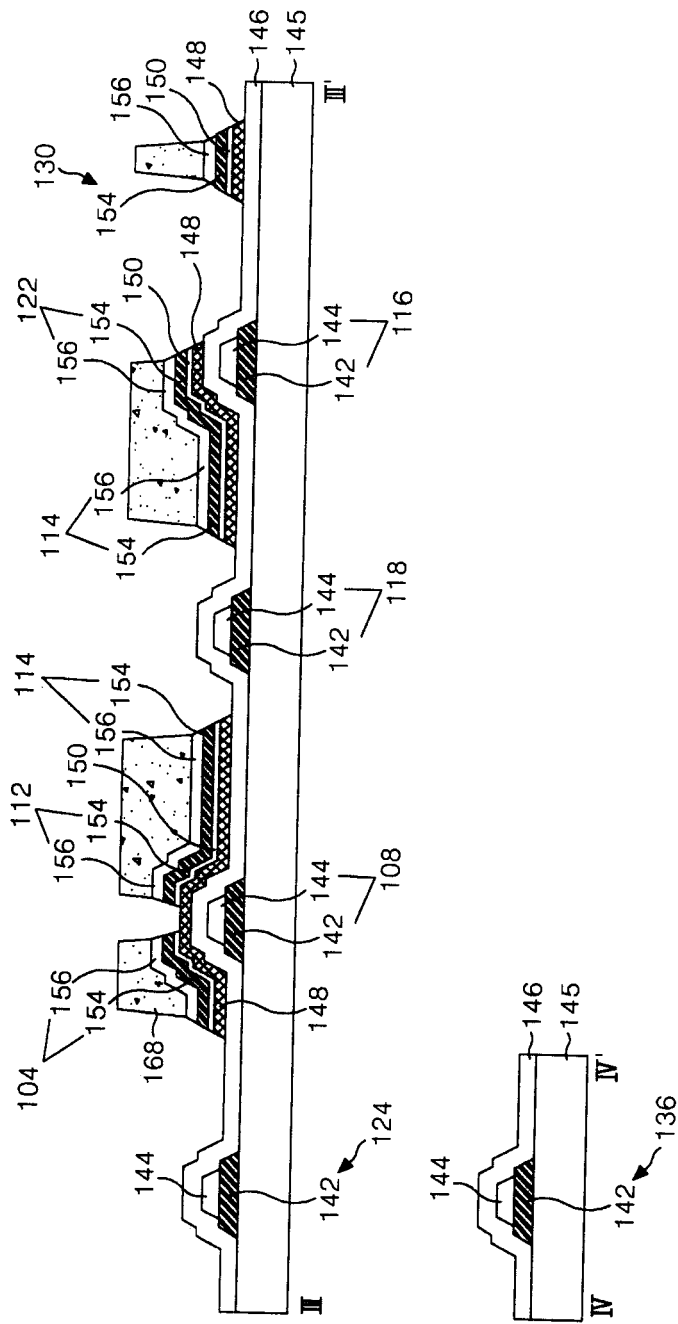


图 8D

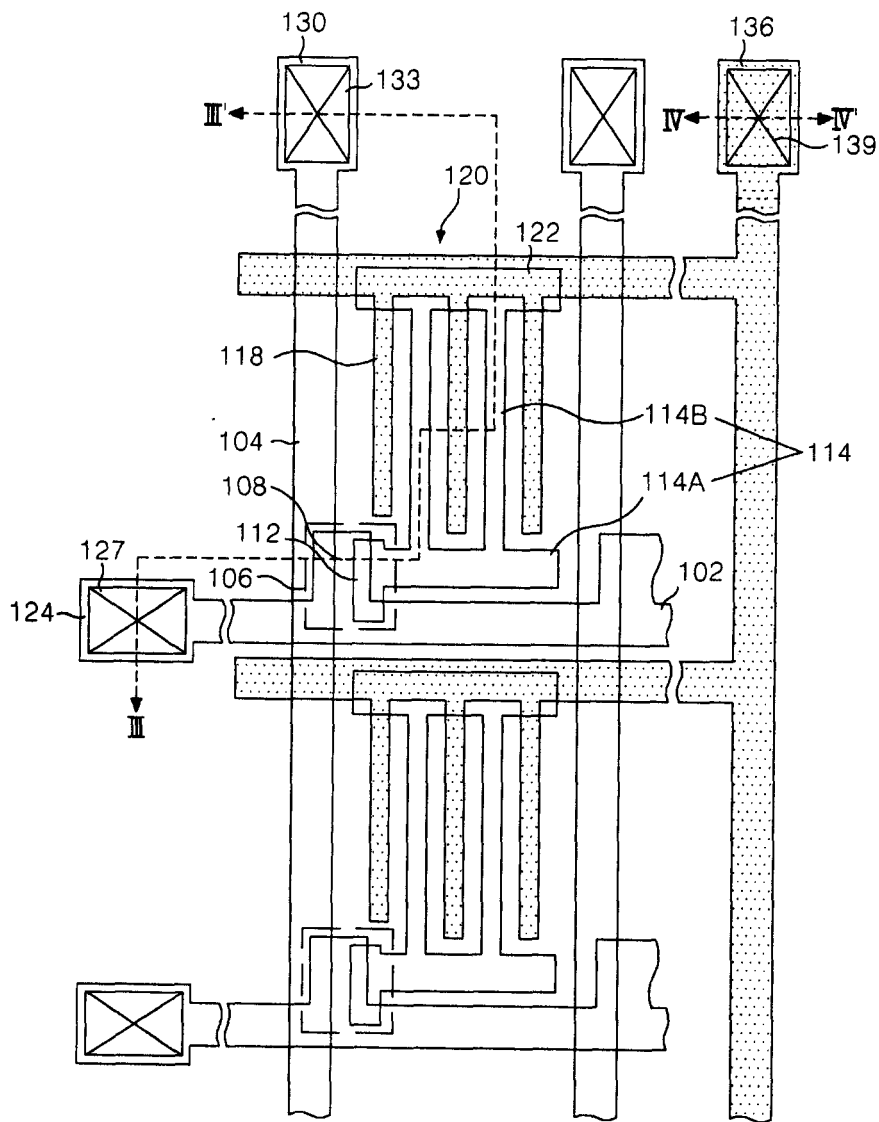


图 9A

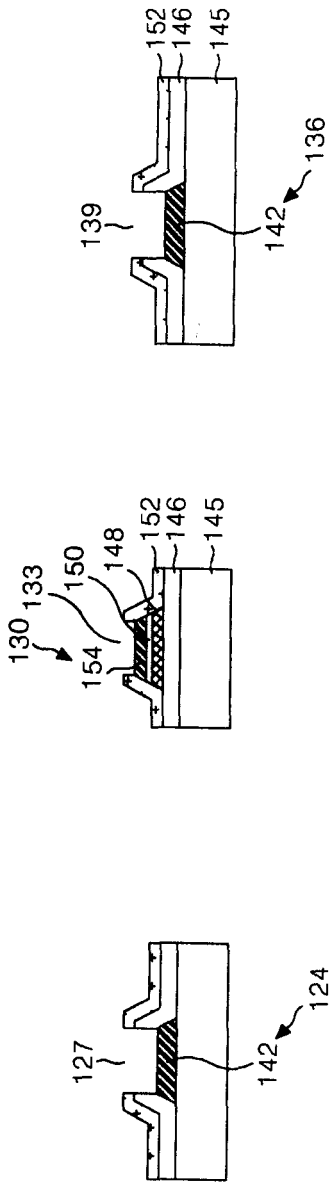


图 10

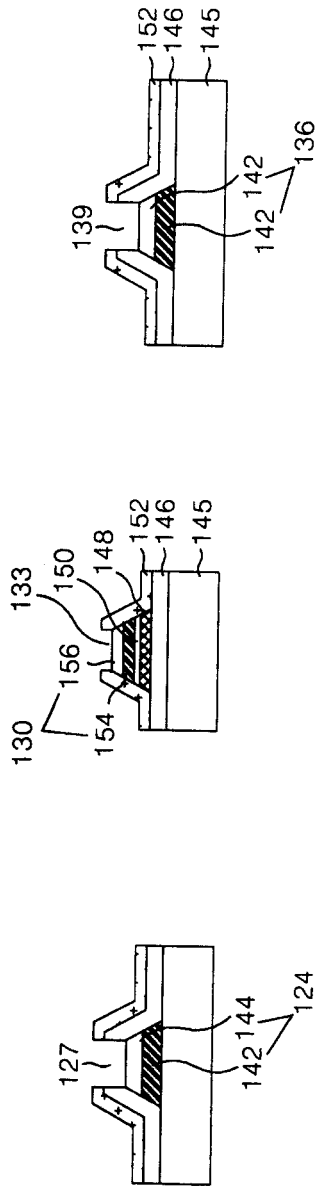


图 11

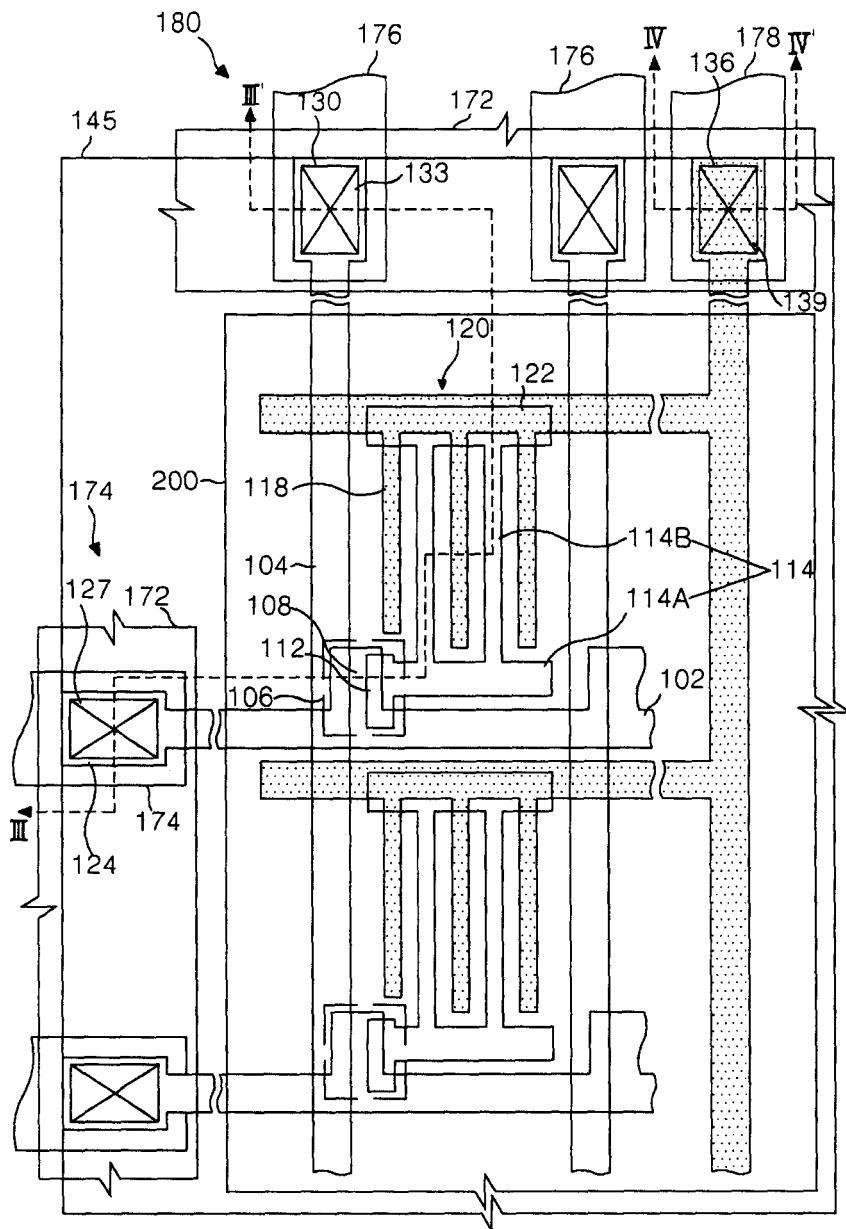


图 12

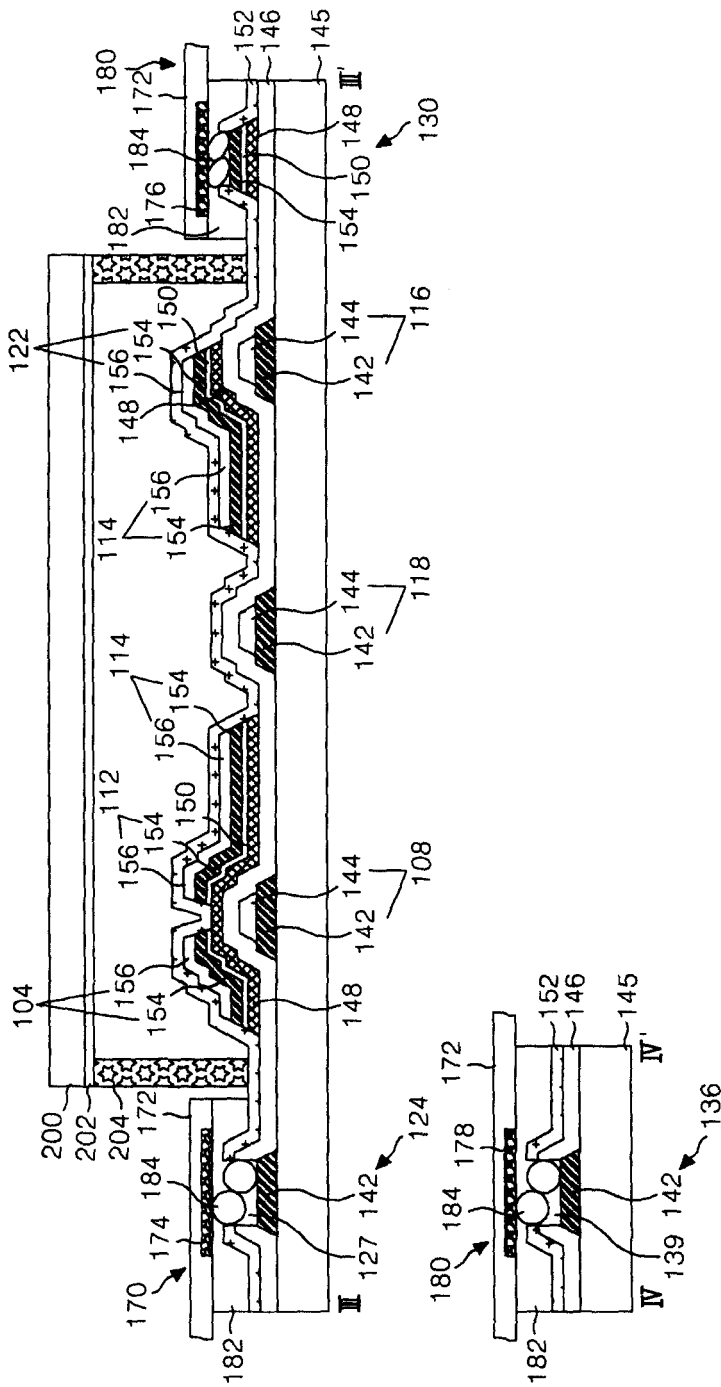


图 13

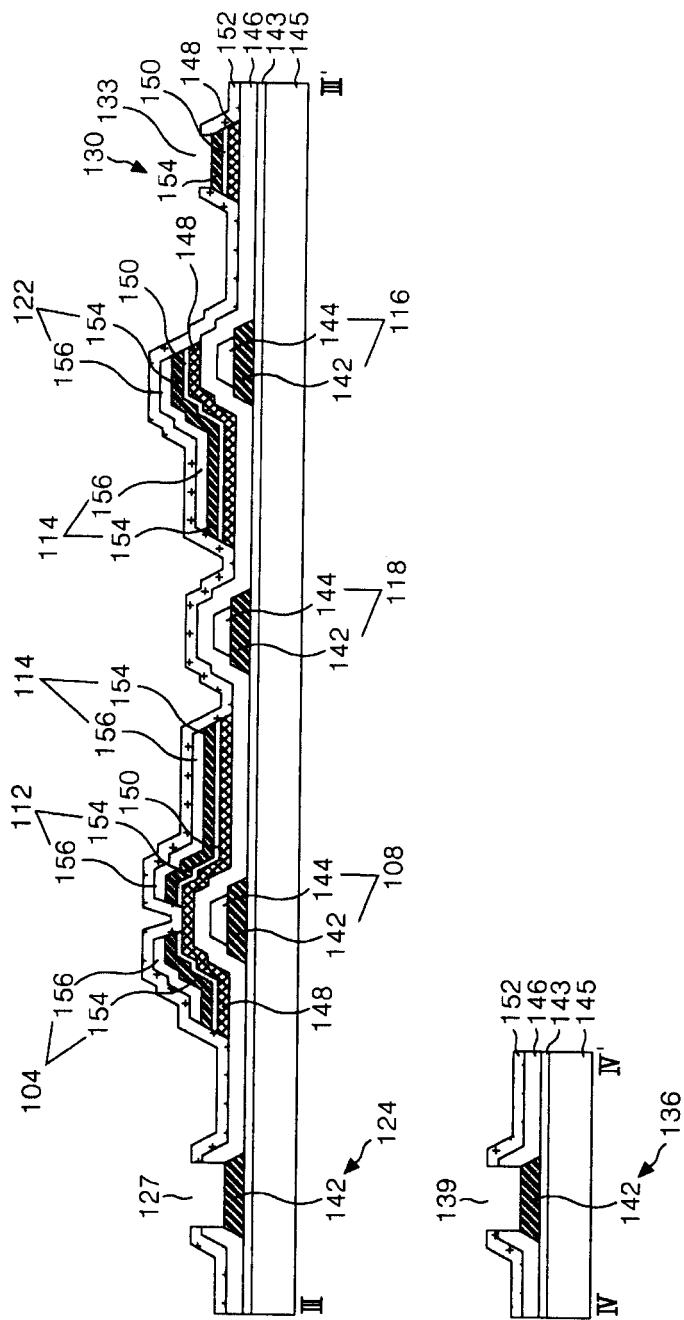


图 14

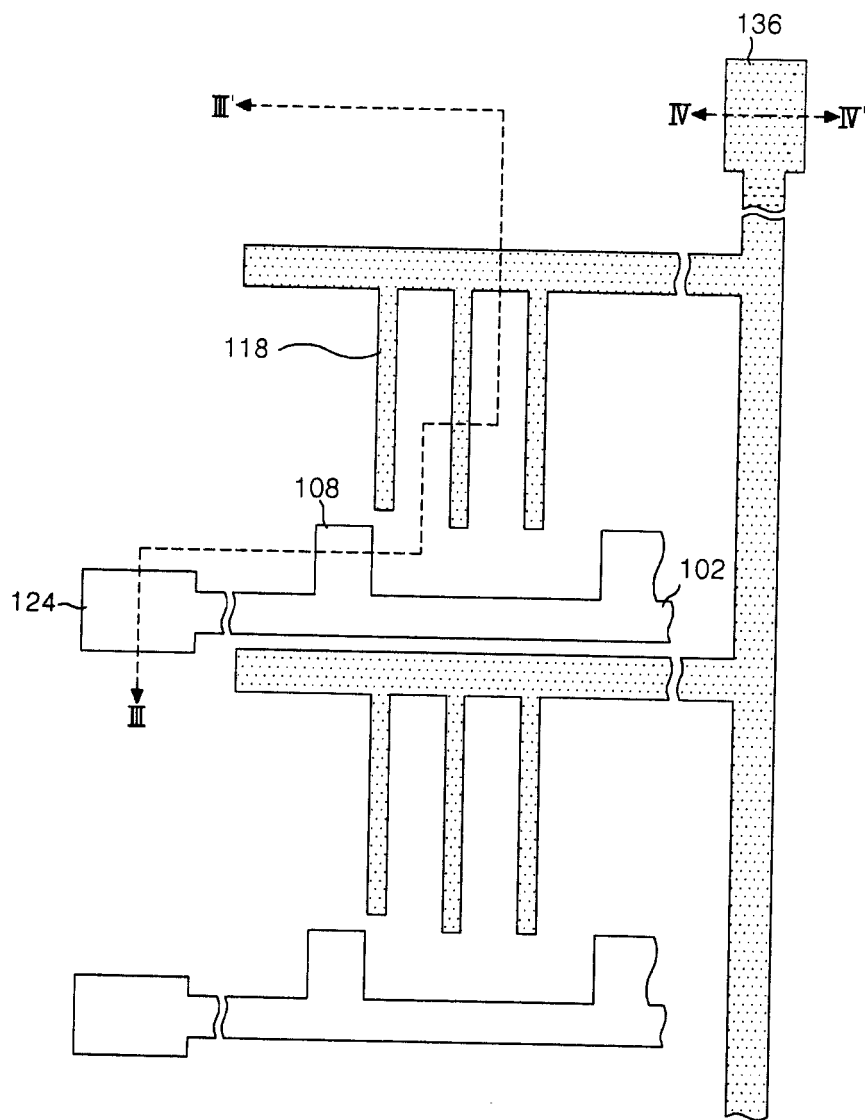


图 15A

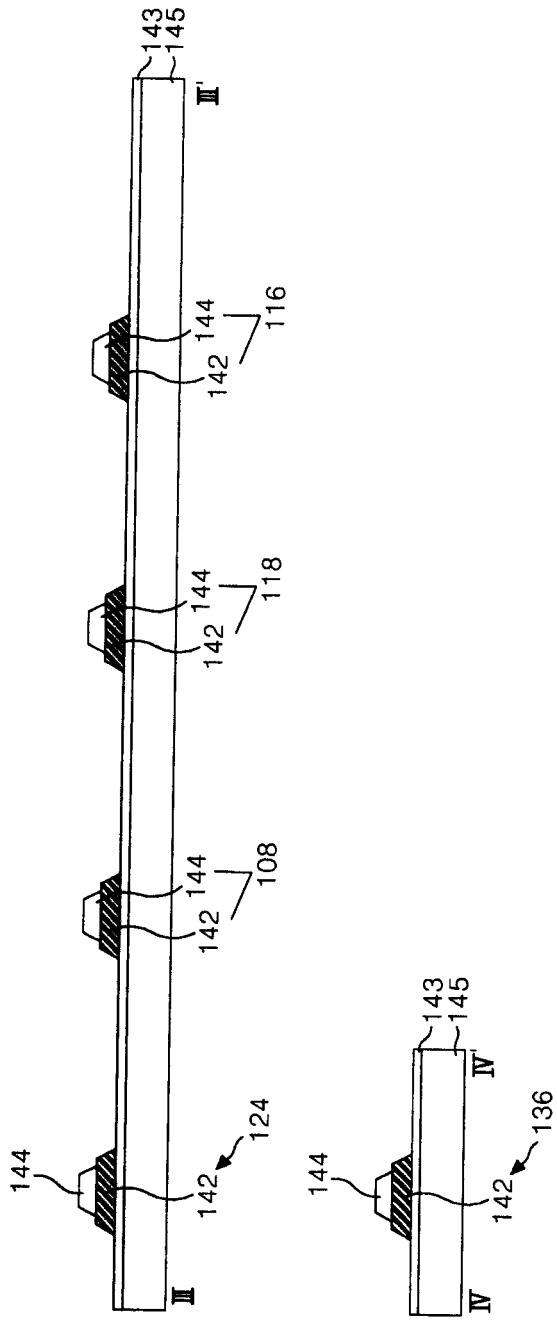


图 15B

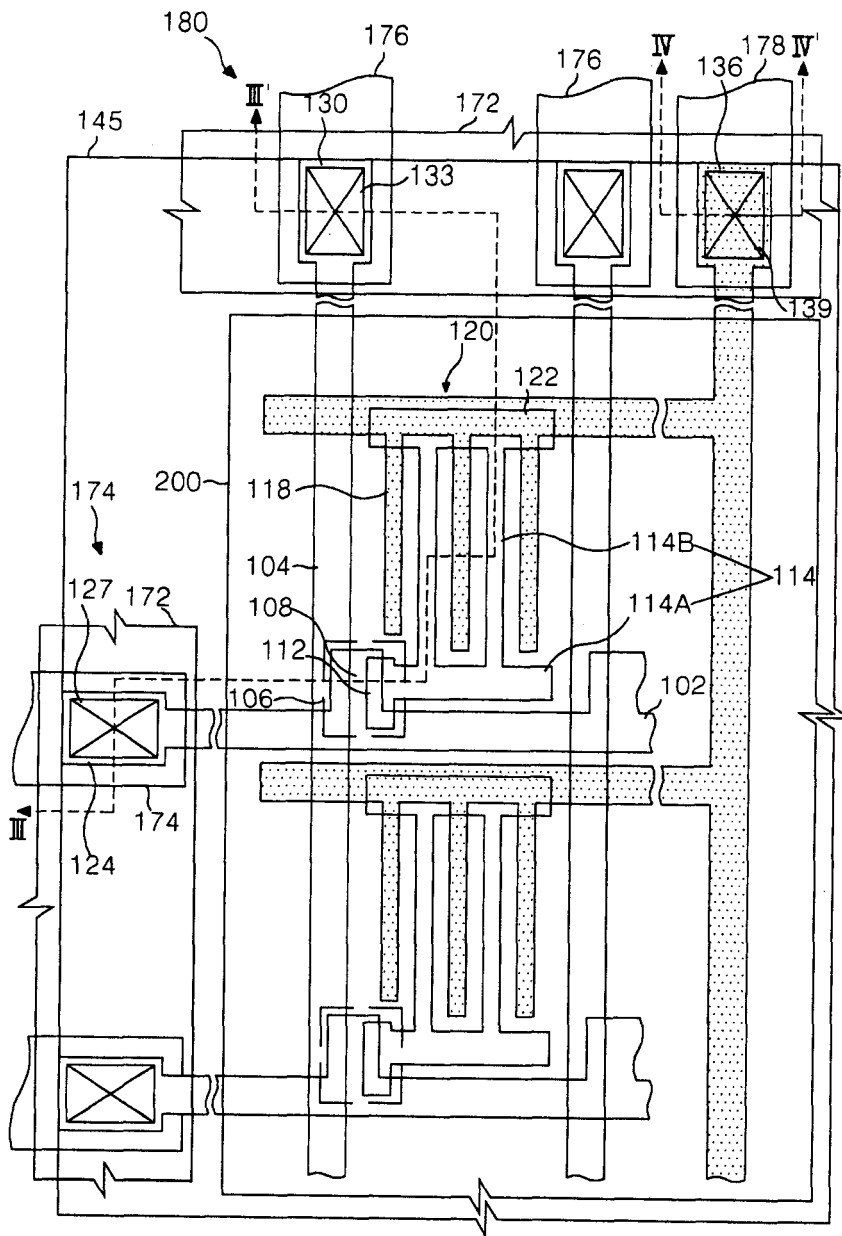


图 16

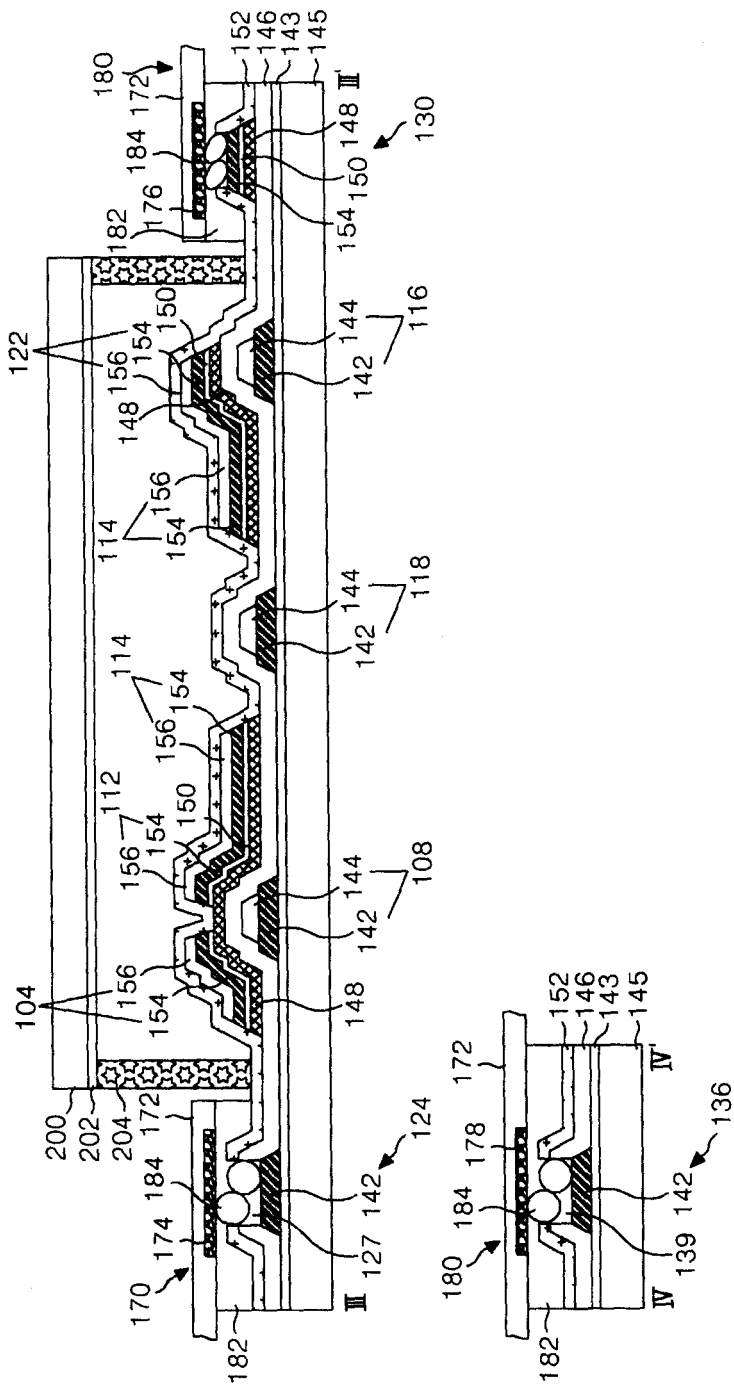


图 17

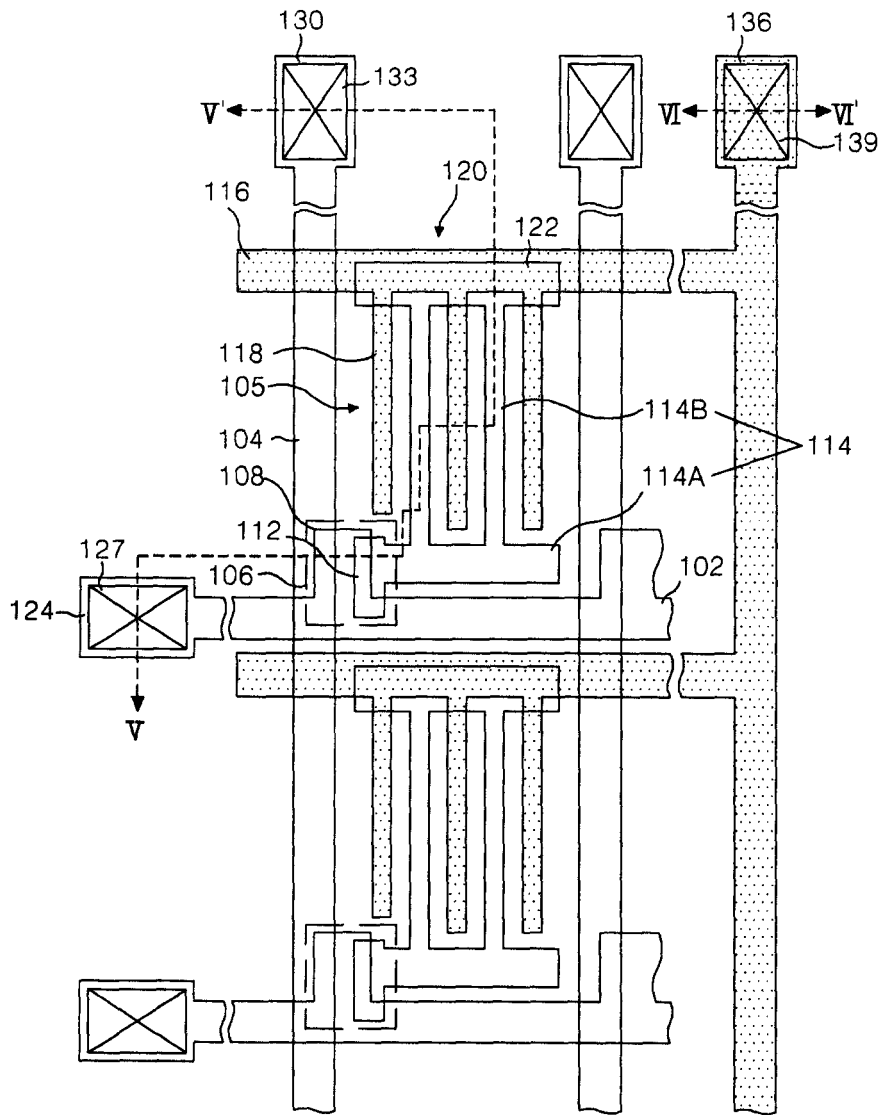


图 18

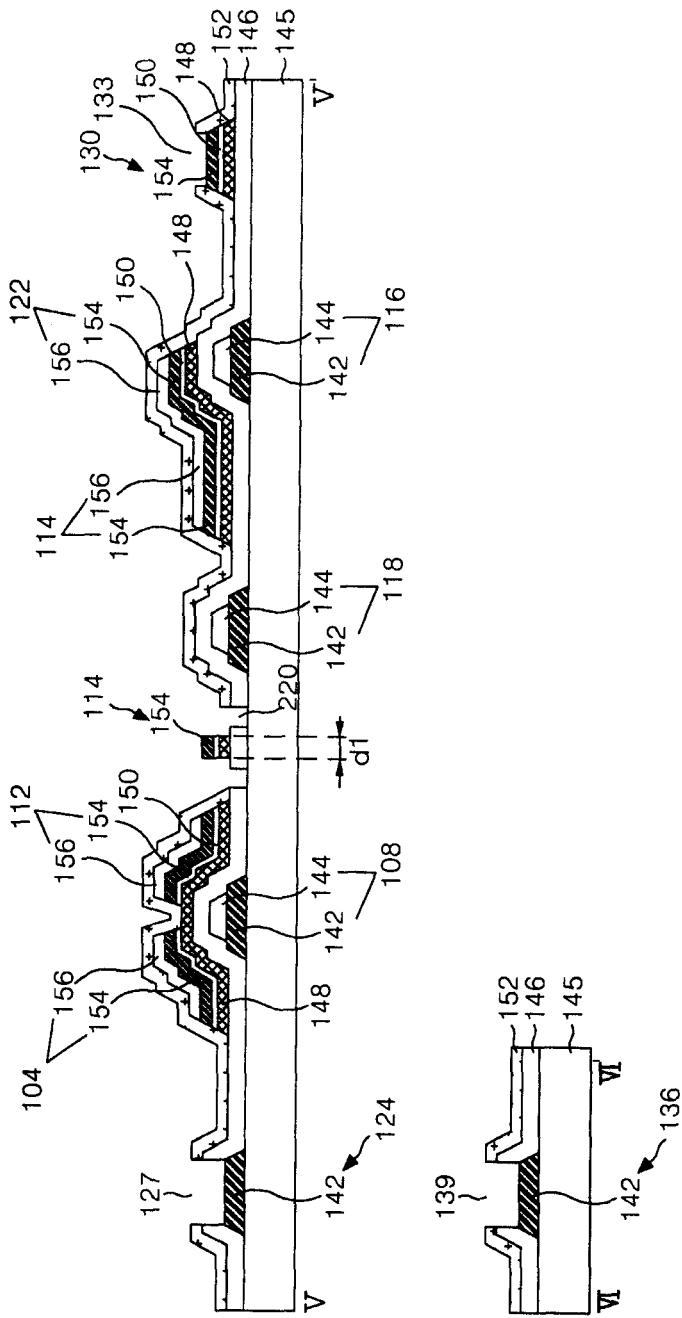


图 19

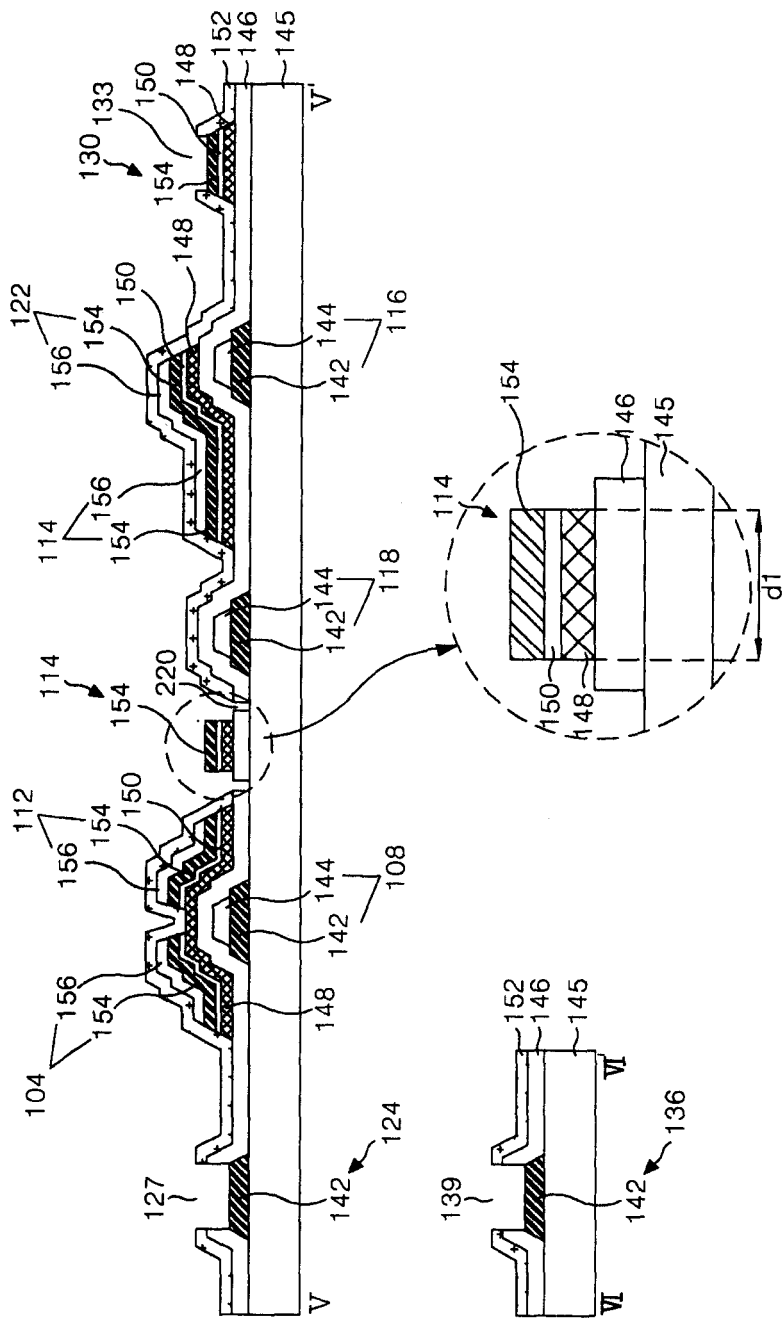


图 20D

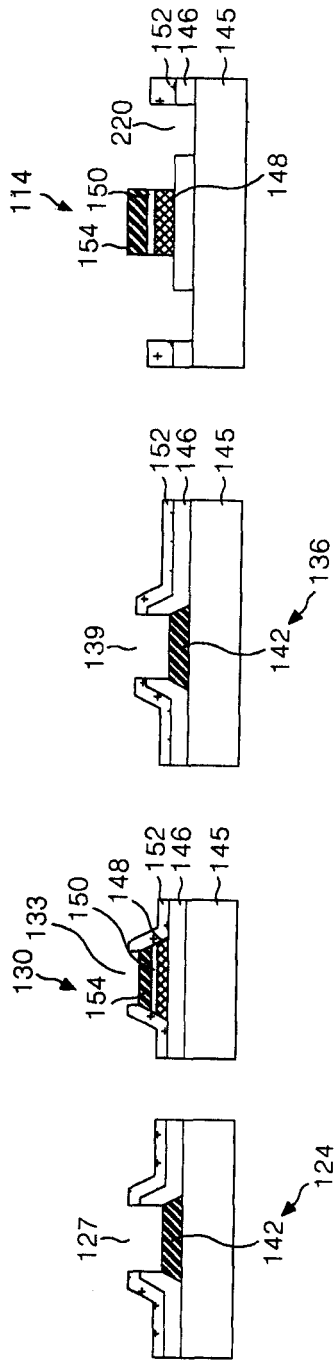


图 21

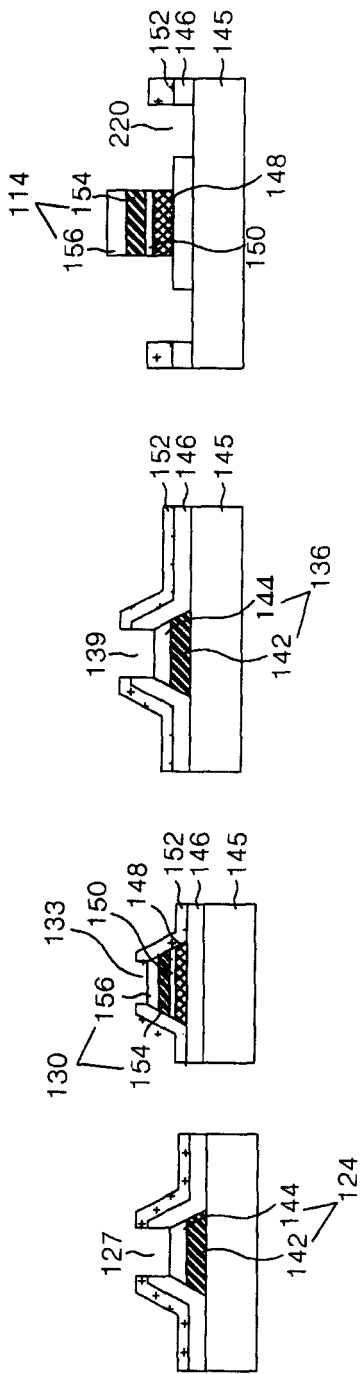


图 22

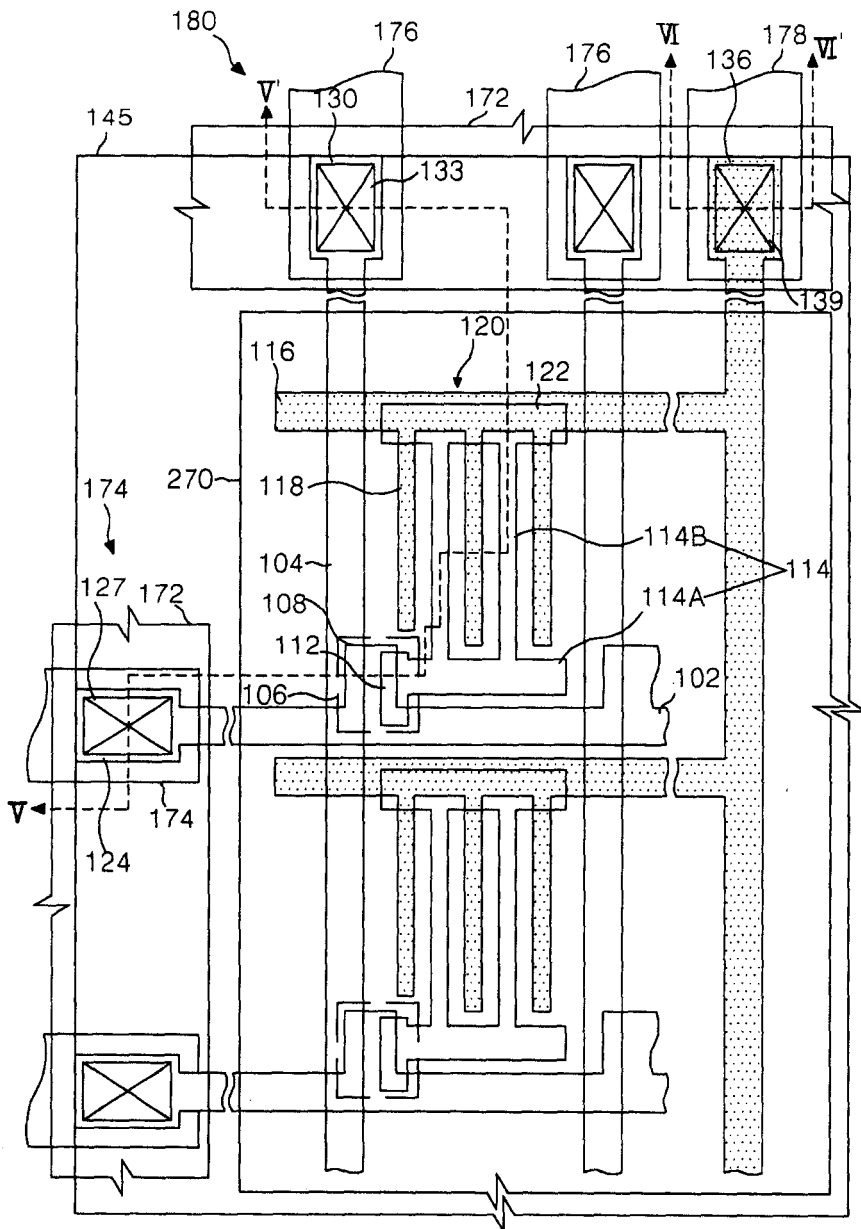


图 23

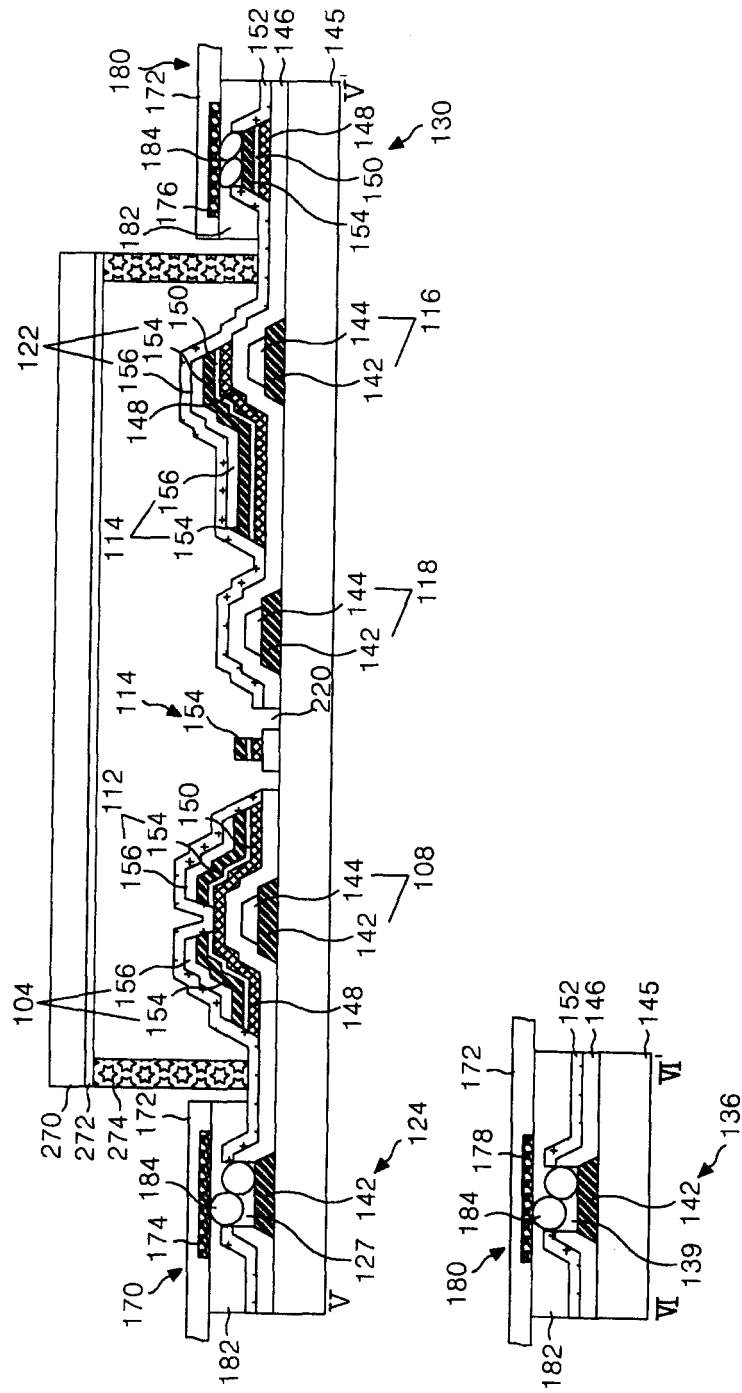


图 24

专利名称(译)	水平电场施加型液晶显示器及其制造方法		
公开(公告)号	CN1550857A	公开(公告)日	2004-12-01
申请号	CN200410029913.2	申请日	2004-03-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	安炳喆 林柄昊		
发明人	安炳喆 林柄昊		
IPC分类号	G02F1/137 G02F1/1333 G02F1/1343 G02F1/1362 G09F9/30 G09F9/35 G02F1/136 G02F1/133 H01L29/786 H01L21/00		
CPC分类号	G02F2001/136231 G02F1/136286 G02F1/13458 G02F1/134363 G02F2001/13629		
代理人(译)	徐金国		
优先权	1020030019781 2003-03-29 KR 1020030019783 2003-03-29 KR 1020030021118 2003-04-03 KR		
其他公开文献	CN100592172C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种采用水平电场的液晶显示器以及能够减少掩模工艺数量的液晶显示器件制造方法。按照本发明的水平电场施加型液晶显示器包括：薄膜晶体管阵列基板，其包括栅极线，与栅极线平行的公共线，与栅极线和公共线交叉的数据线，在栅极线和数据线的各个交叉点上形成的薄膜晶体管，连接到公共线的公共电极，连接到薄膜晶体管并且和公共电极共同产生水平电场的像素电极，栅极焊盘，数据焊盘，以及钝化薄膜；与薄膜晶体管阵列基板组合的滤色片基板，二者之间填充有液晶材料；以及连接到薄膜晶体管阵列基板上的导电薄膜。

