



(12)发明专利

(10)授权公告号 CN 103185976 B

(45)授权公告日 2016.12.14

(21)申请号 201110459944.1

G09G 3/36(2006.01)

(22)申请日 2011.12.31

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 103185976 A

CN 101206362 A, 2008.06.25,

CN 102073180 A, 2011.05.25,

CN 101206362 A, 2008.06.25,

CN 102073180 A, 2011.05.25,

US 2007165149 A1, 2007.07.19,

CN 1731503 A, 2006.02.08,

(43)申请公布日 2013.07.03

(73)专利权人 上海中航光电子有限公司

地址 201108 上海市闵行区华宁路3388号

审查员 刘志玲

(72)发明人 徐晓伟 樊伟锋 夏志强

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 逯长明

(51)Int.Cl.

G02F 1/133(2006.01)

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

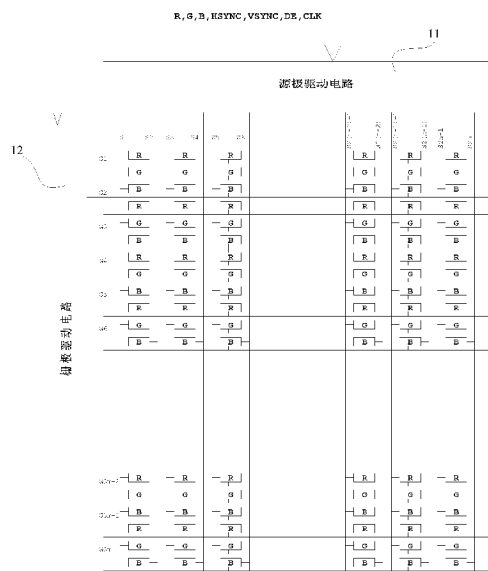
权利要求书2页 说明书14页 附图9页

(54)发明名称

液晶显示装置及其驱动方法

(57)摘要

本发明公开了一种液晶显示装置及其驱动方法,该装置包括源极驱动电路、栅极驱动电路和显示面板,该显示面板包括:基板;多个呈矩阵形式排列于该基板上的子像素;一个子像素对应一个薄膜晶体管;由纵向相邻的三个子像素组成的像素单元;其中,每个像素单元分配有两根数据线,每个像素单元中至少一个子像素的薄膜晶体管栅极与不同栅极线连接,且连接到同一栅极线的子像素薄膜晶体管的源极分别与不同数据线连接。通过上述连接关系,在同时驱动两行子像素的栅极线打开时,针对列与驱动行交叉处的两个子像素分别由相邻的两列进行写数据,即实现同时对两行子像素进行写数据,降低驱动过程的功耗,使液晶显示装置体现出更好的显示质量。



1. 一种液晶显示装置,包括源极驱动电路、栅极驱动电路和显示面板,其特征在于,所述显示面板包括:

基板;

多个子像素,呈矩阵形式排列于所述基板上,且其由相互垂直交叉的多条数据线及多条栅极线形限定;

多个薄膜晶体管,每个所述薄膜晶体管对应一个子像素;

像素单元,所述像素单元由纵向相邻的三个子像素组成;

其中,每个像素单元分别分配有两根数据线 and 三条栅极线,所述两根数据线仅用于控制一个独立的像素单元,每个像素单元中每个子像素的薄膜晶体管栅极与不同栅极线连接,且至少一个子像素与其他子像素连接不同的数据线。

2. 根据权利要求1所述的装置,其特征在于,所述基板中的薄膜晶体管的排列具体包括:

针对行,按相邻两行的子像素为一组循环分组,同一组内的子像素对应的各个薄膜晶体管栅极与所述栅极驱动电路中同一信号的一条栅极线连接;

针对列,位于奇数列中的奇数行子像素对应的薄膜晶体管源极与该列相邻的奇数列数据线连接,位于奇数列中的偶数行子像素对应的薄膜晶体管源极与该列相邻的偶数列数据线连接;

位于偶数列中的奇数行子像素对应的薄膜晶体管源极与该列相邻的偶数列数据线连接,位于偶数列中的偶数行子像素对应的薄膜晶体管源极与该列相邻的奇数列数据线连接。

3. 根据权利要求1所述的装置,其特征在于,所述基板中的薄膜晶体管的排列具体包括:

针对行,每一行的子像素对应的各个薄膜晶体管栅极与所述栅极驱动电路中的一条栅极线连接;

针对列,每一列中按顺序以四个子像素为一组进行循环分组,同一组中第一行和第四行的子像素对应的薄膜晶体管源极与该列相邻的不同数据线连接;

第二行和第三行的子像素对应的薄膜晶体管源极与该列相邻的不同数据线连接。

4. 根据权利要求1所述的装置,其特征在于,所述基板中的薄膜晶体管的排列具体包括:

针对行,每一行的子像素对应的各个薄膜晶体管栅极与一条栅极线连接;

针对列,每一列中按顺序以四个子像素为一组进行循环分组,同一组中第一行和第二行的子像素对应的薄膜晶体管源极与该列相邻的奇数列数据线连接;

第三行和第四行的子像素对应的薄膜晶体管源极与该列相邻的偶数列数据线连接。

5. 根据权利要求1所述的装置,其特征在于,原栅极驱动电路则作为第一栅极驱动电路;

对于所述基板中的薄膜晶体管的排列具体为:

针对行,按相邻两行的子像素为一组,同一组内的两行子像素对应的各个薄膜晶体管栅极与接收所述第一栅极驱动电路同一信号的栅极线连接;

针对列,每一列中的子像素对应的薄膜晶体管源极与所述源极驱动电路中相邻的两条

数据线连接。

6. 根据权利要求1所述的装置,其特征在于,还包括:第二栅极驱动电路;原栅极驱动电路则作为第一栅极驱动电路;

对于所述基板中的薄膜晶体管的排列具体为:

针对行,按相邻奇数行的子像素为一组,相邻偶数行的子像素为一组循环分组;按奇数行分组的同一组内的两行子像素对应的各个薄膜晶体管栅极与接收所述第一栅极驱动电路同一信号的栅极线连接;按偶数行分组的同一组内的两行子像素对应的各个薄膜晶体管栅极与接收所述第二栅极驱动电路中同一信号的栅极线连接;

针对列,每一列中的子像素对应的薄膜晶体管源极与所述源极驱动电路中相邻的两条数据线连接。

7. 根据权利要求5所述的装置,其特征在于,针对列包括:

每列子像素两侧对应二条数据线,一条数据线位于左侧,另一条数据线位于右侧,且交替连接同一列两两相邻子像素对应的薄膜晶体管的源极。

8. 根据权利要求1~7中任一项所述的装置,其特征在于,所述基板包括彩膜基板和阵列基板;

所述子像素设置于所述阵列基板上;

所述彩膜基板上设置有与所述子像素一一对应的彩色光阻。

9. 一种液晶显示装置的驱动方法,其特征在于,适用于如权利要求1所述的液晶显示装置;

所述方法包括:

同时驱动连接两行子像素的栅极线打开,使所述栅极线导通,并向连接该栅极线的子像素的薄膜晶体管栅极发送栅极信号;

打开接收到栅极信号的所述薄膜晶体管的源极连接的各条数据线开关,导通各条所述数据线;

向导通的所述栅极线和数据线连接的各个所述薄膜晶体管对应的子像素依次写入对应子像素的数据信号;

关闭所述栅极线开关,返回执行下一同时驱动连接两行子像素的栅极线打开这一步骤。

10. 根据权利要求9所述的方法,其特征在于,包括:

当每条栅极线连接两行子像素时,驱动所述栅极线打开,使所述栅极线导通,并向连接所述栅极线的两行子像素的所有薄膜晶体管栅极发送栅极信号。

11. 根据权利要求9所述的方法,其特征在于,包括:

当每条栅极线连接一行子像素时,同时驱动两条栅极线打开,使所述两条栅极线导通,并向连接所述两条栅极线的两行子像素的所有薄膜晶体管栅极发送栅极信号。

液晶显示装置及其驱动方法

技术领域

[0001] 本发明涉及液晶显示领域,具体是涉及一种液晶显示装置及其驱动方法。

背景技术

[0002] 当前,在电脑显示器、电视机和手机多采用具有前端显示水平的薄膜晶体管液晶显示装置作为显示设备。薄膜晶体管液晶显示装置,是由液晶显示玻璃,源极驱动电路及栅极驱动电路组成。液晶显示装置是由彩膜基板和阵列基板组成的,彩膜基板和阵列基板中间保持一定的距离,且在两者中间填充有液晶。其中,彩膜基板为彩色滤光片,通常由红,绿,蓝三种基色的光阻按一定的规律进行矩阵排列;阵列基板为多条栅极线与多条数据线彼此垂直交叉形成的子像素矩阵排列,每个子像素设置有薄膜晶体管。在薄膜晶体管液晶显示装置中的彩膜基板与阵列基板一一对应,且阵列基板的薄膜晶体管子像素与上彩膜基板的彩色光阻一一对应。

[0003] 目前薄膜晶体管液晶显示装置中像素与栅极线、数据线的常用的架构方式有以下三种:以下附图1、附图2和附图3中的R表示红色、G表示绿色、B表示蓝色。

[0004] 如附图1所示为单栅极的连接方式:一个像素的红、绿、蓝三个子像素的栅极信号由一条栅极线进行控制,源极信号由三条数据线分别控制。其中,栅极线G1与数据线S1,S2,S3控制第一行第一像素;栅极线G2与数据线S1,S2,S3控制第二行的第一像素;栅极线G3与数据线S1,S2,S3控制第三行的第一像素。依次类推,具体可参见附图1。

[0005] 如附图2所示为双栅极的连接方式:

[0006] 一个像素的红、绿、蓝三个子像素的栅极信号由二条栅极线分别进行控制,源极信号由二条数据线分别进行控制。其中,针对行,栅极线G1与栅极线G2对第一行中的各个像素中的各个子像素进行控制;针对列,各个水平相邻像素中的各个子像素,两两为一组由一个数据线进行控制,且分别与不同的栅极线连接,如第一列中的红色子像素和第二例中的绿色子像素由数据线S1控制,且分别与栅极线G1和G2连接;相邻的第三列中的蓝色子像素和第四列中的红色子像素由数据线S2控制,且分别与栅极线G3和G4连接。依次类推,具体可参见附图2。

[0007] 如附图3所示为三栅极的连接方式:一个像素的红、绿、蓝三个子像素的栅极信号由三条栅极线分别进行控制,源极信号由一条数据线进行控制。其中,栅极线G1和源极线S1控制第一列的第一像素的红色子像素,栅极线G2和源极线S1控制第一列的第一像素的绿色子像素,栅极线G3和源极线S1控制第一列的第一像素的蓝色子像素,栅极线G1、G2、G3水平扫描期间,数据线S1、S2、S3依次提供子像素数据信号。依次类推,具体可参见附图3。

[0008] 采用三栅极的液晶显示驱动方式,可以通过减小数据线的数量降低制造成本,同时降低了液晶显示装置的功耗,但是,在栅极线一个水平扫描周期内,由于数据线要分别提供子像素的数据信号,使得子像素的液晶充电时间减少,造成显示异常的风险。尤其在3D显示领域,利用双眼视差原理产生立体效果,将显示画面分为左右眼图像,这就要求3D显示设备的显示帧频比普通的显示设备提高一倍以上。对于现有技术常用架构对各个子像素的驱

动方式,其所能达到的效果对于现如今所发展的薄膜晶体管液晶显示装置来说,已经很难使当前的薄膜晶体管液晶显示装置体现出更好的显示质量,并且存在显示不良的风险。

发明内容

[0009] 有鉴于此,本发明的目的在于提供一种液晶显示装置及其驱动方法,以克服由于现有技术像素水平排列驱动上的局限问题。

[0010] 为实现上述目的,本发明提供如下技术方案:

[0011] 一种液晶显示装置,包括源极驱动电路、栅极驱动电路和显示面板,所述显示面板包括:

[0012] 基板;

[0013] 多个子像素,呈矩阵形式排列于所述基板上,且其由相互垂直交叉的多条数据线及多条栅极线形限定;

[0014] 多个薄膜晶体管,每个所述薄膜晶体管对应一个子像素;

[0015] 像素单元,所述像素单元由纵向相邻的三个子像素组成;

[0016] 其中,每个像素单元分配有两根数据线,每个像素单元中至少一个子像素的薄膜晶体管栅极与不同栅极线连接,且连接到同一栅极线的子像素薄膜晶体管的源极分别与不同数据线连接。

[0017] 一种液晶显示装置的驱动方法,包括:

[0018] 同时驱动连接两行子像素的栅极线打开,使所述栅极线导通,并向连接该栅极线的子像素的薄膜晶体管栅极发送栅极信号;

[0019] 打开接收到栅极信号的所述薄膜晶体管的源极连接的各条数据线开关,导通各条所述数据线;

[0020] 向导通的所述栅极线和数据线连接的各个所述薄膜晶体管对应的子像素依次写入对应子像素的数据信号;

[0021] 关闭所述栅极线开关,返回执行下一同时驱动连接两行子像素的栅极线打开这一步骤。

[0022] 经由上述的技术方案可知,与现有技术相比,本发明公开了一种液晶显示装置及其驱动方法。通过针对每一列中的子像素对应的薄膜晶体管源极与源极驱动电路中的两条数据线连接,使每一列中的子像素与相邻的偶数列和奇数列的数据的连接方式在驱动的过程中,满足此时驱动的行与该列交叉处的两个子像素分别由相邻的两列进行写数据的要求,即能够实现同时对两行子像素进行写数据,以及降低驱动过程中所产生的功耗的目的,能够使液晶显示装置体现出更好的显示质量。

附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0024] 图1为现有技术中液晶显示装置的单栅极连接方式的示意图;

- [0025] 图2为现有技术中液晶显示装置的双栅极连接方式的示意图；
- [0026] 图3为现有技术中液晶显示装置的三栅极连接方式的示意图；
- [0027] 图4为本发明实施例一公开的一种液晶显示装置中子像素与栅极线、数据线的连接关系示意图；
- [0028] 图5为本发明实施例一公开的栅极驱动时序图；
- [0029] 图6为本发明实施例二公开的一种液晶显示装置中子像素与栅极线、数据线的连接关系示意图；
- [0030] 图7为本发明实施例三公开的一种液晶显示装置中子像素与栅极线、数据线的连接关系示意图；
- [0031] 图8为本发明实施例四公开的一种液晶显示装置中子像素与栅极线、数据线的连接关系示意图；
- [0032] 图9为本发明实施例二、三、四的栅极驱动时序图；
- [0033] 图10为本发明实施例公开的一种液晶显示装置的驱动方法；
- [0034] 图11为本发明实施例中可以实现的液晶像素极性控制翻转方式。

具体实施方式

[0035] 本发明实施例提供了一种液晶显示装置及其驱动方法，其目的在于提出一种新的方式，来解决现有技术中在像素水平排列的液晶显示装置方面驱动受到局限的问题。

[0036] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0037] 在本发明实施例公开的液晶显示装置中，该液晶显示装置主要由源极驱动电路、栅极驱动电路和显示面板组成。其中，显示面板由基板和液晶层构成。具体的该基板分为彩膜基板和阵列基板；液晶层则位于彩膜基板和阵列基板之间。彩膜基板主要通过彩色光阻的矩阵排列组成，在彩色光阻矩阵中，针对列，每一列为不同颜色的光阻按照顺序依次循环排列组成；针对行，每一个行为一种基色的光阻。阵列基板由多条栅极线与多条数据线彼此垂直交叉形成的子像素按照一定方式的矩阵排列组成，每个子像素对应一个薄膜晶体管，纵向相邻的三个子像素组成一个像素单元。其中，每个像素单元分配有两根数据线，每个像素单元中至少一个子像素的薄膜晶体管栅极与不同栅极线连接，且连接到同一栅极线的子像素薄膜晶体管的源极分别与不同数据线连接。

[0038] 另外，该阵列基板上的子像素与彩膜基板的彩色光阻一一对应，且一个子像素对应一个光阻。

[0039] 在本发明所公开的实施例中，薄膜晶体管的连接方式为：针对行，存在两种方式：其一，每一行的子像素对应的薄膜晶体管栅极与栅极驱动电路中的一条栅极线连接（具体见实施例一），在控制的过程中需满足同时打开两条栅极线，即需要同时驱动两行子像素；其二，每两行中的子像素对应的薄膜晶体管栅极与栅极驱动电路中的一条栅极线连接，在控制过程中，由一条栅极线分别对两行薄膜晶体管栅极进行控制；针对上述记载，在本发明所公开的实施例中，每次进行驱动控制时，需要同时驱动两行子像素。

[0040] 针对列,每一列中的子像素对应的薄膜晶体管源极与源极驱动电路中的两条数据线连接,在数据传输过程中,由两条数据线对一列中的子像素进行数据传输。并且,薄膜晶体管中的各个对应子像素的薄膜晶体管按照上述行和列的关系,依次与栅极驱动电路、源极驱动电路进行连接。

[0041] 针对上述连接的方式,进行驱动的过程为循环过程,其中一个循环过程为:

[0042] 首先,同时驱动连接两行子像素的栅极线打开,使所述栅极线导通,并向连接该栅极线的子像素的薄膜晶体管栅极发送栅极信号。

[0043] 其次,打开接收到栅极信号的所述薄膜晶体管的源极连接的各个数据线开关,导通与各个所述数据线。

[0044] 再次,向导通的所述栅极线和数据线连接的各个所述薄膜晶体管对应的子像素依次写入对应子像素的数据信号。

[0045] 最后,关闭所述栅极线开关,进入下一循环执行下一同时驱动连接两行子像素的栅极线打开的驱动过程。通过上述连接方式以及对应其的驱动方式,能够实现同时对两行子像素进行写数据的过程中降低功耗的目的,同时解决了现有技术中对像素水平排列的驱动有局限的问题。为使该技术方案更加清楚,下面列举实施例进行详细说明。

[0046] 实施例一

[0047] 请参阅附图4,在本发明公开的该实施例一中,液晶显示装置由源极驱动电路11,栅极驱动电路12和显示面板构成,显示面板由彩膜基板、阵列基板以及夹于两者之间的液晶层构成。其中,彩膜基板由彩色光阻矩阵排列组成,阵列基板由多条栅极线与多条数据线彼此垂直交叉形成的子像素矩阵排列组成。位于该彩膜基板的彩膜矩阵由红R(Red)、绿G(green)、蓝B(blue)三种基色的光阻按顺序依次循环排列组成;针对行,每一个行为一种基色的光阻;其中,一个R光阻、一个G光阻和一个B光阻为一循环组。阵列基板由多条栅极线与多条数据线彼此垂直交叉形成的子像素按照一定方式的矩阵排列组成,并一一对应彩膜基板的彩色光阻矩阵上的RGB三基色的子像素的矩阵排列。

[0048] 在本发明公开的该实施例中,阵列基板的薄膜晶体管与源极驱动电路11,栅极驱动电路12之间的连接方式为:

[0049] 针对行,每一行的子像素对应的各个薄膜晶体管栅极与所述栅极驱动电路12中的一条栅极线连接,由该栅极线进行控制。依次类推进行相同的连接。即每一行子像素由一条栅极线进行控制。

[0050] 针对列,每一列中按顺序以四个子像素为一组进行循环分组,同一组中第一行和第二行的子像素对应的薄膜晶体管源极与该源极驱动电路11中和该列相邻的奇数列数据线连接,由该奇数列数据线对该组中第一行和第二行的两个子像素写入数据;第三行和第四行的子像素对应的薄膜晶体管源极与该源极驱动电路11中和该列相邻的偶数列数据线连接,由该偶数列数据线对该组中第三行和第四行的两个子像素写入数据。依次进行类推,对于每一列中按照四个子像素循环进行分组后的各组中的子像素采用上述相同的方式进行连接。

[0051] 为了更清楚的对上述连接关系进行说明,请参见附图4,栅极驱动电路12中的栅极线为:G1~G12m;源极驱动电路11中的数据线为:S1~S2n。

[0052] 其中,针对行,G1连接第一行所有R子像素的薄膜晶体管栅极;G2连接第二行所有G

子像素的薄膜晶体管栅极;G3连接第三行所有B子像素的薄膜晶体管栅极;G4连接第四行所有R子像素的薄膜晶体管栅极;G5连接第五行所有G子像素的薄膜晶体管栅极;G6连接第六行所有B子像素的薄膜晶体管栅极;G7连接第七行所有R子像素的薄膜晶体管栅极;G8连接第八行所有G子像素的薄膜晶体管栅极;G9连接第九行所有B子像素的薄膜晶体管栅极;G10连接第十行所有R子像素的薄膜晶体管栅极;G11连接第十一行所有G子像素的薄膜晶体管栅极;G12连接第十二行所有B子像素的薄膜晶体管栅极;依次类推直至G12m,栅极驱动电路12中每条栅极线分别连接一行所有子像素对应的薄膜晶体管的栅极。

[0053] 针对列,奇数列S1连接第一列的第一行(第一组的第一行)的R子像素的薄膜晶体管源极,连接第一列的第二行(第一组的第二行)的G子像素的薄膜晶体管源极;连接第一列的第五行(第二组的第一行)的G子像素的薄膜晶体管源极,连接第一列的第六行(第二组的第二行)的B子像素的薄膜晶体管源极;连接第一列的第九行(第三组的第一行)的B子像素的薄膜晶体管源极,连接第一列的第十行(第三组的第二行)的R子像素的薄膜晶体管源极;连接第一列的第十三行(第四组的第一行)的R子像素的薄膜晶体管源极,连接第一列的第十四行(第四组的第二行)的G子像素的薄膜晶体管源极。依次进行类推,每间隔二行连接相邻两行薄膜晶体管的源极。

[0054] 偶数列S2连接第一列的第三行(第一组的第三行)的B子像素的薄膜晶体管源极,连接第一列的第四行(第一组的第四行)的R子像素的薄膜晶体管源极;连接第一列的第七行(第二组的第三行)的R子像素的薄膜晶体管源极,连接第一列的第八行(第二组的第四行)的G子像素的薄膜晶体管源极;连接第一列的第十一行(第三组的第三行)的G子像素的薄膜晶体管源极,连接第一列的第十二行(第三组的第四行)的B子像素的薄膜晶体管源极;连接第一列的第十五行(第四组的第三行)的B子像素的薄膜晶体管源极,连接第一列的第十六行(第四组的第四行)的R子像素的薄膜晶体管源极,依次类推,每间隔二行连接相邻两行薄膜晶体管的源极。

[0055] 同时按照列依次类推,奇数列S2n-1连接第N列(在本发明该实施例中N取任意正数)的第一行(第一组的第一行)的R子像素的薄膜晶体管源极,连接第N列的第二行(第一组的第二行)的G子像素的薄膜晶体管源极;连接第N列的第五行(第二组的第一行)的G子像素的薄膜晶体管源极,连接第N列的第六行(第二组的第二行)的B子像素的薄膜晶体管源极;连接第N列的第九行(第三组的第一行)的B子像素的薄膜晶体管源极,连接第N列的第十行(第三组的第二行)的R子像素的薄膜晶体管源极;连接第N列的第十三行(第四组的第一行)的R子像素的薄膜晶体管源极,连接第N列的第十四行(第四组的第二行)的G子像素的薄膜晶体管源极。依次类推,每间隔二行连接相邻两行薄膜晶体管的源极。

[0056] 偶数列S2n连接第N列的第三行(第一组的第三行)的B子像素的薄膜晶体管源极,连接第N列的第四行(第一组的第四行)的R子像素的薄膜晶体管源极;连接第N列的第七行(第二组的第三行)的R子像素的薄膜晶体管源极,连接第N列的第八行(第二组的第四行)的G子像素的薄膜晶体管源极;连接第N列的第十一行(第三组的第三行)的G子像素的薄膜晶体管源极,连接第N列的第十二行(第三组的第四行)的B子像素的薄膜晶体管源极;连接第N列的第十五行(第四组的第三行)的B子像素的薄膜晶体管源极,连接第N列的第十六行(第四组的第四行)的R子像素的薄膜晶体管源极。依次类推,每间隔二行连接相邻两行薄膜晶体管的源极。

[0057] 针对上述本发明所公开的液晶显示装置中栅极线、数据线与各个子像素的连接关系,在保证两行子像素同时进行驱动的要求,进行具体驱动时的过程如下所示:

[0058] 如图4的栅极驱动电路11的栅极线打开时序图如图5,当G1和G3同时打开时,向连接G1的第一行子像素和连接G3的第三行子像素的薄膜晶体管栅极发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,导通与各个所述子像素连接的数据线,使数据线S1、S3、.....、S_{2n-1}给第一行的R子像素写数据,使数据线S2、S4、.....、S_{2n}给第三行的B子像素写数据。

[0059] 当G2和G4同时打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线S1、S3、.....、S_{2n-1}给第二行的G子像素写数据,使数据线S2、S4、.....、S_{2n}给第四行的R子像素写数据。

[0060] 当G5和G7同时打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线S1、S3、.....、S_{2n-1}给第五行的G子像素写数据,使数据线S2、S4、.....、S_{2n}给第七行的R子像素写数据。

[0061] 当G6和G8同时打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线S1、S3、.....、S_{2n-1}给第六行的B子像素写数据,使数据线S2、S4、.....、S_{2n}给第八行的G子像素写数据。

[0062] 按照奇数行的栅极线与相邻奇数行的一条栅极线同时控制打开,偶数行的栅极线与相邻偶数行的一条栅极线同时控制打开,依次类推,进行相应的驱动。具体写入的过程与上述对应相同,这里不再赘述。

[0063] 需要说明的是,栅极驱动电路12的栅极线打开方式,不一定要按如图4的示意方式,也可以是G1,G4行子像素的薄膜晶体管的栅极同时打开,G2,G3行子像素的薄膜晶体管的栅极同时打开。四个为一组,进行循环。源极驱动电路11连接线的连接方式,也不局限于如图4的连接方式,S3连接第二列子像素的方式不一定要重复S1连接第一列子像素的方式,也可以像S2连接第一列子像素的方式,S4也可以像S1连接第一列子像素的方式连接第二列的子像素。

[0064] 需要说明的是,在驱动过程中写入各个子像素中的数据为对应该子像素基色的数据,且,所述子像素基色可以为R、G、B或其他任意颜色,像素单元中子像素的颜色可以为任意排列组合形式。

[0065] 此外,针对列,当奇数列和偶数列中的子像素采用与上述相反的方式与数据线连接时,在驱动的过程中,只要满足接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关依次打开,导通与各个所述子像素连接的数据线,从而完成对连接数据线的子像素的数据写入即可。

[0066] 此外,任意两行的栅极线可以同时打开,只要满足当不同行的两条栅极线同时打开时,接收栅极信号子像素的薄膜晶体管源极分别与相邻的不同数据线连接,每一列子像素薄膜晶体管的源极、栅极可以任意的有多种连接方式。故上述液晶显示装置的连接方式和驱动方式并不仅限于上述所描述的连接关系。

[0067] 通过上述本发明该实施例公开的液晶显示装置中各个子像素的薄膜晶体管与源极驱动电路11,栅极驱动电路12的连接关系;同时对两行子像素进行驱动,依次打开数据线开关,由两条数据线对同一列中的子像素进行写数据。实现同时对两行子像素进行写数据,

以及降低驱动过程中所产生的功耗的目的,以便于使液晶显示装置体现出更好的显示质量。

[0068] 实施例二

[0069] 请参阅附图6,在本发明公开的该实施例中,与上述实施例一中的液晶显示装置的结构相比,除阵列基板上的薄膜晶体管与源极驱动电路11,栅极驱动电路12之间的连接方式不同以外,其他都相同可以相互参照,这里不再赘述。

[0070] 在本发明公开的该实施例中,阵列基板的薄膜晶体管与源极驱动电路11,栅极驱动电路12之间的连接方式为:

[0071] 针对行,按相邻两行的子像素为一组,相邻偶数行的子像素为一组循环分组。按两行分组的同一组内的两行子像素对应的各个薄膜晶体管栅极与接收栅极驱动电路12中同一信号的一条栅极线连接,由该栅极线进行控制。

[0072] 针对列,每一列的子像素由源极驱动电路11的输出二条数据线连接。当栅极驱动电路12打开薄膜晶体管的栅极时,源极驱动电路同时会对二行薄膜晶体管的源极写数据。

[0073] 为了更清楚的对上述连接关系进行说明,请参见附图6,栅极驱动电路12中的栅极线为:G1、G2、G3、.....、G3m;源极驱动电路11中的数据线为:S1~S2n。

[0074] 其中,针对行,G1连接第一行所有R子像素的薄膜晶体管栅极,连接第二行所有G子像素的薄膜晶体管栅极;G2连接第三行所有B子像素的薄膜晶体管栅极,连接第四行所有R子像素的薄膜晶体管栅极;G3连接第五行所有G子像素的薄膜晶体管栅极,连接第六行所有B子像素的薄膜晶体管栅极;G4连接第七行所有R子像素的薄膜晶体管栅极,连接第八行所有B子像素的薄膜晶体管栅极。

[0075] 依次类推,即相邻二行的所有子像素的薄膜晶体管的栅极由栅极驱动电路12中的一条栅极线进行控制。

[0076] 针对列,奇数列S1连接第一列的第一行的R子像素的薄膜晶体管源极,连接第一列的第三行的B子像素的薄膜晶体管源极,连接第一列的第五行的G子像素的薄膜晶体管源极,连接第一列的第七行的R子像素的薄膜晶体管源极,连接第一列的第九行的B子像素的薄膜晶体管源极,连接第一列的第十一行的G子像素的薄膜晶体管源极,依次类推,每间隔一行连接相邻两个薄膜晶体管的源极。偶数列S2连接第一列的第二行的G子像素的薄膜晶体管源极,连接第一列的第四行的R子像素的薄膜晶体管源极,连接第一列的第六行的B子像素的薄膜晶体管源极,连接第一列的第八行的G子像素的薄膜晶体管源极,连接第一列的第十行的R子像素的薄膜晶体管源极,连接第一列的第十二行的B子像素的薄膜晶体管源极,依次类推,每间隔一行连接相邻两个薄膜晶体管的源极。

[0077] 奇数列S3连接第二列的第一行的R子像素的薄膜晶体管源极,连接第二列的第三行的B子像素的薄膜晶体管源极,连接第二列的第五行的G子像素的薄膜晶体管源极,连接第二列的第七行的R子像素的薄膜晶体管源极,连接第二列的第九行的B子像素的薄膜晶体管源极,连接第二列的第十一行的G子像素的薄膜晶体管源极,依次类推,每间隔一行连接相邻两个薄膜晶体管的源极。偶数列S4连接第二列的第二行的G子像素的薄膜晶体管源极,连接第二列的第四行的R子像素的薄膜晶体管源极,连接第二列的第六行的B子像素的薄膜晶体管源极,连接第二列的第八行的G子像素的薄膜晶体管源极,连接第二列的第十行的R子像素的薄膜晶体管源极,连接第二列的第十二行的B子像素的薄膜晶体管源极,依次类

推,每间隔一行连接相邻两个薄膜晶体管的源极。

[0078] 上述按照列的顺序依次类推进行连接,直至奇数列 S_{2n-1} 和偶数列 S_{2n} ,都采用上述依次每间隔一行连接相邻两个薄膜晶体管源极的方式,可参照上述记载推导出,因此这里不再进行赘述。

[0079] 针对上述本发明所公开的液晶显示装置中栅极线、数据线与各子像素的连接关系,在进行具体驱动时的过程如下所示:

[0080] 当 G_1 打开时,向连接 G_1 的第一行和第二行子像素的薄膜晶体管栅极发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,导通与各个所述子像素连接的数据线,使数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第一行的R子像素写数据使数据线 S_2 、 S_4 、.....、 S_{2n} 给第二行的G子像素写数据。

[0081] 当 G_2 打开时,向连接 G_2 的第三行和第四行子像素的薄膜晶体管发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,控制数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第三行的B子像素写数据,使数据线 S_2 、 S_4 、.....、 S_{2n} 给第四行的R子像素写数据。

[0082] 当 G_3 打开时,向连接 G_3 的第五行和第六行子像素的薄膜晶体管发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第五行的G子像素写数据,使数据线 S_2 、 S_4 、.....、 S_{2n} 给第六行的B子像素写数据。

[0083] 依次进行类推,当 G_4 、 G_5 、 G_6 、.....、 G_{3m-2} 、 G_{3m-1} 、 G_{3m} 依次顺序或逆序打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,并按上述方式以及顺序依次进行写数据。具体写入的过程可参照上述相同的过程推导出,这里不再赘述。

[0084] 需要说明的是,在本发明所公开的该实施例二中,采用一个栅极驱动电路对奇数行和偶数行的子像素分别进行控制,且满足同时对相邻一行奇数行和一行偶数行进行控制。当栅极驱动电路发送的栅极信号驱动相邻一行奇数行和一行偶数行时,接收栅极信号子像素的薄膜晶体管源极分别与相邻的不同数据线连接,接收数据信号,每一列子像素薄膜晶体管的源极、栅极可以任意的有多种连接方式。源极驱动电路连接线的连接方式,也不局限于如图6的连接方式, S_3 连接第二列子像素的方式不一定要重复 S_1 连接第一列子像素的方式,也可以像 S_2 连接第一列子像素的方式, S_4 也可以像 S_1 连接第一列子像素的方式连接第二列的子像素。故上述液晶显示装置的连接方式和驱动方式并不仅限于上述所描述的连接关系。

[0085] 此外,在驱动过程中写入各个子像素中的数据为对应该子像素基色的数据,且,所述子像素基色可以为R、G、B或其他任意颜色,像素单元中子像素的颜色可以为任意排列组合形式。

[0086] 通过上述本发明该实施例公开的连接方式,同样能够实现同时对两行子像素进行写数据,以及降低驱动过程中所产生的功耗的目的,能够使液晶显示装置体现出更好的显示质量。

[0087] 实施例三

[0088] 请参阅附图7,在本发明公开的该实施例中,与上述实施例中的液晶显示装置的结构相比,增加了一个第二栅极驱动电路,即栅极驱动电路13,此时原栅极驱动电路12为第一

栅极驱动电路。除对应阵列基板的薄膜晶体管与源极驱动电路11,栅极驱动电路12、栅极驱动电路13之间的连接方式不同以外,其他都相同可以相互参照,这里不再赘述。

[0089] 在本发明公开的该实施例中,阵列基板的薄膜晶体管与源极驱动电路11,栅极驱动电路12、栅极驱动电路13之间的连接方式为:

[0090] 针对行,按相邻奇数行的子像素为一组,相邻偶数行的子像素为一组循环分组。按奇数行分组的同一组内的两行子像素对应的各个薄膜晶体管栅极与接收栅极驱动电路12中同一信号的一条栅极线连接,由该栅极线进行控制。按偶数行分组的同一组内的两行子像素对应的各个薄膜晶体管栅极与栅极驱动电路13中的一条栅极线连接,由该控制系进行控制。

[0091] 针对列,每一列的子像素由源极驱动电路11的输出二条数据线连接。左右二个栅极驱动电路,按先后顺序依次打开不同行薄膜晶体管的栅极。如图9的打开顺序方式。当栅极驱动电路12或是栅极驱动电路13打开薄膜晶体管的栅极时,源极驱动电路同时会对二行薄膜晶体管的源极写数据。

[0092] 为了更清楚的对上述连接关系进行说明,请参见附图7,栅极驱动电路12中的栅极线为:G1、G3、G5、.....、G6m-1;栅极驱动电路13中的栅极线为:G2、G4、G6、.....、G6m;源极驱动电路11中的数据线为:S1~S2n。

[0093] 其中,针对行,G1连接第一行所有R子像素的薄膜晶体管栅极,连接第三行所有B子像素的薄膜晶体管栅极;G2连接第二行所有G子像素的薄膜晶体管栅极,连接第四行所有R子像素的薄膜晶体管栅极;G3连接第五行所有G子像素的薄膜晶体管栅极,连接第七行所有R子像素的薄膜晶体管栅极;G4连接第六行所有B子像素的薄膜晶体管栅极,连接第八行所有G子像素的薄膜晶体管栅极;G5连接第九行所有B子像素的薄膜晶体管栅极,连接第十一行所有G子像素的薄膜晶体管栅极;G6连接第十行所有R子像素的薄膜晶体管的栅极,连接第十二行所有B子像素的薄膜晶体管的栅极。依次类推,即相邻二条奇数行的所有子像素的薄膜晶体管栅极由栅极驱动电路12中的一条栅极线进行控制,相邻二条偶数行的所有子像素的薄膜晶体管栅极由栅极驱动电路13中的一条栅极线进行控制。

[0094] 针对列,奇数列S1连接第一列的第一行的R子像素的薄膜晶体管源极,连接第一列的第二行的G子像素的薄膜晶体管源极,连接第一列的第五行的G子像素的薄膜晶体管源极,连接第一列的第六行的B子像素的薄膜晶体管源极,连接第一列的第九行的B子像素的薄膜晶体管源极,连接第一列的第十行的R子像素的薄膜晶体管源极,依次类推,每间隔二行连接相邻两个薄膜晶体管的源极。偶数列S2连接第一列的第三行的B子像素的薄膜晶体管源极,连接第一列的第四行的R子像素的薄膜晶体管源极,连接第一列的第七行的R子像素的薄膜晶体管源极,连接第一列的第八行的G子像素的薄膜晶体管源极,连接第一列的第十一行的G子像素的薄膜晶体管源极,连接第一列的第十二行的B子像素的薄膜晶体管源极。依次类推,每间隔二行连接相邻两个薄膜晶体管的源极。

[0095] 奇数列S3连接第二列的第一行的R子像素的薄膜晶体管源极,连接第二列的第二行的G子像素的薄膜晶体管源极,连接第二列的第五行的G子像素的薄膜晶体管源极,连接第二列的第六行的B子像素的薄膜晶体管源极,连接第二列的第九行的B子像素的薄膜晶体管源极,连接第二列的第十行的R子像素的薄膜晶体管源极,依次类推,每间隔二行连接相邻两个薄膜晶体管的源极。偶数列S4连接第二列的第三行的B子像素的薄膜晶体管源极,连

接第二列的第四行的R子像素的薄膜晶体管源极,连接第二列的第七行的R子像素的薄膜晶体管源极,连接第二列的第八行的G子像素的薄膜晶体管源极,连接第二列的第十一行的G子像素的薄膜晶体管源极,连接第二列的第十二行的B子像素的薄膜晶体管源极。依次类推,每间隔二行连接相邻两个薄膜晶体管的源极。

[0096] 按照列的顺序依次类推进行连接,直至奇数列 S_{2n-1} 和偶数列 S_{2n} ,都采用上述依次每间隔二行连接相邻两个薄膜晶体管源极的方式,可参照上述记载推导出,因此这里不再赘述。

[0097] 针对上述本发明所公开的液晶显示装置中栅极线、数据线与各个子像素的连接关系,在进行具体驱动时的过程如下所示:

[0098] 当G1打开时,向连接G1的第一行和第三行子像素的薄膜晶体管栅极发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,导通与各个所述子像素连接的数据线,使数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第一行的R子像素写数据使数据线 S_2 、 S_4 、.....、 S_{2n} 给第三行的B子像素写数据。

[0099] 当G2打开时,向连接G2的第二行和第四行子像素的薄膜晶体管发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,控制数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第二行的G子像素写数据,使数据线 S_2 、 S_4 、.....、 S_{2n} 给第四行的R子像素写数据。

[0100] 当G3打开时,向连接G3的第五行和第七行子像素的薄膜晶体管发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线 S_1 、 S_3 、.....、 S_{2n-1} 给第五行的G子像素写数据,使数据线 S_2 、 S_4 、.....、 S_{2n} 给第七行的R子像素写数据。

[0101] 依次进行类推,当 G_4 、 G_5 、 G_6 、.....、 G_{6m-5} 、 G_{6m-4} 、 G_{6m-3} 、 G_{6m-2} 、 G_{6m-1} 、 G_{6m} 依次顺序或逆序打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,并按上述方式以及顺序依次进行写数据。具体写入的过程可参照上述相同的过程推导出,这里不再赘述。

[0102] 需要说明的是,在本发明所公开的该实施例中,采用两个栅极驱动电路对奇数行和偶数行的子像素分别进行控制,且满足同时对两行奇数行或两行偶数行进行控制。但不局限于左边一个栅极驱动电路一定要连接相邻二个奇数行,右边一个栅极驱动电路一定要连接相邻二个偶数行。二个栅极驱动电路可以相互调换位置。源极驱动电路连接线的连接方式,也不局限于如图7的连接方式, S_3 连接第二列子像素的方式不一定要重复 S_1 连接第一列子像素的方式,也可以像 S_2 连接第一列子像素的方式, S_4 也可以像 S_1 连接第一列子像素的方式连接第二列的子像素。当其中一个栅极驱动电路发送相同的栅极信号驱动两行奇数行时,接收栅极信号子像素的薄膜晶体管源极分别与相邻的不同数据线连接,接收数据信号数据,每一列子像素薄膜晶体管的源极、栅极可以任意的有多种连接方式。故上述液晶显示装置的连接方式和驱动方式并不仅限于上述所描述的连接关系。

[0103] 此外,在驱动过程中写入各个子像素中的数据为对应该子像素基色的数据,且,所述子像素基色可以为R、G、B或其他任意颜色,像素单元中子像素的颜色可以为任意排列组合形式。

[0104] 通过上述本发明该实施例公开的连接方式,同样能够实现同时对两行子像素进行

写数据,以及降低驱动过程中所产生的功耗的目的,能够使液晶显示装置体现出更好的显示质量。

[0105] 实施例四

[0106] 请参阅附图8,在本发明公开的该实施例中,与上述实施例一中的液晶显示装置的结构相比,除阵列基板上的薄膜晶体管与源极驱动电路11,栅极驱动电路12之间的连接方式不同以外,其他都相同可以相互参照,这里不再赘述。

[0107] 在本发明公开的该实施例中,阵列基板的薄膜晶体管与源极驱动电路11,栅极驱动电路12之间的连接方式为:

[0108] 针对行,按相邻两行的子像素为一组循环分组,同一组内的子像素对应的各个薄膜晶体管栅极与栅极驱动电路12中的一条栅极线连接,由该栅极线进行控制。如第一行、第二行的薄膜晶体管栅极由栅极驱动电路12中的一条栅极线进行控制;第三行、第四行的栅极则由另外一条栅极线进行控制,即相邻二行的子像素对应的薄膜晶体管栅极连接到一条栅极线,依次类推进行连接。

[0109] 针对列,每一列中奇数行的子像素对应的薄膜晶体管源极与该源极驱动电路11中相邻的奇数列数据线连接,由该奇数列数据线对该列奇数行的子像素写入数据;每一列中偶数行的子像素对应的薄膜晶体管源极与该源极驱动电路11中相邻的偶数列数据线连接,由该偶数列数据线对该列偶数行的子像素写入数据。即每一列的晶体管由两条数据线进行写入数据,每一条奇数列数据线连接奇数行的薄膜晶体管源极,每一条偶数列数据线连接偶数行的薄膜晶体管源极,依次类推。

[0110] 为了更清楚的对上述连接关系进行说明,请参见附图4,栅极驱动电路12中的栅极线为: $G1 \sim G3m$ (本实施例中 m 取任意正整数);源极驱动电路11中的数据线为: $S1 \sim S2n$ 。

[0111] 其中,针对行, $G1$ 与第一行所有R子像素的薄膜晶体管栅极连接,同时与第二行所有G子像素的薄膜晶体管栅极连接; $G2$ 与第三行所有B子像素的薄膜晶体管栅极连接,同时与第四行所有R子像素的薄膜晶体管栅极连接; $G3$ 与第五行所有G子像素的薄膜晶体管栅极连接,同时与第六行所有B子像素的薄膜晶体管栅极连接; $G4$ 与第七行所有R子像素的薄膜晶体管栅极连接,同时与第八行所有G子像素的薄膜晶体管栅极连接;依次从栅极线 $G5$ 、 $G6$ 至 $G3m-2$ 、 $G3m-1$ 、 $G3m$ 进行连接。

[0112] 如附图4所示,RGB子像素按顺序依次循环排列,栅极线从 $G1$ 、 $G2$ 、 $G3$ 、 $G4$ 、 $G5$ 、 $G6$ 、.....、 $G3m-2$ 、 $G3m-1$ 、 $G3m$ 依次排序。由此可知,在本发明所公开的该实施例中, $G1$ 、 $G4$ 、.....、 $G3m-2$ 分别与R、G子像素行所有的薄膜晶体管栅极连接; $G2$ 、 $G5$ 、.....、 $G3m-1$ 分别与B、R子像素行所有的薄膜晶体管栅极连接; $G3$ 、 $G6$ 、.....、 $G3m$ 分别与G、B子像素行所有的薄膜晶体管栅极连接。

[0113] 针对列,奇数列 $S1$ 连接第一列的所有奇数行子像素的薄膜晶体管源极,偶数列 $S2$ 连接第一列的所有偶数行子像素的薄膜晶体管源极;奇数列 $S3$ 连接第二列的所有奇数行子像素的薄膜晶体管源极,偶数列 $S4$ 连接第二列的所有偶数行子像素的薄膜晶体管源极;奇数列 $S5$ 连接第三列的所有奇数行子像素的薄膜晶体管源极,偶数列 $S6$ 连接第三列的所有偶数行子像素的薄膜晶体管源极;依次进行类推,奇数列 $S2n-1$ 连接第N列(在本实施例中N取任意正整数)的所有奇数行子像素的薄膜晶体管源极,偶数列 $S2n$ 连接第N列的所有偶数行子像素的薄膜晶体管源极。

[0114] 针对上述本发明所公开的液晶显示装置中栅极线、数据线与各个子像素的连接关系,在进行具体驱动时的过程如下所示:

[0115] 当G1打开时,向连接G1的第一行和第二行子像素的薄膜晶体管发送栅极信号,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,导通与各个所述子像素连接的数据线,使数据线S1、S3、.....、S2n-1给第一行的R子像素写数据,使数据线S2、S4、.....、S2n给第二行的G子像素写数据。

[0116] 同样的,当G2打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线S1、S3、.....、S2n-1给第三行的B子像素写数据,使数据线S2、S4、.....、S2n给第四行的R子像素写数据。

[0117] 当G3打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,使数据线S1、S3、.....、S2n-1给第五行的G子像素写数据,使数据线S2、S4、.....、S2n给第六行的B子像素写数据。

[0118] 当G4、G5、G6直至G3m打开时,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,并按顺序依次进行写数据。具体写入的过程与上述相同这里不再赘述。

[0119] 需要说明的是,在驱动过程中写入各个子像素中的数据为对应该子像素基色的数据,且,所述子像素基色为R、G、B三种基色。

[0120] 通过上述本发明该实施例公开的液晶显示装置中各个子像素的薄膜晶体管与源极驱动电路11,栅极驱动电路12的连接关系;通过一条栅极线控制两行子像素,由两条数据线对同一列中的子像素进行写数据,在一条栅极线导通的情况下,同时控制数据线依次导通,能够实现同时对两行子像素进行写数据的过程中降低功耗的目的,同时解决了现有技术中对像素水平排列的驱动有局限的问题。

[0121] 需要说明的是,在驱动过程中写入各个子像素中的数据为对应该子像素基色的数据,且,所述子像素基色可以为R、G、B或其他任意颜色,像素单元中子像素的颜色可以为任意排列组合形式。

[0122] 此外,任意两行的栅极线可以同时打开,只要满足当不同行的两条栅极线同时打开时,接收栅极信号子像素的薄膜晶体管源极分别与相邻的不同数据线连接,每一列子像素薄膜晶体管的源极、栅极可以任意的有多种连接方式。故上述液晶显示装置的连接方式和驱动方式并不仅限于上述所描述的连接关系。针对上述实施例一至实施例四中所记载的内容,需要说明的是,针对每一列中的子像素与相邻的偶数列和奇数列的数据线相连的过程中,只要满足此时相同栅极信号驱动的行与该列交叉处的两个子像素分别由相邻的两列数据线进行写数据即可。也就是说,针对实施例一至实施例四中,一列子像素与其相邻的两列数据线之间的连接关系并不限于上述记载,只要满足上述条件即可。

[0123] 上述本发明公开的多种形式的一种液晶显示装置,可以采用同一技术构思的驱动方式进行实现,因此本发明还公开了一种液晶显示装置的驱动方法,下面给出具体的实施例进行详细说明。

[0124] 请参阅附图10,为本发明实施例公开的适用于上述装置实施例中的驱动方法的流程图,主要包括:

[0125] 步骤S101,同时驱动连接两行子像素的栅极线打开,使所述栅极线导通,并向连接

该栅极线的子像素的薄膜晶体管栅极发送栅极信号。

[0126] 步骤S102,打开接收到栅极信号的所述薄膜晶体管的源极连接的的各条数据线开关,导通与所述薄膜晶体管连接的各条数据线。

[0127] 步骤S103,向导通的栅极线和数据线连接的各个所述薄膜晶体管对应的子像素依次写入对应子像素的数据信号,所述子像素基色可以为红、绿、蓝或其他颜色。

[0128] 步骤S104,关闭所述栅极线开关,返回执行步骤S101。

[0129] 以上步骤循环执行,直至驱动结束。在执行步骤S101的过程中,根据上述本发明实施例中公开的连接关系,具有两种情况,其一为:当每条栅极线连接两行子像素时,驱动所述栅极线打开,使所述栅极线导通,并向连接所述栅极线的两行子像素的所有薄膜晶体管栅极发送栅极信号。

[0130] 其二为:当每条栅极线连接一行子像素时,同时驱动两条栅极线打开,使所述两条栅极线导通,并向连接所述两条栅极线的两行子像素的所有薄膜晶体管栅极发送栅极信号。

[0131] 本发明还公开了液晶显示装置的信号电压翻转方式,通过控制栅极驱动电路输出的栅极信号打开顺序和控制源极数据信号的极性翻转方式,实现如图11所示的不同极性翻转组合,最小极性重复单元,例如行翻转、点翻转(1H1V)、两行一列翻转(2H1V)、一行两列翻转(1H2V)、两行两列翻转(2H2V)等极性翻转方式,防止液晶在同一极性电压下工作时间过长导致液晶极化。

[0132] 需要说明的是,上述本发明实施例所公开的驱动方法满足上述实施例一至实施例五中的对栅极线、数据线的驱动,能够满足驱动两行子像素的栅极线同时打开,依次打开接收到栅极信号的各个子像素的薄膜晶体管源极的数据线开关,且每一列中打开薄膜晶体管源极的数据线开关的两个子像素分别由相邻的两列数据线进行写数据的要求。因此,这里不再针对每个实施例进行赘述,具体可参见上述实施例中各个有关驱动的记载。

[0133] 综上所述:

[0134] 本发明实施例公开的一种液晶显示装置以及其驱动方法,通过针对每一列中的子像素对应的薄膜晶体管源极与源极驱动电路中的两条数据线连接,使每一列中的子像素与相邻的偶数列和奇数列的数据的连接方式在驱动的过程中,满足此时驱动的行与该列交叉处的两个子像素分别由相邻的两列数据线进行写数据的要求,即能够实现同时对两行子像素进行写数据,以及降低驱动过程中所产生的功耗的目的,能够使液晶显示装置体现出更好的显示质量。

[0135] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的装置而言,由于其与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0136] 结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块,或者二者的结合来实施。软件模块可以置于随机存储器(RAM)、内存、只读存储器(ROM)、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

[0137] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。

对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

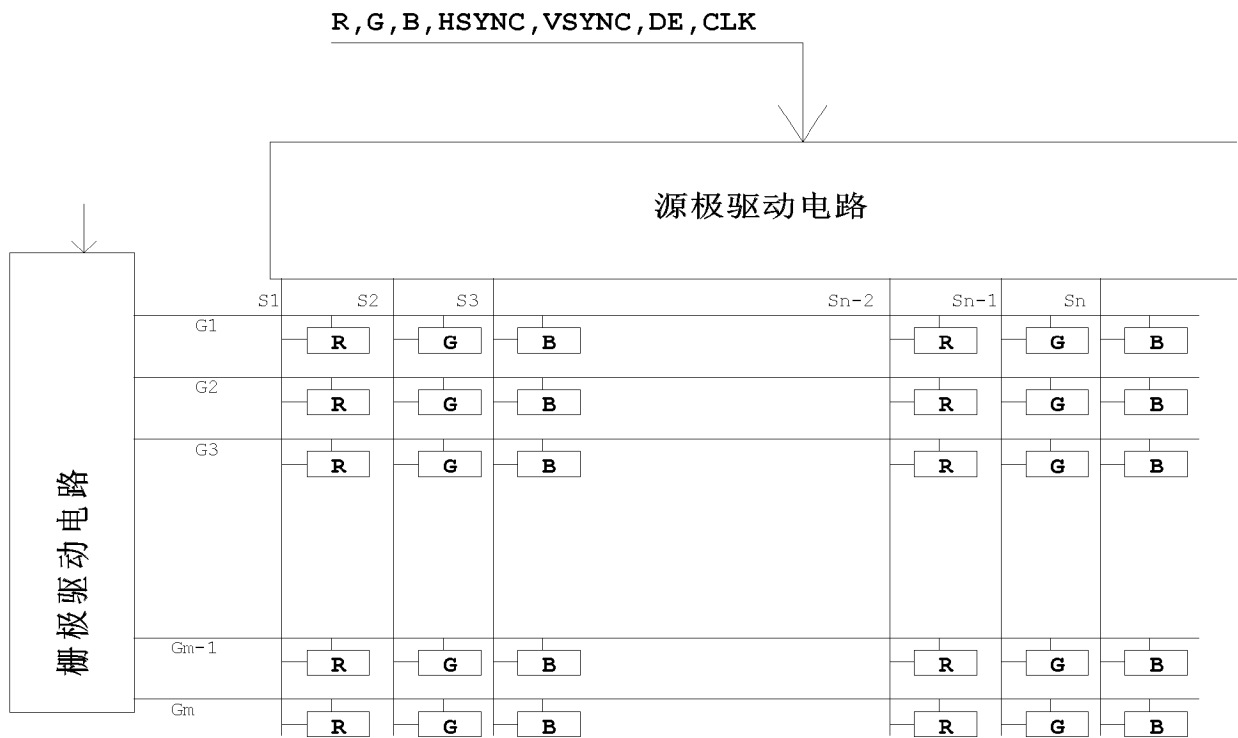


图1

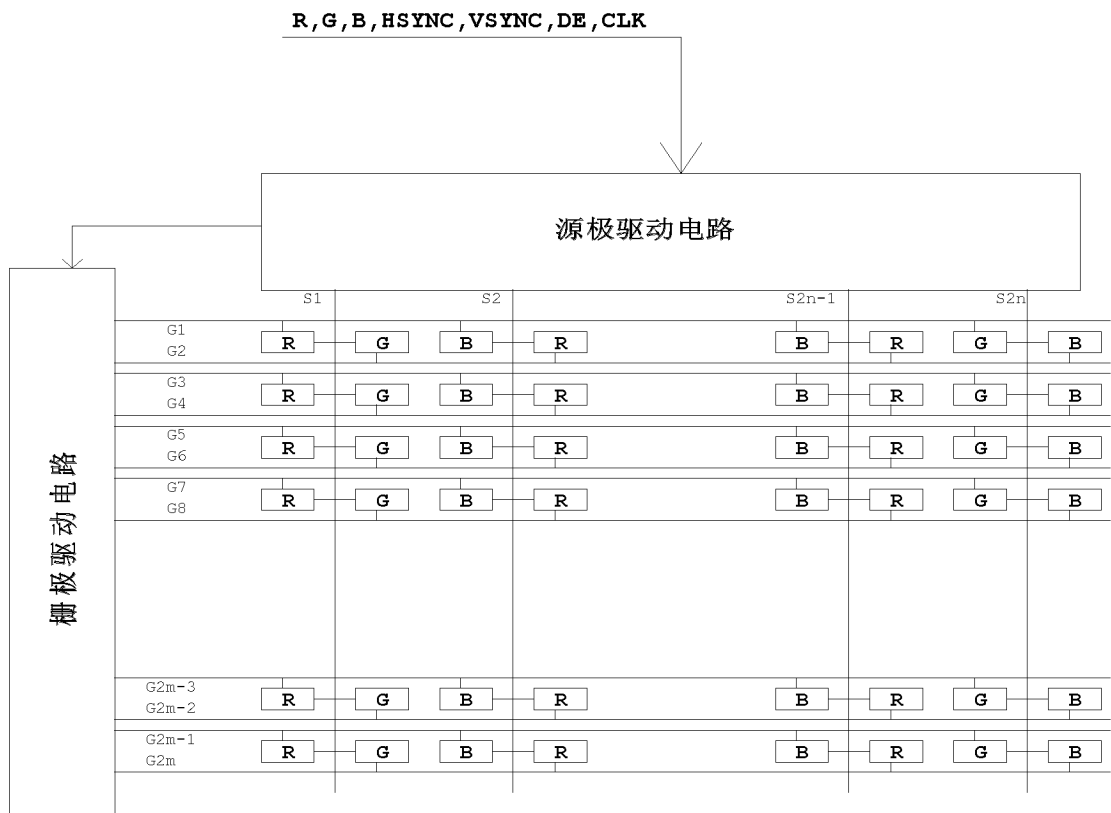


图2

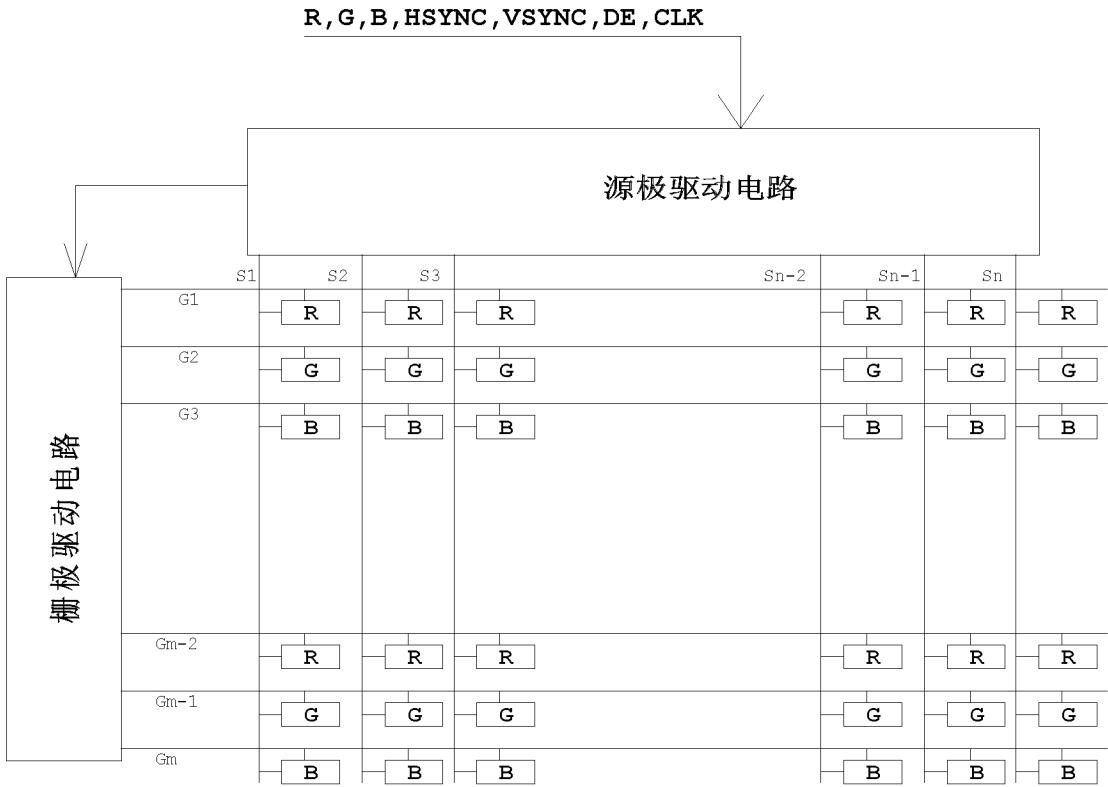


图3

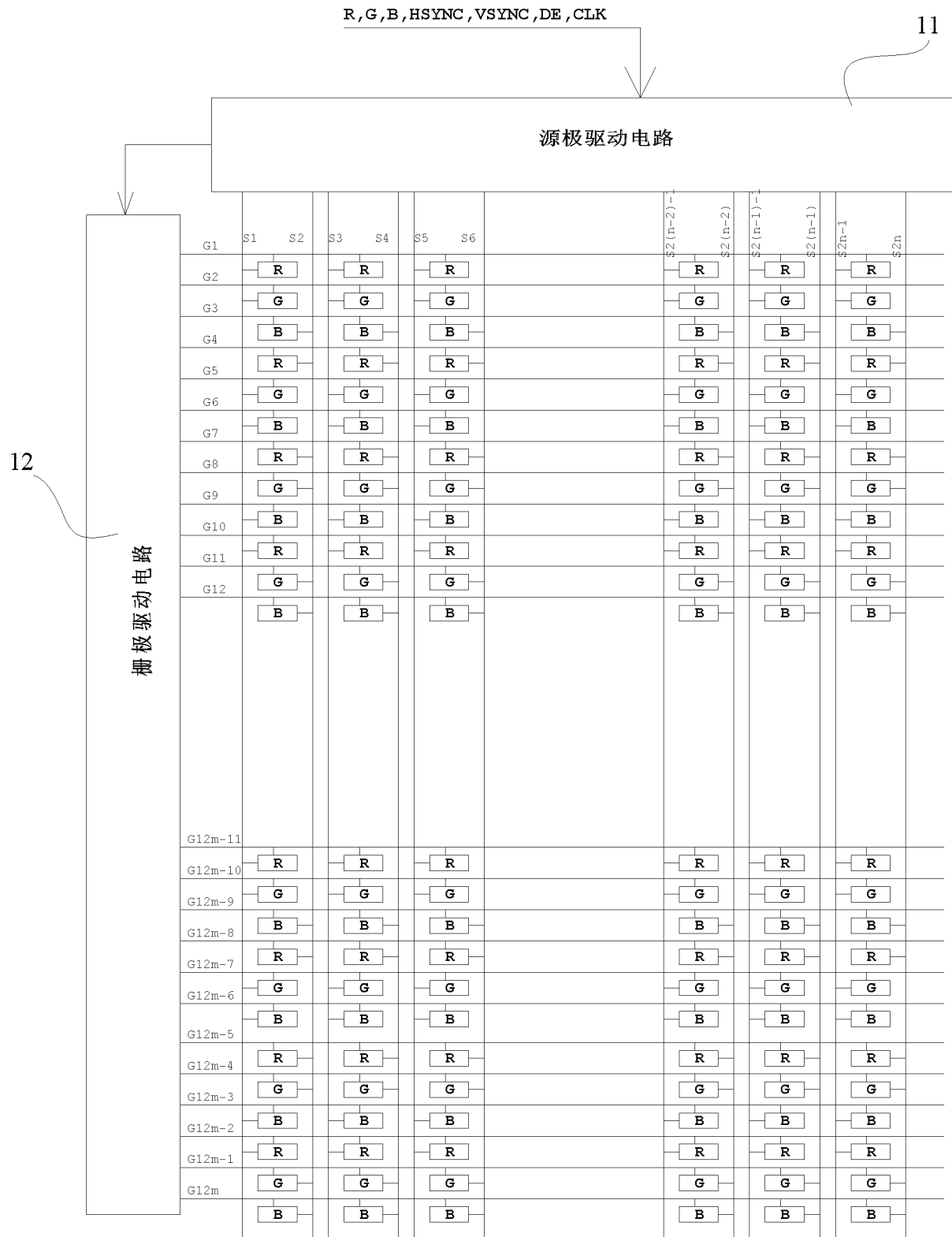


图4

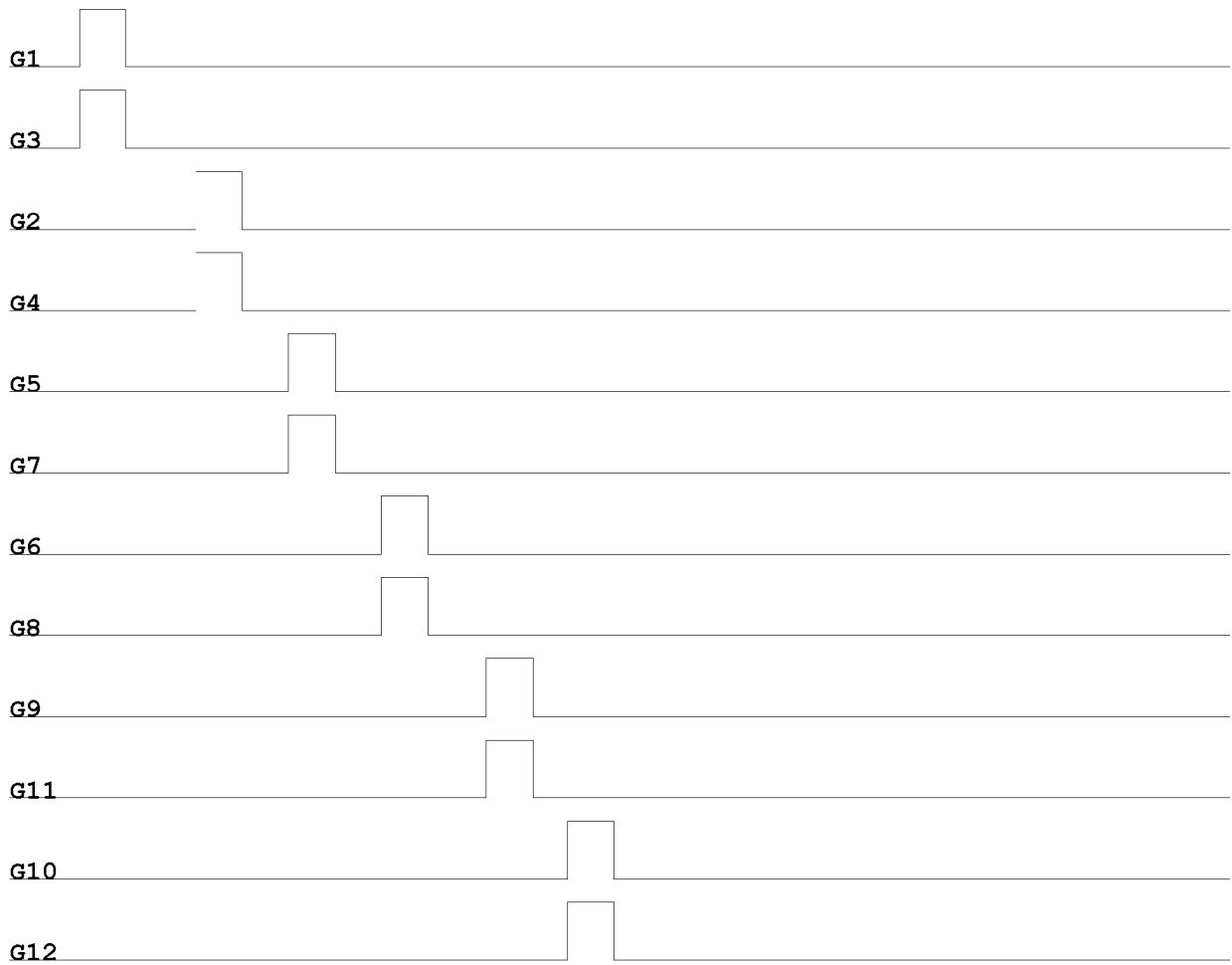


图5

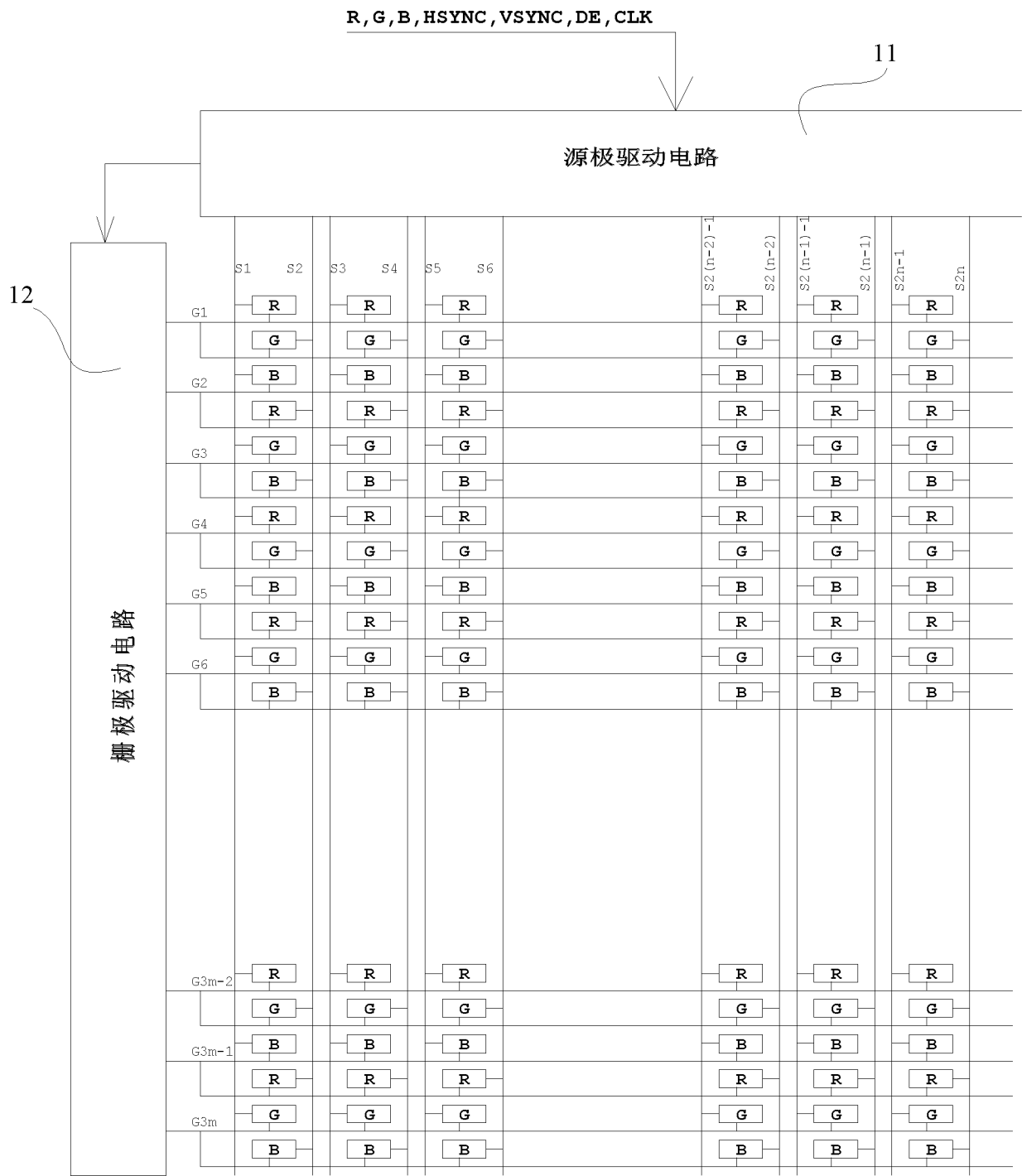


图6

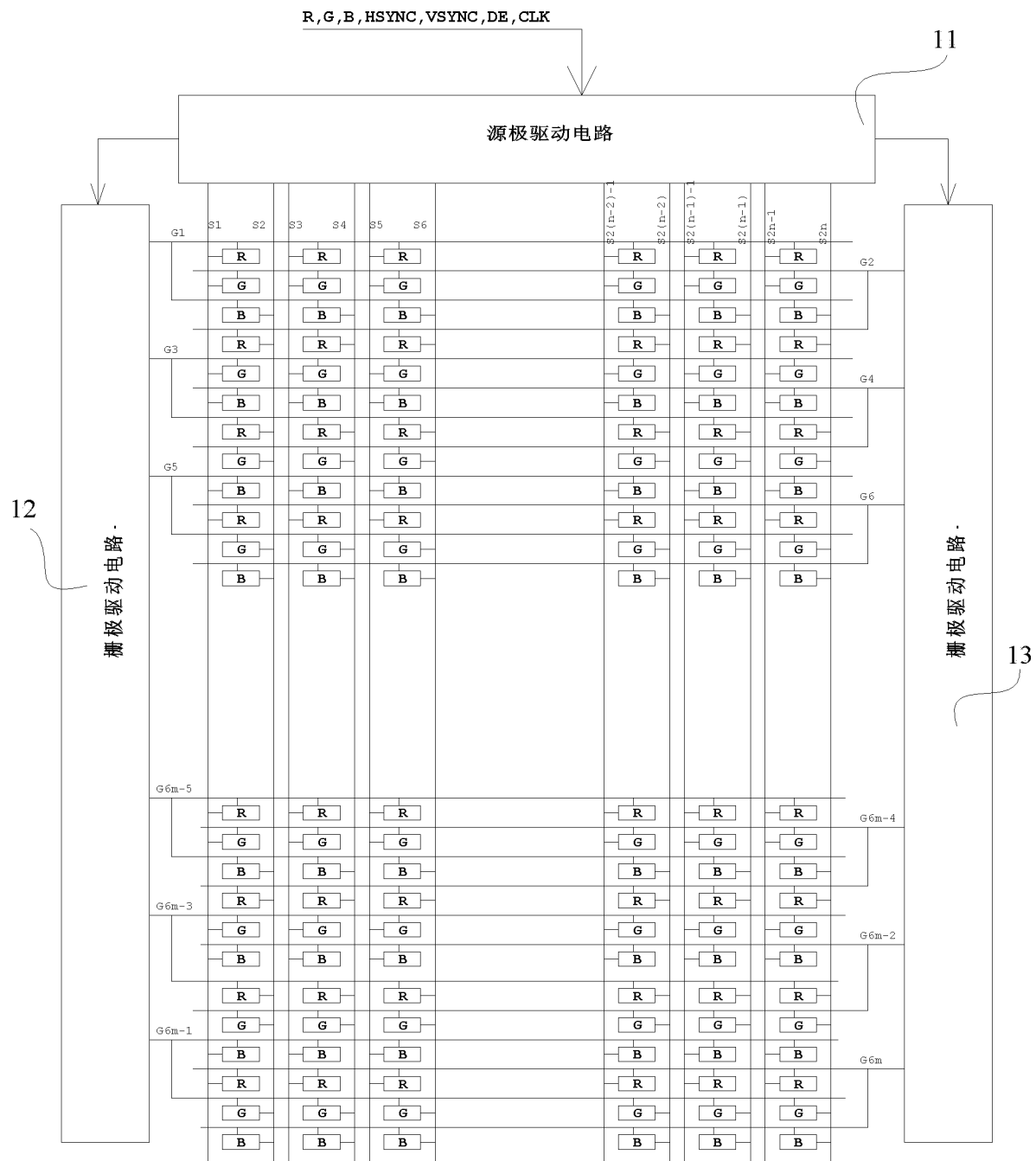


图7

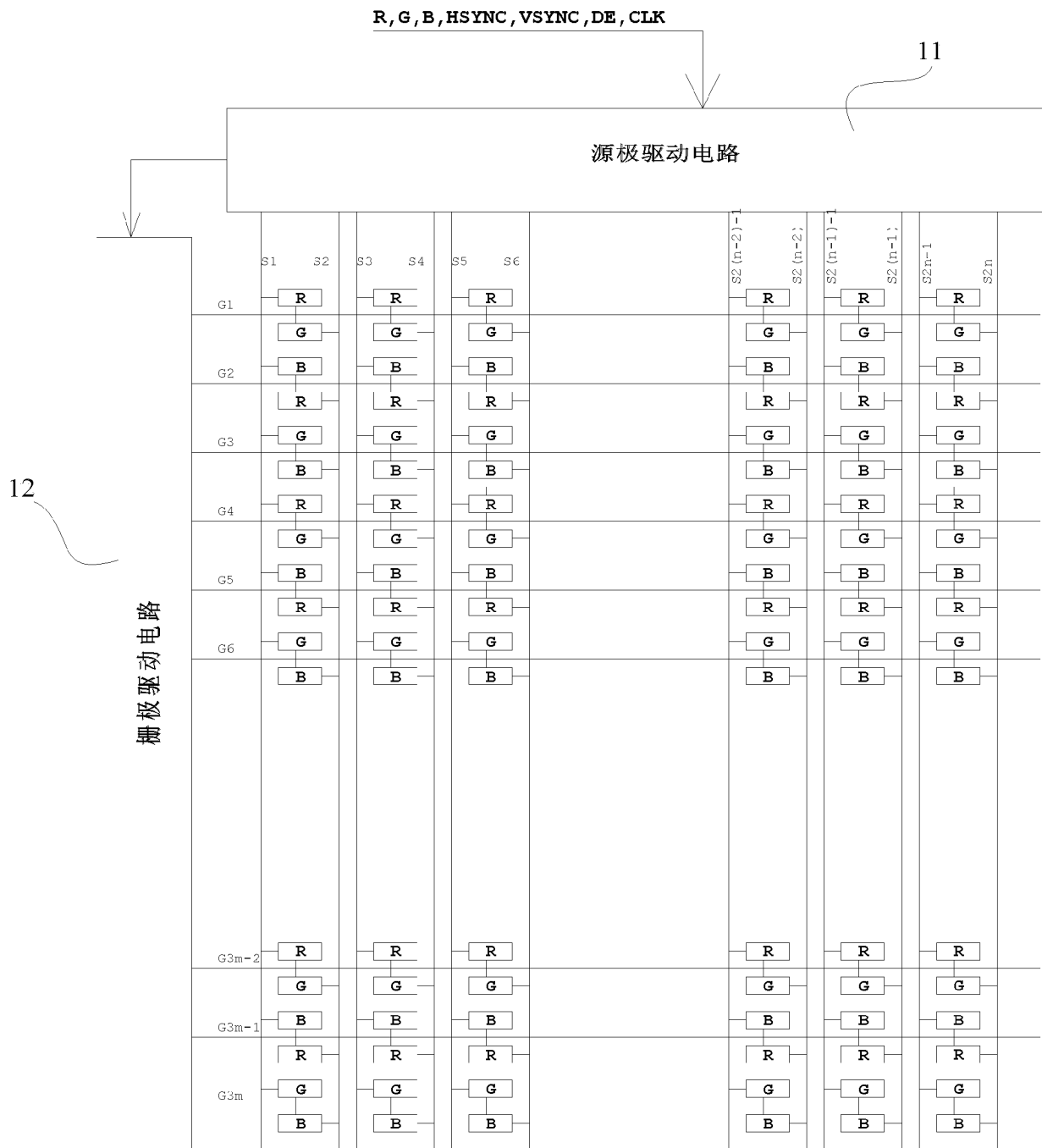


图8

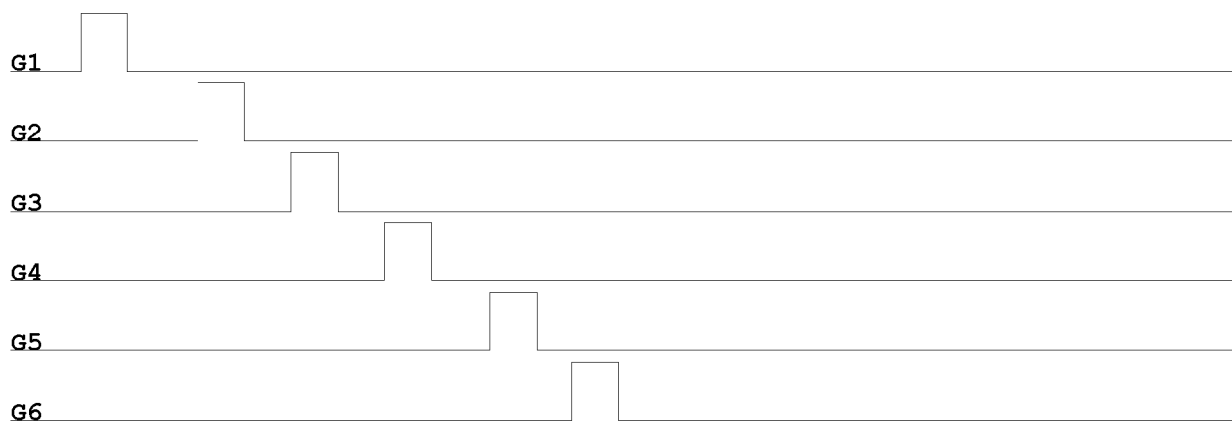


图9

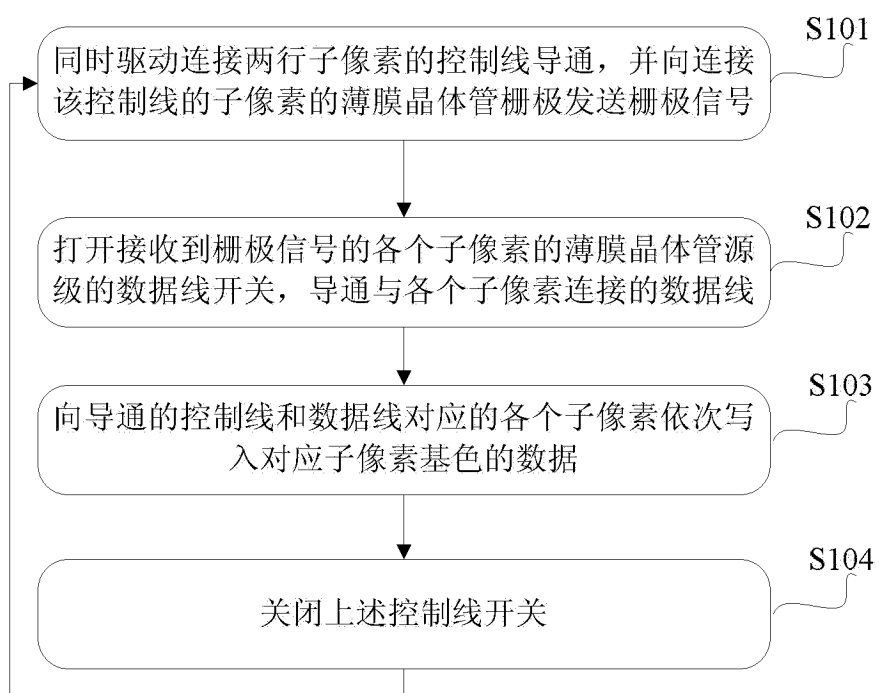


图10

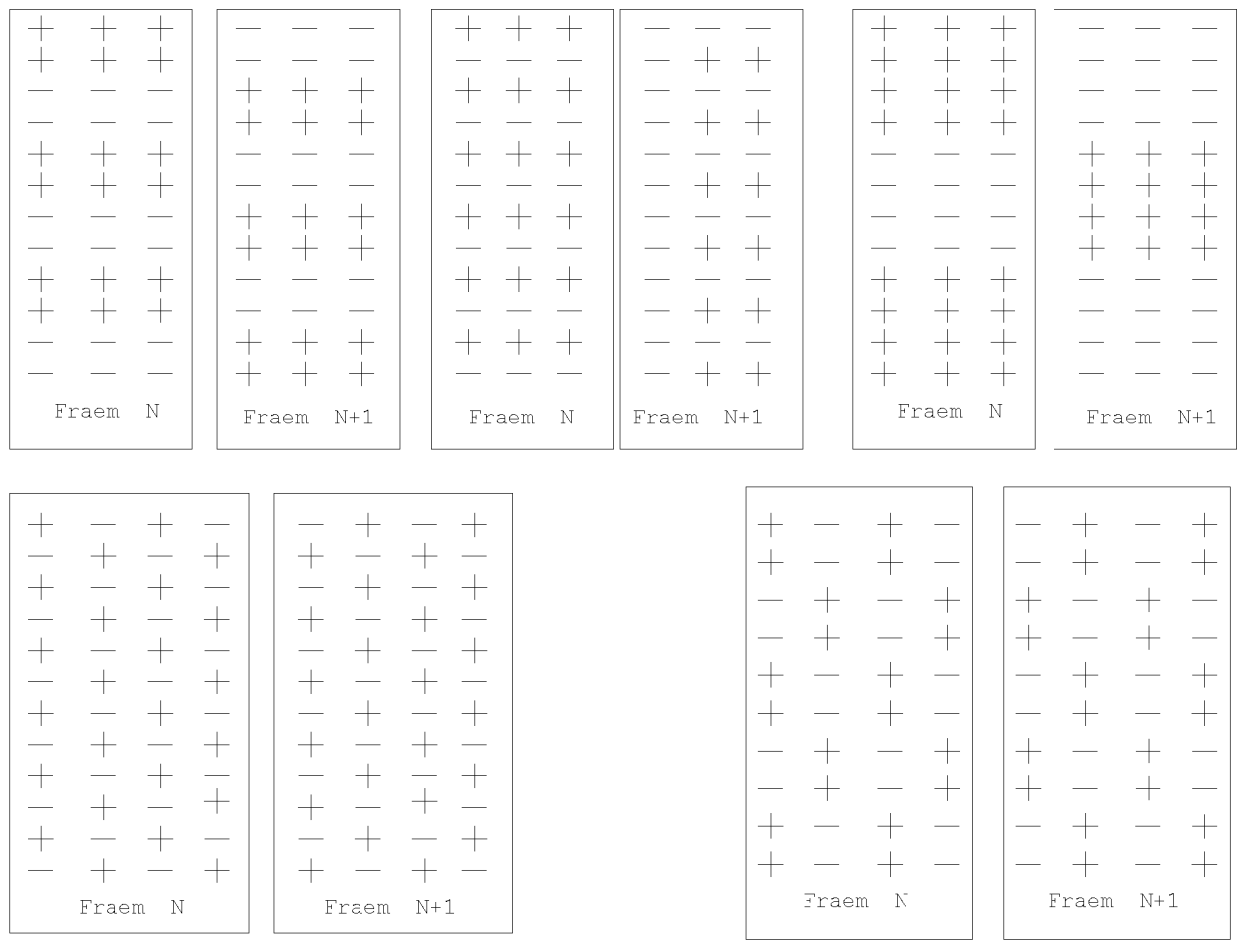


图11

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	CN103185976B	公开(公告)日	2016-12-14
申请号	CN201110459944.1	申请日	2011-12-31
[标]申请(专利权)人(译)	上海中航光电子有限公司		
申请(专利权)人(译)	上海中航光电子有限公司		
当前申请(专利权)人(译)	上海中航光电子有限公司		
[标]发明人	徐晓伟 樊伟锋 夏志强		
发明人	徐晓伟 樊伟锋 夏志强		
IPC分类号	G02F1/133 G02F1/1362 G02F1/1368 G09G3/36		
审查员(译)	刘志玲		
其他公开文献	CN103185976A		
外部链接	SIPO		

摘要(译)

本发明公开了一种液晶显示装置及其驱动方法，该装置包括源极驱动电路、栅极驱动电路和显示面板，该显示面板包括：基板；多个呈矩阵形式排列于该基板上的子像素；一个子像素对应一个薄膜晶体管；由纵向相邻的三个子像素组成的像素单元；其中，每个像素单元分配有两根数据线，每个像素单元中至少一个子像素的薄膜晶体管栅极与不同栅极线连接，且连接到同一栅极线的子像素薄膜晶体管的源极分别与不同数据线连接。通过上述连接关系，在同时驱动两行子像素的栅极线打开时，针对列与驱动行交叉处的两个子像素分别由相邻的两列进行写数据，即实现同时对两行子像素进行写数据，降低驱动过程的功耗，使液晶显示装置体现出更好的显示质量。

