



(12) 发明专利申请

(10) 申请公布号 CN 102854682 A

(43) 申请公布日 2013. 01. 02

(21) 申请号 201110433370. 0

G02F 1/1333(2006. 01)

(22) 申请日 2011. 12. 21

H01L 21/77(2006. 01)

(30) 优先权数据

10-2011-0064733 2011. 06. 30 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 丁英基 李锡宇 吴锦美 申东天

宋寅赫 李汉锡 朴原根

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 李辉 吕俊刚

(51) Int. Cl.

G02F 1/1368(2006. 01)

G02F 1/1362(2006. 01)

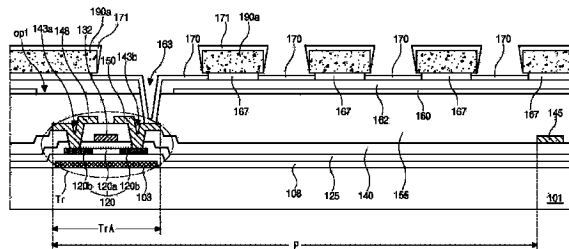
权利要求书 3 页 说明书 7 页 附图 10 页

(54) 发明名称

用于边缘场切换模式液晶显示器的阵列基板及其制造方法

(57) 摘要

本发明涉及边缘场切换模式液晶显示器的阵列基板及其制造方法。该方法包括：在基板上的像素区中形成 TFT；在上面形成第一钝化层；在上面形成公共电极；在上面形成第二钝化层；在上面形成第一厚度的辅助绝缘层；在上面形成分别为第二和第三厚度的第一和第二光刻胶图案；使用第一和第二光刻胶图案作为蚀刻掩模来蚀刻辅助绝缘层、第二和第一钝化层以形成漏接触孔；进行灰化以去除第二光刻胶图案并露出下方的辅助绝缘层；干法蚀刻以去除不被第一光刻胶图案覆盖的辅助绝缘层并露出第一钝化层，在第一光刻胶图案下方形成绝缘图案；在基板上形成第四厚度的透明导电材料层；进行抬离工序以一起去除第一光刻胶图案及其上的透明导电材料层。



1. 一种制造边缘场切换模式液晶显示器的阵列基板的方法,该方法包括以下步骤:
 - 在基板上的像素区中形成薄膜晶体管;
 - 在所述薄膜晶体管上形成第一钝化层;
 - 在所述第一钝化层上形成公共电极;
 - 在所述公共电极上形成第二钝化层;
 - 在所述第二钝化层上形成具有第一厚度的辅助绝缘层;
 - 在所述辅助绝缘层上形成分别具有第二厚度和第三厚度的第一光刻胶图案和第二光刻胶图案,所述第二厚度大于所述第三厚度;
 - 使用所述第一光刻胶图案和所述第二光刻胶图案作为蚀刻掩模来蚀刻所述辅助绝缘层、所述第二钝化层和所述第一钝化层,以形成露出所述薄膜晶体管的漏极的漏接触孔;
 - 进行灰化以去除所述第二光刻胶图案并且露出其下方的所述辅助绝缘层;
 - 进行干法蚀刻以去除不被所述第一光刻胶图案覆盖的所述辅助绝缘层并且露出所述第一钝化层,并且在所述第一光刻胶图案下方形成绝缘图案,所述绝缘图案和所述第一光刻胶图案形成咬边(底切?)形状;
 - 在具有所述第一光刻胶图案的基板上形成具有小于所述第一厚度的第四厚度的透明导电材料层;以及
 - 进行抬离工序以一起去除所述第一光刻胶图案及其上的所述透明导电材料层并且将所述透明导电材料层的剩余部分形成为像素电极。
2. 根据权利要求1所述的方法,其中,所述第二钝化层和所述辅助绝缘层由同一材料制成并且在化学汽相沉积设备的同一腔体中顺序形成。
3. 根据权利要求2所述的方法,其中,所述第二钝化层是在所述腔体中在第一条件下形成的,所述第一条件为温度约210摄氏度到约230摄氏度,压力约1000mT到约1200mT,功率约700W到约900W,所述腔体中流动的氨 NH_3 和硅烷 SiH_4 的气体流速分别约580sccm到约700sccm和约90sccm到约120sccm,并且其中,所述辅助绝缘层是在所述腔体中在第二条件下形成的,所述第二条件为温度约210摄氏度到约230摄氏度,压力约1700mT到约1900mT,功率约1200W到约1400W,所述腔体中流动的氨 NH_3 和硅烷 SiH_4 的气体流速分别约280sccm到约360sccm和约140sccm到约180sccm。
4. 根据权利要求3所述的方法,其中,所述干法蚀刻是各向同性干法蚀刻并且是在干法蚀刻设备的腔体中在以下条件下进行的:压力是约140mT到约160mT,功率是约270W到约330W,并且六氟化硫 SF_6 、氧气 O_2 、氦气 He 和氯气 Cl_2 的气体流速分别是约100sccm到约150sccm、约30sccm、约30sccm和约30sccm。
5. 根据权利要求1所述的方法,其中,所述公共电极大致在整个显示区域上方形成且具有与所述薄膜晶体管相对应的开口,或者在每个像素区中单独形成并且通过连接图案连接到相邻像素区中的公共电极。
6. 根据权利要求1所述的方法,其中,形成薄膜晶体管的步骤包括:
 - 在所述基板上形成非晶硅层;
 - 将所述非晶硅层晶体化为多晶硅层;
 - 将所述多晶硅层构图为半导体层;
 - 在所述半导体层上形成栅绝缘层;

在所述栅绝缘层上与所述半导体层的中心部分相对应地形成栅极；
使用所述栅极作为掺杂掩模对所述半导体层进行掺杂以形成欧姆接触层；
在所述栅极上形成层间绝缘膜并且露出所述欧姆接触层；以及
在所述层间绝缘膜上形成均与所述欧姆接触层相接触的源极和漏极。

7. 根据权利要求 6 所述的方法，该方法还包括以下步骤：在形成所述非晶硅层之前，形成与所述薄膜晶体管相对应的光阻挡层和在所述光阻挡层上的缓冲层。

8. 根据权利要求 1 所述的方法，其中，形成薄膜晶体管的步骤包括：

在所述基板上形成栅极；

在所述栅极上形成栅绝缘层；

在所述栅绝缘层上形成半导体层，该半导体层包括本征非晶硅的有源层和位于所述有源层上的掺杂非晶硅的欧姆接触层；以及

在所述半导体层上形成源极和漏极。

9. 根据权利要求 6 或 8 所述的方法，该方法还包括以下步骤：在形成所述栅极的同一步骤中形成连接到所述栅极的选通线，并且在形成所述源极和漏极的同一步骤中形成连接到所述源极的数据线。

10. 根据权利要求 9 所述的方法，其中，所述像素电极、所述绝缘图案和所述数据线是弯曲的并且关于每个像素区的中心部分对称。

11. 一种用于边缘场切换模式液晶显示器的阵列基板，该阵列基板包括：

位于基板上的像素区中的薄膜晶体管；

位于所述薄膜晶体管上的第一钝化层；

位于所述第一钝化层上的公共电极；

位于所述公共电极上的第二钝化层；

位于所述第二钝化层上的绝缘图案，该绝缘图案为条形且具有第一厚度；以及

位于所述第二钝化层上的像素电极，该像素电极包括填充有所述绝缘图案的开口，并且通过形成在所述第一钝化层和所述第二钝化层中的漏接触孔与所述薄膜晶体管的漏极相接触。

12. 根据权利要求 11 所述的阵列基板，其中，

所述薄膜晶体管是顶栅型薄膜晶体管，该顶栅型薄膜晶体管包括：半导体层，其包括本征多晶硅的有源层和位于所述有源层两侧中的每一侧的掺杂多晶硅的欧姆接触层；位于所述半导体层上的栅绝缘层；位于所述栅绝缘层上并且与所述有源层相对应的栅极；位于所述栅极上并且露出所述欧姆接触层的层间绝缘膜；以及位于所述层间绝缘膜上并且均与所述欧姆接触层相接触的源极和漏极，或者

所述薄膜晶体管是底栅型薄膜晶体管，该底栅型薄膜晶体管包括：栅极；位于所述栅极上的栅绝缘层；位于所述栅绝缘层上的半导体层，该半导体层包括本征非晶硅的有源层和位于所述有源层上的掺杂非晶硅的欧姆接触层；以及位于所述半导体层上的源极和漏极。

13. 根据权利要求 12 所述的阵列基板，该阵列基板还包括：连接到所述栅极并且与所述栅极在同一层的选通线；以及连接到所述源极并且与所述源极和漏极在同一层的数据线。

14. 根据权利要求 12 所述的阵列基板,该阵列基板还包括:对应于所述薄膜晶体管的光阻挡层;和位于所述光阻挡层上的缓冲层,其中,所述光阻挡层和所述缓冲层在多晶硅的所述半导体层的下方。

15. 所根据权利要求 11 所述的阵列基板,其中,所述像素电极、所述绝缘图案和所述数据线是弯曲的并且关于每个像素区的中心部分对称。

16. 根据权利要求 11 所述的阵列基板,其中,所述第一钝化层由有机绝缘材料制成并且具有平坦表面,并且所述第二钝化层和所述绝缘图案由相同的无机绝缘材料制成而分子密度不同。

用于边缘场切换模式液晶显示器的阵列基板及其制造方法

技术领域

[0001] 本发明涉及液晶显示器,更具体地涉及一种用于边缘场切换模式液晶显示器的阵列基板及其制造方法。

背景技术

[0002] 直到最近,显示装置通常都使用阴极射线管(CRT)。目前,正在进行很多努力和研究来开发各种类型的平板显示器,诸如液晶显示器(LCD)、等离子体显示器面板(PDP)、场发射显示器和电致发光显示器(ELD),作为CRT的代替。在这些平板显示器中,LCD具有很多优点,诸如分辨率高、重量轻、大小紧凑,并且电力供应要求低。

[0003] 一般地,LCD包括隔开并且彼此面对的两个基板,两个基板之间夹有液晶材料。两个基板包括彼此面对的电极从而电极之间施加的电压在液晶材料上感应出电场。液晶材料中的液晶分子的配向根据感应电场的强度变为感应电场的方向,因而改变了LCD的光透射率。由此,LCD通过改变感应电场的强度来显示图像。

[0004] 然而,利用两个基板上的两个电极之间感应的电场而工作的LCD不具有宽视角属性。为了解决这个问题,提出了面内切换(IPS)模式LCD。

[0005] 图1是例示了IPS模式LCD的示意截面图。

[0006] 参照图1,IPS模式LCD包括作为阵列基板的下基板10、作为滤色器基板的上基板9和位于两个基板9和10之间的液晶层11。

[0007] 下基板10上形成有公共电极17和像素电极30,并且液晶层11利用公共电极17和像素电极30感应出的面内电场L而工作。

[0008] 图2A和图2B分别是例示IPS模式LCD的开和关状态的操作的图。

[0009] 参照图2A,图2A示出了处于开状态的液晶分子的设置,公共电极17和像素电极30上的液晶分子11a的设置基本上保持和初始一样,公共电极17和像素电极30之间的液晶分子110b随着通过向电极17和30施加电压而感应的面内电场L而改变。换句话说,由于液晶分子利用面内电场L来工作,所以IPS模式LCD可具有宽的视角。

[0010] 因此,当从正面观看IPS模式LCD时,在上/下/左/右方向上约80度角到约85度角内可正常观看图像。

[0011] 参照图2B,图2B示出处于关状态的液晶分子的设置,由于公共电极17和像素电极30之间不感应面内电场L,所以全部液晶分子的设置基本上保持不变。

[0012] IPS模式LCD具有宽视角的优点但是具有低孔径比和透射率的缺点。

[0013] 为了解决IPS模式LCD装置的问题,提出了利用边缘场来工作的边缘场切换(FFS)模式LCD。

[0014] 图3是例示根据现有技术的FFS模式LCD的截面图。

[0015] 参照图3,在FFS模式LCD的阵列基板的基板31上,对应于形成有薄膜晶体管Tr的切换区域Tra形成有光阻挡层33。在光阻挡层上形成有缓冲层38。

[0016] 在缓冲层38上的切换区域Tra中形成有由多晶硅制成的半导体层50。

[0017] 在半导体层 50 上形成有栅绝缘层 55, 并且栅极 62 位于栅绝缘层 55 上的切换区域 TrA 中。层间绝缘膜 70 形成在栅绝缘层 70 上, 包括第一半导体接触孔 73a 和第二半导体接触孔 73b。源极 78 和漏极 80 形成在层间绝缘膜 70 上, 并且分别通过第一半导体接触孔 73a 和第二半导体接触孔 73b 与半导体层 50 接触。

[0018] 半导体层 50、栅绝缘层 55、栅极 62、层间绝缘膜 70、源极 78 和漏极 80 形成了薄膜晶体管 Tr。

[0019] 在源极 78 和漏极 80 上形成有第一钝化层 85, 并且在第一钝化层 85 上形成有公共电极 90, 公共电极 90 包括对应于切换区域 Tra 的第一开口 op1。

[0020] 在公共电极 90 上形成有第二钝化层 92。第一钝化层 85 和第二钝化层 92 具有漏接触孔 93, 漏接触孔 93 露出了漏极 80。

[0021] 在第二钝化层 92 上的每个像素区 P 上形成有像素电极 99, 像素电极 99 通过漏接触孔 93 与漏极 80 接触, 并且像素电极 99 包括均条形形状的多个第二开口 op2。

[0022] FFS 模式 LCD 的阵列基板是用 9 个掩模工序制造成的, 包括针对半导体层 50 的掺杂工序。

[0023] 换句话说, 通过以下工序来制造阵列基板: 形成光阻挡层 33 的工序、形成多晶硅半导体层 50 的工序、形成选通线 (未示出) 和栅极 62 的工序、形成包括半导体接触孔 73a 和 73b 的层间绝缘膜 70 的工序、形成数据线 (未示出) 和源极 78 和漏极 80 的工序、形成第一钝化层 85 的工序、形成包括第一开口 op1 的公共电极 90 的工序、形成第二钝化层 92 的工序和形成包括第二开口 op2 的像素电极 99 的工序。

[0024] 每个掩模工序都包括单位 (unit) 工序, 诸如在基板上形成要构图的材料层, 在材料层上形成光刻胶层, 使用光掩模对光刻胶层曝光, 将曝光的光刻胶层显影, 使用显影之后留下的光刻胶图案来蚀刻材料层, 以及剥离光刻胶图案。

[0025] 为了进行每个掩模工序, 针对每个单位工序需要单位处理设备和材料, 此外, 需要针对每个单位工序的时间。

[0026] 因此, 掩模工序的增加引起生产成本和时间增加。因此, 要求减少掩模工序以减少生产成本和时间。

发明内容

[0027] 因此, 本发明涉及一种基本上避免由于现有技术的限制和缺点造成的的一个或者更多问题的边缘场切换模式液晶显示器及其制造方法。

[0028] 本发明的优点是提供了一种可提高生产效率的边缘场切换模式液晶显示器的阵列基板及其制造方法。

[0029] 本发明的其它特征及优点将在以下的说明书中进行阐述, 并且一部分根据本说明书将是清楚的, 或者可以从本发明的实践获知。本发明的这些和其它优点可以通过在本书面说明书及其权利要求书及附图中具体指出的结构来实现和获得。

[0030] 为了实现这些和其它优点, 并且根据这里所具体实施和广泛描述的本发明的目的, 一种制造边缘场切换模式液晶显示器的阵列基板的方法包括以下步骤: 在基板上的像素区中形成薄膜晶体管; 在所述薄膜晶体管上形成第一钝化层; 在所述第一钝化层上形成公共电极; 在所述公共电极上形成第二钝化层; 在第二钝化层上形成具有第一厚度的辅助

绝缘层；在所述辅助绝缘层上形成分别具有第二厚度和第三厚度的第一光刻胶图案和第二光刻胶图案，所述第二厚度大于所述第三厚度；使用第一光刻胶图案和第二光刻胶图案作为蚀刻掩模来蚀刻所述辅助绝缘、第二钝化层和第一钝化层以形成露出所述薄膜晶体管的漏极的漏接触孔；进行灰化以去除第二光刻胶图案并且露出下方的辅助绝缘层；进行干法蚀刻以去除不被第一光刻胶图案覆盖的辅助绝缘层并且露出第一钝化层，并且在第一光刻胶图案下方形成绝缘图案，所述绝缘图案和第一光刻胶图案形成了咬边（undercut）形状；在具有第一光刻胶图案的基板上形成具有小于所述第一厚度的第四厚度的透明导电材料层；以及进行抬离（lift off）工序以一起去除所述第一光刻胶图案及其上的所述透明导电材料层并且形成像素电极作为所述透明导电材料层的剩余部分。

[0031] 另一方面，一种边缘场切换模式液晶显示器的阵列基板包括：位于基板上的像素区中的薄膜晶体管；位于所述薄膜晶体管上的第一钝化层；位于所述第一钝化层上的公共电极；位于所述公共电极上的第二钝化层；位于第二钝化层上并且具有第一厚度的条形绝缘图案；以及位于所述第二钝化层上的像素电极，所述像素电极包括填充有绝缘图案的开口，并且像素电极通过形成在第一钝化层和第二钝化层中的漏接触孔与所述薄膜晶体管的漏极相接触。

[0032] 应当理解的是，前面的一般描述和后面的具体描述都是示例性和解释性的，并旨在对所要求保护的本发明提供进一步的解释。

附图说明

[0033] 附图被包括进来以提供对本发明的进一步理解，并结合到本申请中且构成本申请的一部分，这些附图例示了本发明的实施方式，并与说明书一起用于解释本发明的原理。

[0034] 在附图中：

[0035] 图 1 是例示 IPS 模式 LCD 的示意截面图；

[0036] 图 2A 和图 2B 分别是例示 IPS 模式 LCD 的开和关状态的操作的图；

[0037] 图 3 是例示根据现有技术的 FFS 模式 LCD 的截面图；

[0038] 图 4A 到图 4R 是例示根据本发明实施方式的制造 LCD 的阵列基板的方法的截面图；

[0039] 图 5A 和图 5B 是例示根据本发明另一个实施方式的制造 LCD 的阵列基板的方法的截面图；

[0040] 图 6 是例示根据本发明另一个实施方式的制造 LCD 的阵列基板的方法的截面图。

具体实施方式

[0041] 下面将详细描述本发明的例示的实施方式，在附图中例示出了本发明的优选实施方式。

[0042] 图 4A 到图 4R 是例示根据本发明实施方式的制造 LCD 的阵列基板的方法的截面图。在附图中，像素区 P 中形成有薄膜晶体管 Tr 的区域被定义为切换区域 TrA。

[0043] 参照图 4A，在基板 101 上沉积光密度约为 4 的透明金属材料或者黑树脂，并且在掩模工序中对其构图以形成光阻挡层 103。

[0044] 当使用包括半导体层（图 4R 的 120）的顶栅型薄膜晶体管 Tr 时，从背光单元发射

的光入射在半导体层 120 上并且漏光电流,因此薄膜晶体管 Tr 的性能劣化。为了防止这个问题,采用光阻挡层 103。然而,可以省略光阻挡层 103。

[0045] 接着,在具有光阻挡层 103 的基板 101 上沉积诸如氮化硅 (SiN_x) 或者二氧化硅 (SiO_2) 的无机绝缘材料以形成缓冲层 108。当非晶硅被晶体化为多晶硅时,由于用于晶体化的激光照射产生的热,可能发出基板 101 中存在的例如钾离子、钠离子的碱性离子,并且这些离子造成多晶硅的属性。为了防止这个问题,采用缓冲层 108。此外,缓冲层 108 可用于将半导体层 120 与金属制成的发光层 103 电气断开。

[0046] 当发光层 103 是由金属制成时,优选地形成缓冲层 108。然而,当发光层 103 由不是金属的例如黑树脂的材料制成或者被省略时,根据基板 101 的材料,可以省略缓冲层 103。

[0047] 参照图 4B,在缓冲层 108 上沉积本征非晶硅以形成本征非晶硅层,接着将其晶体化为本征多晶硅层 119。

[0048] 晶体化方法例如可以是使用约 600 摄氏度到约 800 摄氏度的条件下的热处理的热晶体化法、使用约 600 摄氏度到约 700 摄氏度的条件下的交变磁性晶体化设备的交变磁场晶体化法、使用激光的准分子激光退火 (ELA) 法或者顺序横向固化 (SLS) 法。

[0049] 参照图 4C,用掩模工序对本征多晶硅层 119 构图以在对应于光阻挡层 103 的切换区域 TrA 中形成半导体层 120。

[0050] 在该实施方式中,晶体化是在基板 101 的整个表面上形成有本征非晶硅层的状态下进行的。或者,可以首先将本征非晶硅层构图以在切换区域 TrA 中形成本征非晶硅图案,接着针对本征非晶硅图案进行晶体化以形成本征多晶硅的半导体层 120。

[0051] 参照图 4D,在具有半导体层 120 的基板 101 上沉积诸如氮化硅 (SiN_x) 或者二氧化硅 (SiO_2) 的无机绝缘材料以形成栅绝缘层 125。接着,在栅绝缘层 125 上沉积包括铝 (Al)、铝合金 (例如, AlNd)、铜 (Cu) 铜合金、钼 (Mo) 和钼钛 (MoTi) 的一种或者更多种金属以形成具有单层或者多层结构的第一金属层。

[0052] 接着,用掩模工序对第一金属层进行构图,形成沿着某一方向的选通线 (未示出)、切换区域 TrA 中并且连接到该选通线的栅极 132。栅极 132 对应于半导体层 120 的中心部分。

[0053] 参照图 4E,对基板 101 进行 n 型或者 p 型杂质掺杂。因此,在半导体层 120 的不被栅极 132 覆盖的两个侧区域中均形成了掺杂的欧姆接触层 120b。半导体层 120 的被栅极 132 覆盖并且未掺杂的中心部分用作本征多晶硅的有源层。因此,半导体层 120 包括位于中心区域的有源层 120a 和位于两个侧区域的欧姆接触层 120b。

[0054] 在该实施方式中,以具有有源层 120a 和欧姆接触层 120b 的半导体层 120 为例进行了例示。

[0055] 或者,在图 5A 和图 5B 所示的另一个实施方式中,当用 n 型杂质对欧姆接触层 120b 掺杂时,在栅极 132 上形成了光刻胶图案 390 并且光刻胶图案 390 具有比栅极 132 更大的宽度。以光刻胶图案 390 作为掺杂掩模进行第一掺杂密度的 n 型杂质的第一掺杂以形成欧姆接触层 120b。接着,去除光刻胶图案 390,然后进行用小于第一掺杂密度的第二掺杂密度的 n 型杂质的第二掺杂以在有源层 120a 和欧姆接触层 120b 之间形成 LDD (轻掺杂漏) 层 120c。在进一步形成 LDD 层 120c 的情况下,添加并且进行一道掩模工序。

[0056] 参照图 4F,在具有栅极 132 的基板 101 上沉积诸如氮化硅 (SiN_x) 或者二氧化硅

(SiO₂) 的无机绝缘材料或者诸如苯并环丁烯 (BCB) 或者感光亚克力的有机绝缘材料以形成层间绝缘膜 140。对层间绝缘膜 140 进行构图以形成露出相应欧姆接触层 120b 的第一半导体接触孔 143a 和第二半导体接触孔 143b。

[0057] 参照图 4G, 在栅绝缘层 125 上沉积包括铝 (Al)、铝合金 (例如, AlNd)、铜 (Cu) 铜合金、钼 (Mo)、和钼钛 (MoTi) 的一种或者更多种金属以形成具有单层或者多层结构的第二金属层。用掩模工序对第二金属层构图以形成源极 148 和漏极 150 (它们分别通过第一半导体接触孔 143a 和第二半导体接触孔 143b 与欧姆接触层 120b 相接触) 以及连接至源极 148 并与选通线交叉以形成像素区 P 的数据线 145。

[0058] 半导体层 120、栅绝缘层 125、栅极 132、层间绝缘膜 140 以及源极 148 和漏极 150 形成了薄膜晶体管 Tr。

[0059] 数据线 145 在平面中可以为直线形状, 或者曲折形状。在曲折形状的情况下, 数据线 145 具有与像素区 P 的中心部分相对应的弯曲部分以相对于弯曲部分对称, 因而可在像素区 P 中形成多个领域 (domain)。

[0060] 在该实施方式中, 举例示出了顶栅型薄膜晶体管 120。或者, 在图 6 所示的另一个实施方式中, 可以使用底栅型薄膜晶体管 Tr。更具体地, 底栅型薄膜晶体管 Tr 包括: 位于基板 201 上的栅极 205; 栅绝缘层 210; 包括本征非晶硅的有源层 220a 和掺杂了非晶硅的欧姆接触层 220b 的半导体层 220; 以及源极 233 和漏极 236。在此情况下, 在形成栅极 205 的同一工序中形成选通线 (未示出), 并且在形成源极 233 和漏极 236 的同一工序中形成数据线 (未示出)。薄膜晶体管 Tr 不需要光阻挡层和掺杂工序, 并且可用 3 道掩模工序形成。

[0061] 参照图 4H, 在具有源极 148 和漏极 150 的基板 101 上沉积诸如苯并环丁烯 (BCB) 或者感光亚克力的有机绝缘材料以形成具有大致平坦表面的第一钝化层 155。

[0062] 尽管附图中未示出, 但是对第一钝化层 155 构图从而露出非显示区域中的选通线和数据线 145 的端部。非显示区域位于包括多个像素区 P 的显示区域之外。

[0063] 此外, 去除第一钝化层 155 的对应于非显示区域的一部分是为了改善阵列基板与滤色器基板之间用密封图案实现的粘结, 并且防止因为密封图案对有机材料的粘性比对无机材料的粘性更好而被撕掉。

[0064] 参照图 4I, 在第一钝化层 155 上形成诸如氧化铟锡 (ITO) 或者氧化铟锌 (IZO) 的透明导电材料以形成第一透明导电材料层, 并且用掩模工序构图以形成包括露出切换区域 TrA 的第一开口 op1 的公共电极 160。

[0065] 可以去除公共电极 160 的位于非显示区域中的一部分。尽管附图中未示出, 公共电极 160 电连接到在形成选通线和数据线 145 的同一工序中形成的公共线。

[0066] 在该实施方式中, 举例示出了具有对应于切换区域 TrA 的第一开口 op1 的公共电极 160。或者, 可以在每个像素区 P 中独立地形成公共电极 160, 并且在此情况下, 公共电极 160 可以通过在相邻的像素区 P 之间的边界部分并且在形成公共电极 160 的同一工序中形成的连接图案彼此电气连接。

[0067] 参照图 4J, 将具有公共电极 160 的基板 101 布置在化学汽相沉积设备的真空腔中, 接着腔体 195 处于第一条件下, 其中内部温度是约 210 摄氏度到约 230 摄氏度, 压力是约 1000mT 到约 1200mT, 功率是约 700W 到约 900W, 腔体 195 中流动的氨 (NH₃) 和硅烷 (SiH₄) 的气体流速分别是约 580sccm 到约 700sccm 和约 90sccm 到约 120sccm。因此, 在公共电极

160 上形成了由氮化硅制成的第二钝化层 162。

[0068] 接着,参照图 4K,上述腔体 195 的条件改变为第二条件,其中内部温度是约 210 摄氏度到约 230 摄氏度,压力是约 1700mT 到约 1900mT,功率是约 1200W 到约 1400W,腔体 195 中流动的氨 (NH_3) 和硅烷 (SiH_4) 的气体流速分别是约 280sccm 到约 360sccm 和约 140sccm 到约 180sccm。因此,在第二钝化层 162 上形成了由氮化硅制成的辅助绝缘层 166。

[0069] 第二钝化层 162 和辅助绝缘层 166 是在同一腔体中用同一材料(即,氮化硅)形成的。然而,第二钝化层 162 和辅助绝缘层 166 是在不同条件下形成的。换句话说,形成辅助绝缘层 166 的条件相比形成第二钝化层 162 的条件具有更大的压力和功率,更小的氨的气体流速,更大的硅烷的气体流速。因此,出现了两个层 162 和 166 之间的分子密度等的差异。因此,当进行满足特定条件的干法蚀刻工序时,出现了层 162 和 166 之间的蚀刻率的差异。下面说明该特定条件。

[0070] 参照图 4L,在辅助绝缘层 166 上形成光刻胶层 190。在该实施方式中,举例示出了使用负型光刻胶的光刻胶层 190,负型具有被曝光的部分得以保留的属性。或者,可以使用正型光刻胶。

[0071] 在光刻胶层 190 上设置光掩模 199。光掩模 199 包括透射入射在其上的光的大致 100% 的透射部分 TA、阻挡入射在其上的光的阻挡部分 BA、透射入射在其上的光的大致 10% 到 90% 的半透射部分 HTA。可以照射 UV(紫外)光。

[0072] 阻挡部分 BA 可以对应于漏极 150。半透射部分 HTA 可以对应于形成有像素电极的区域中的形成有像素电极(图 4R 的 170)指部分的区域,除了形成有像素电极 170 的第二开口(图 4R 的 op2)的另一区域以外。透射区域 TA 可以对应于除了对应于阻挡部分 BA 和半透射部分 HTA 的区域之外的其它区域。

[0073] 参照图 4M,对曝光的光刻胶层 190 显影以形成具有第一厚度的第一光刻胶图案 190a 和具有第二厚度的第二光刻胶图案 190b,第二厚度小于第一厚度。去除光刻胶层 190 的对应于漏极 150 的一部分,露出辅助绝缘层 166 的对应于光刻胶层 190 的所去除部分的一部分。

[0074] 参照图 4N,使用第一光刻胶图案 190a 和第二光刻胶图案 190b 作为蚀刻掩模,将辅助液晶层 166、第二钝化层 162 和第一钝化层 155 顺序蚀刻以形成露出漏极 150 的漏接触孔 163。

[0075] 参照图 4O,在形成漏接触孔 163 之后对基板 101 进行灰化工序以去除第二光刻胶图案 190b 并且露出第二光刻胶图案 190b 下方的辅助绝缘层 166。在灰化工序中,部分地去除第一光刻胶图案 190a 使其厚度减小但是仍保留在基板 101 上。

[0076] 参照图 4P,将基板 101 布置在干法蚀刻设备的腔体 197 中。腔体 197 处于以下条件,其中内部压力是约 140mT 到约 160mT,功率是约 270W 到约 330W,并且用于蚀刻辅助绝缘层 166 和第二钝化层 162 的六氟化硫 (SF_6)、氧气 (O_2)、氦气 (He) 和氯气 (Cl_2) 的气体流速分别是约 100sccm 到约 150sccm、约 30sccm、约 30sccm 和约 30sccm。在该条件下,用灰化的第一光刻胶图案 190a 作为蚀刻掩模对辅助绝缘层进行蚀刻。

[0077] 蚀刻可以是各向同性蚀刻,因此辅助绝缘层 166 比第二钝化层 162 更快地被蚀刻。在此情况下,通过适当调整各向同性蚀刻时间,去除了在第一光刻胶图案 190a 之间露出的辅助绝缘层 166,并且露出下方的第二钝化层 162。此外,被第一光刻胶图案 190a 覆盖并且

留在第二钝化层 162 上的辅助绝缘层 166 的宽度小于第一光刻胶图案 190a 的宽度,形成了咬边形状。咬边形状的辅助绝缘层 166 变为绝缘图案 167。

[0078] 由于对辅助绝缘层 166 的各向同性蚀刻,第二钝化层 162 被部分地蚀刻,因而增大了漏接触孔 163 的直径。

[0079] 参照图 4Q,在具有第一光刻胶图案 190a 的基板 101 上沉积诸如氧化铟锡 (ITO) 或者氧化铟锌 (IZO) 的透明导电材料以形成第二透明导电材料层 171。

[0080] 第二透明导电材料层 171 的厚度可以小于绝缘图案 167 的厚度。因为咬边形状,第一光刻胶图案 190a 的侧部分与第二钝化层 162 在截面图中隔开,因而第二透明导电材料层 171 的位于第一光刻胶图案 190a 上的一部分与第二透明导电材料层 171 的位于第二钝化层 162 上的另一部分是断开的。

[0081] 因此,第二透明导电材料层 171 的位于第二钝化层 162 上并且通过漏接触孔 163 接触漏极 150 的那部分在每个像素区 P 中形成像素电极 170。

[0082] 参照图 4R,将具有第二透明导电材料层 171 的基板 101 暴露给显影溶液,该显影溶液与第一光刻胶图案 190a 反应并且溶解第一光刻胶图案 190a。因此,从基板上去除了第一光刻胶图案 190a,其称为抬离工序。换句话说,当去除第一光刻胶图案 190a 时,与第一光刻胶图案 190a 一起去除之上的第二透明导电材料层 171。因此,在第二钝化层 162 上,绝缘图案 167 和像素电极 170 最终留下。抬离工序可有效实现,因为利用这样的结构(即,绝缘图案 167 和第一光刻胶图案 190a 形成咬边形状并且第二透明导电材料层 171 的厚度小于绝缘图案 167 的厚度),显影溶液容易地穿透到第一光刻胶图案 190a 的下部分中。

[0083] 形成绝缘层 167 的部分形成了像素电极 170 的第二开口 op2。换句话说,绝缘层 167 看上去似乎形成在像素电极 170 的第二开口 op2 中。

[0084] 在此情况下,根据以上描述的数据线的直线形状或者弯曲形状,像素电极 170,即,其指部分,和第二开口 op2 可以具有直线形状或者弯曲形状。

[0085] 尽管附图中未示出,但是在抬离工序之前,可以在约 130 摄氏度到约 150 摄氏度的温度下对具有第二透明导电材料层 171 的基板 101 进行约 10 分钟到约 20 分钟的热处理。通过该热处理,第一光刻胶图案体积膨胀,因而第一光刻胶图案 190a 上的第二透明导电材料层 171 中出现裂纹。在此状态中,当进行抬离工序时,显影溶液可穿透裂纹到第一光刻胶图案 190a 中并且更好地与第一光刻胶图案 190a 反应。这可使抬离工序更有效。

[0086] 通过上述工序,可制造出阵列基板。将阵列基板耦接到相对基板(例如滤色器基板)上,其间夹着液晶层,由此可制造出 FFS 模式 LCD 装置。

[0087] 如上所述,当使用多晶硅半导体层形成薄膜晶体管时可用 8 个掩模处理来制造阵列基板,或者当使用非晶硅半导体层形成薄膜晶体管时可用 6 个掩模工序来制造阵列基板。因此,与现有技术相比,可减少生产工序、成本和时间,并且可提高生产效率。

[0088] 对于本领域技术人员而言,很明显,可以在不脱离本发明的精神或范围的情况下对本发明做出各种修改和变化。由此,本发明旨在覆盖本发明的全部修改和变化只要它们落入所附的权利要求和等同物的范围内。

[0089] 本发明要求 2011 年 6 月 30 日提交的韩国专利申请 No. 10-2011-0064733 的优先权,通过引用将其结合于此用于一切目的,如同全面在此阐述一样。

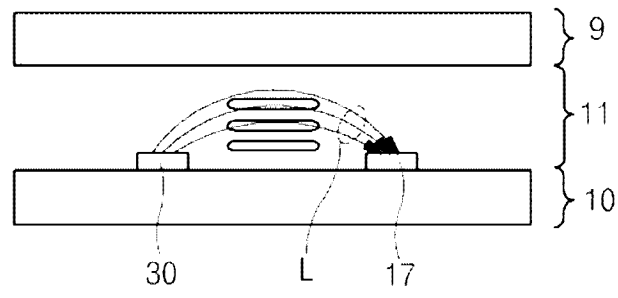


图 1

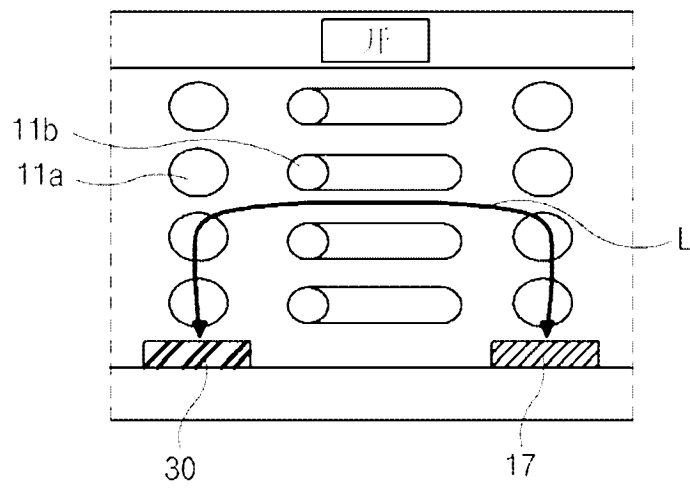


图 2A

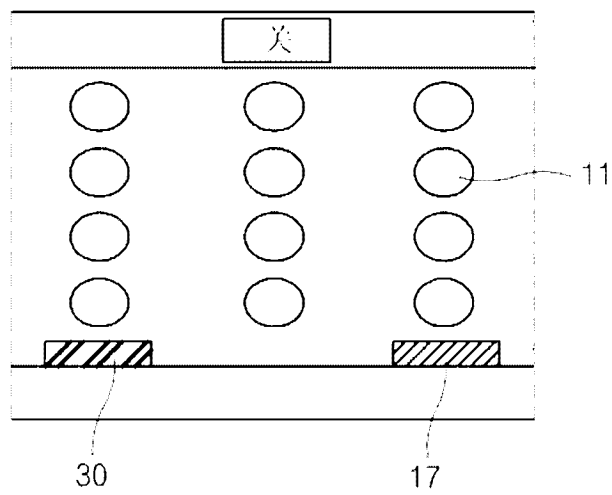


图 2B

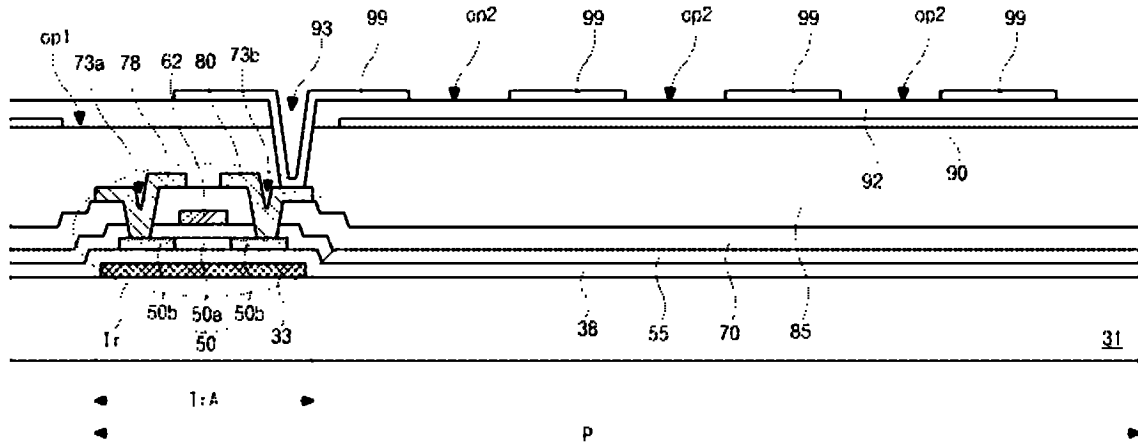


图 3

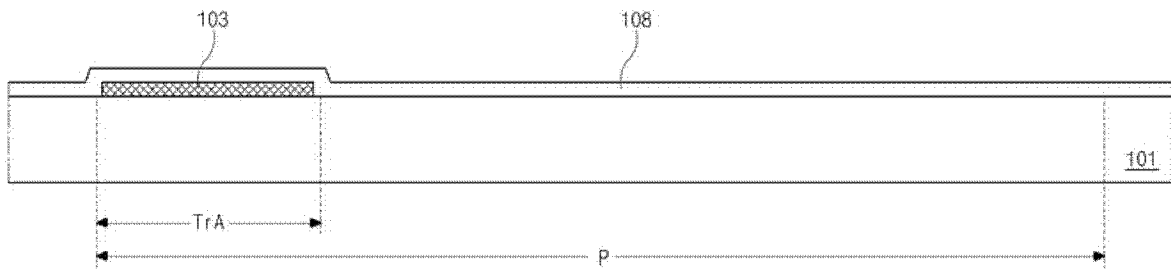


图 4A

晶体化

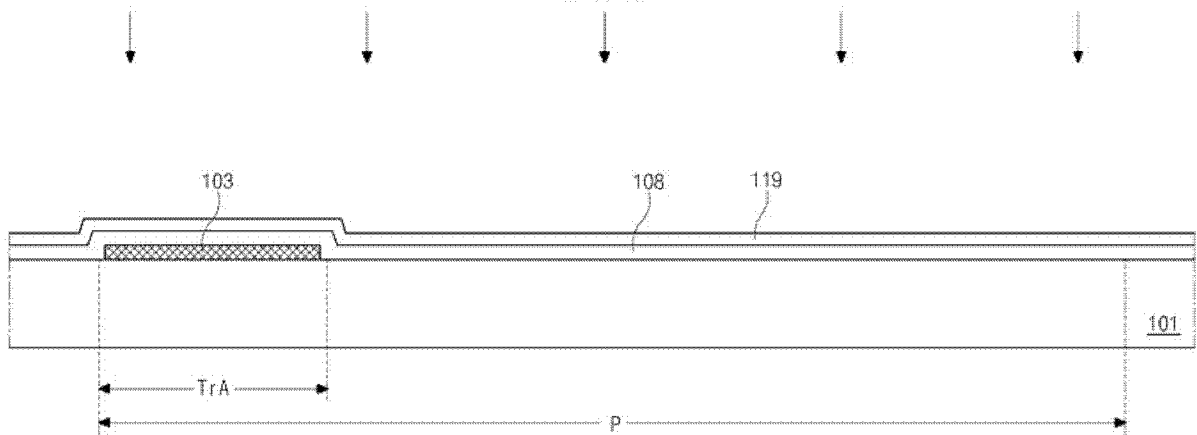


图 4B

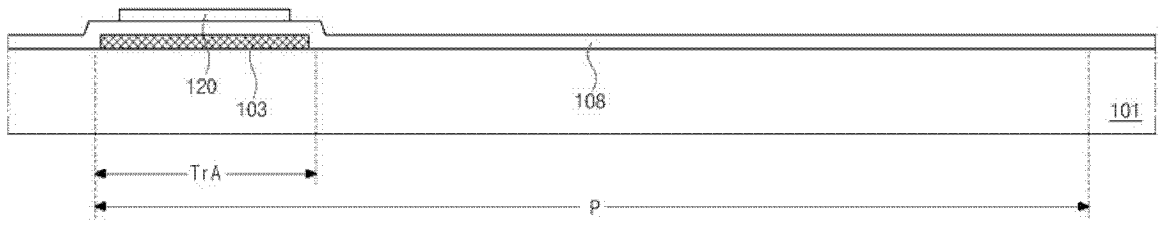


图 4C

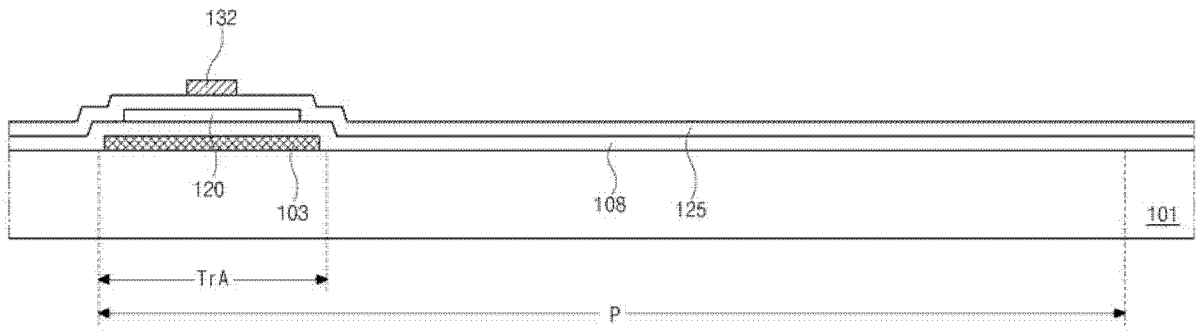


图 4D

掺杂

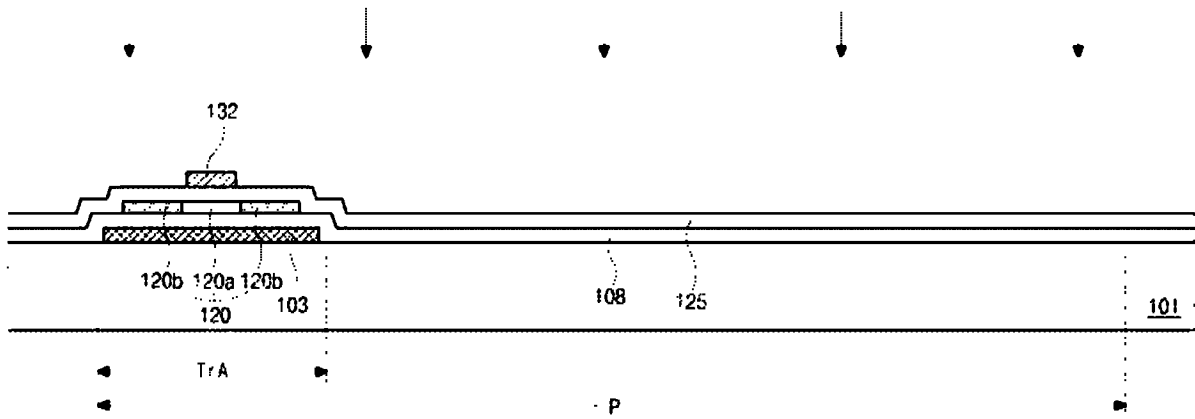


图 4E

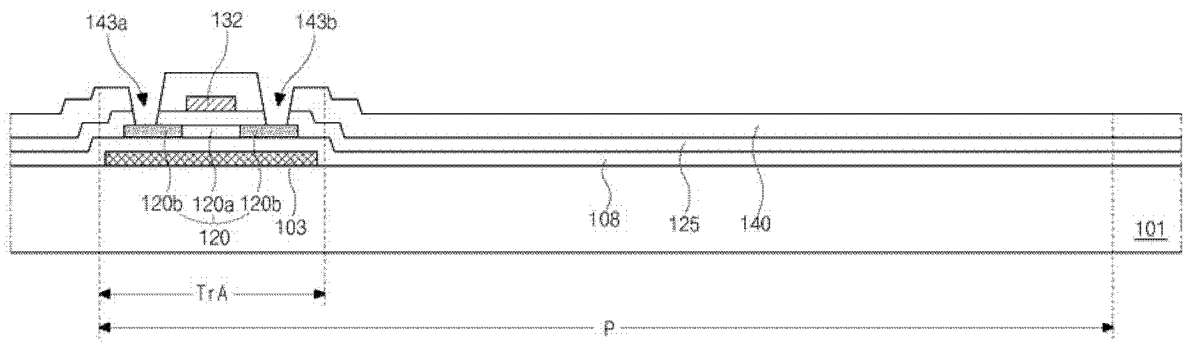


图 4F

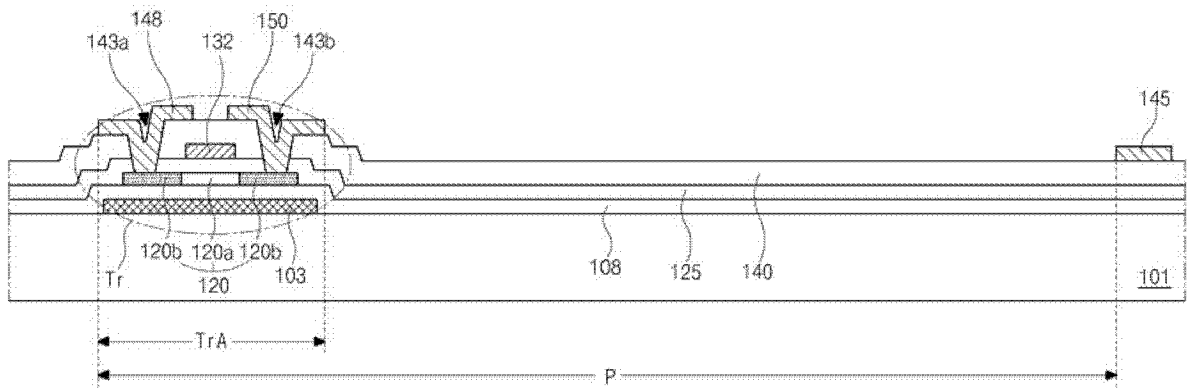


图 4G

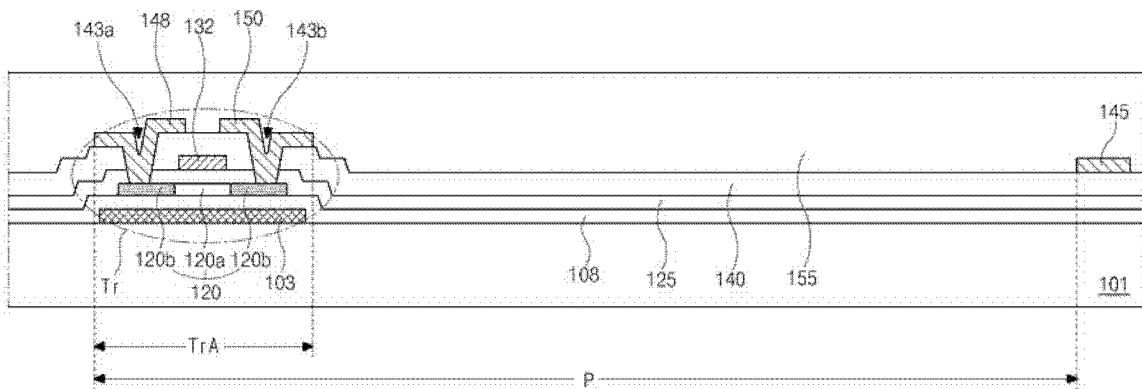


图 4H

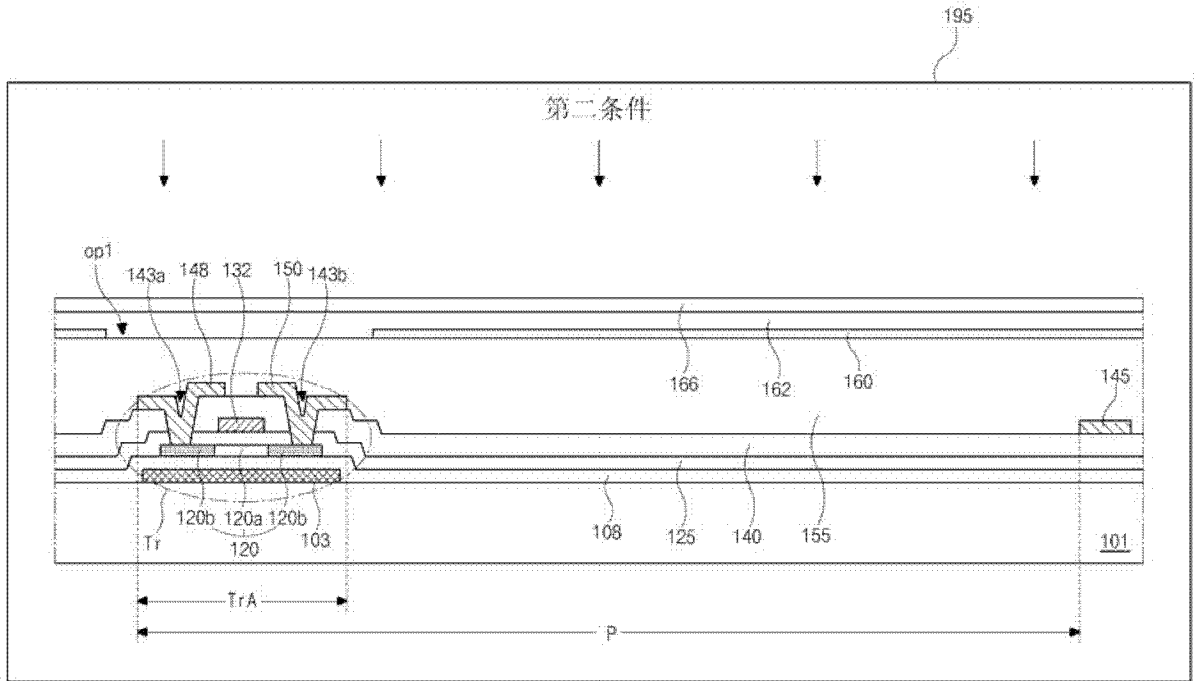


图 4K

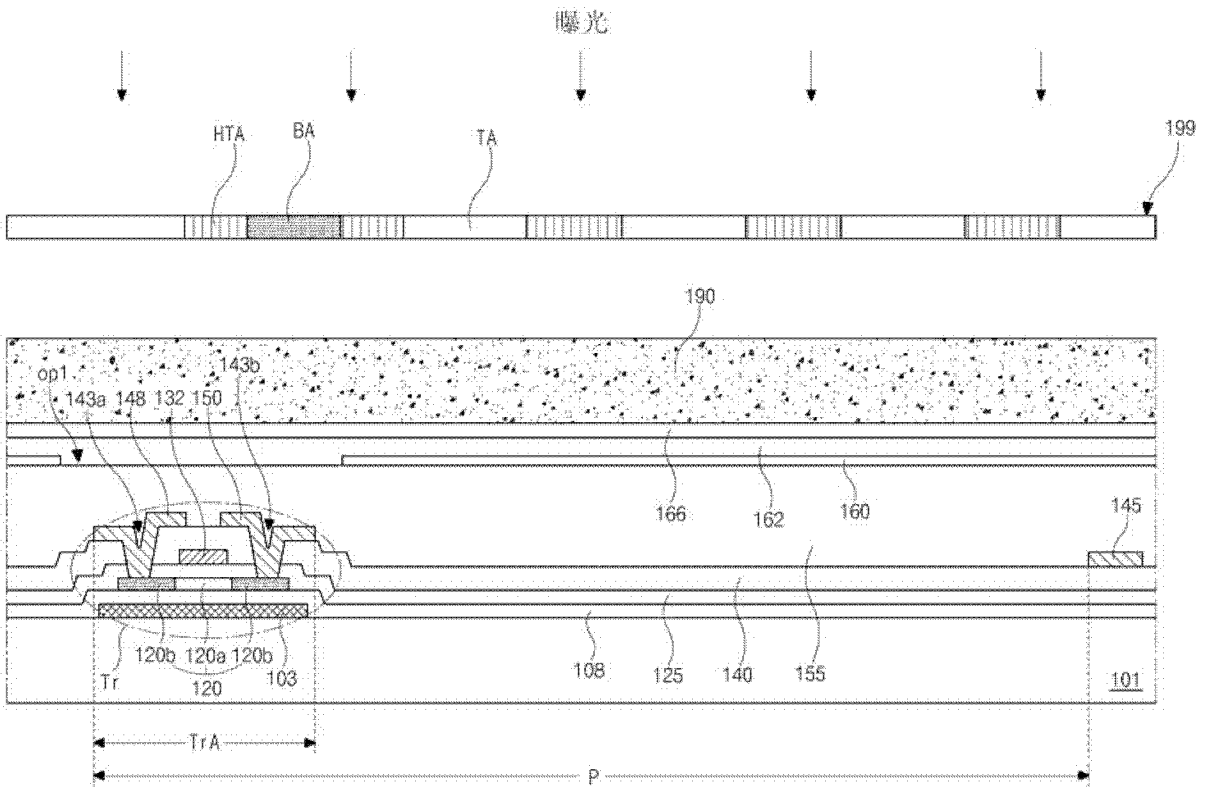


图 4L

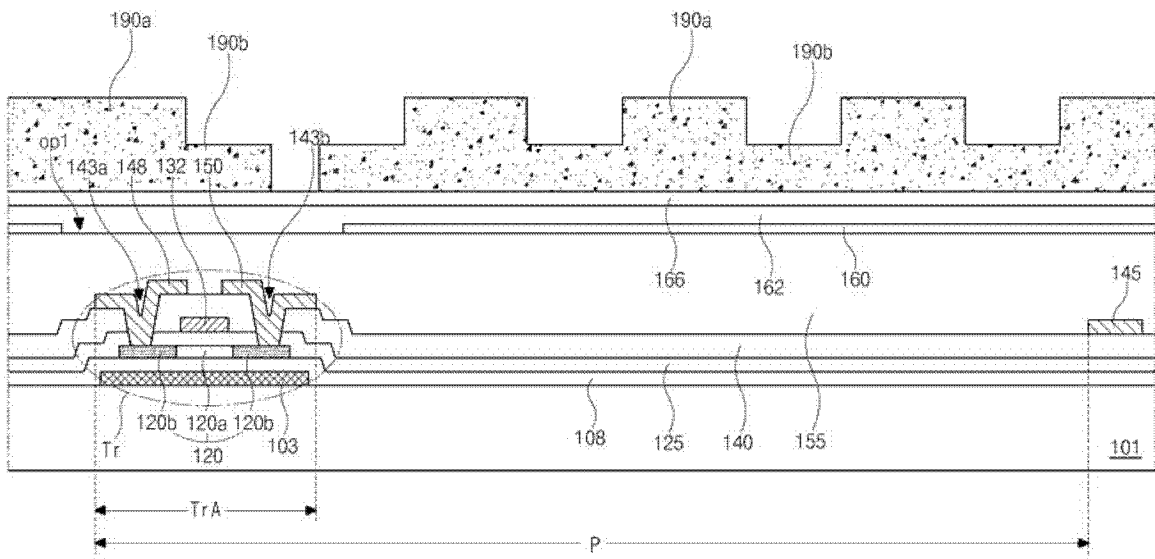


图 4M

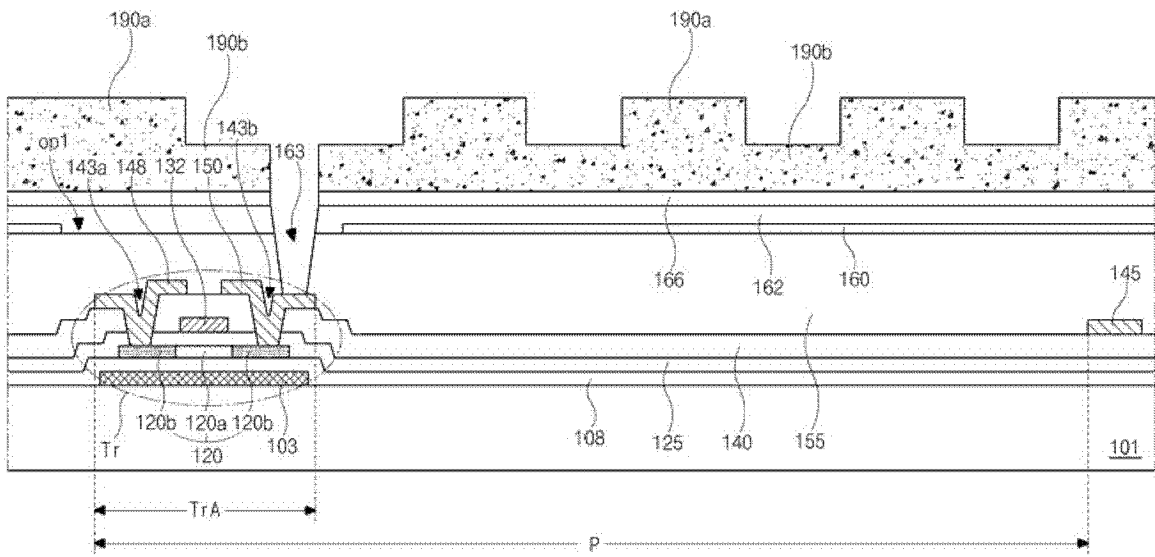


图 4N

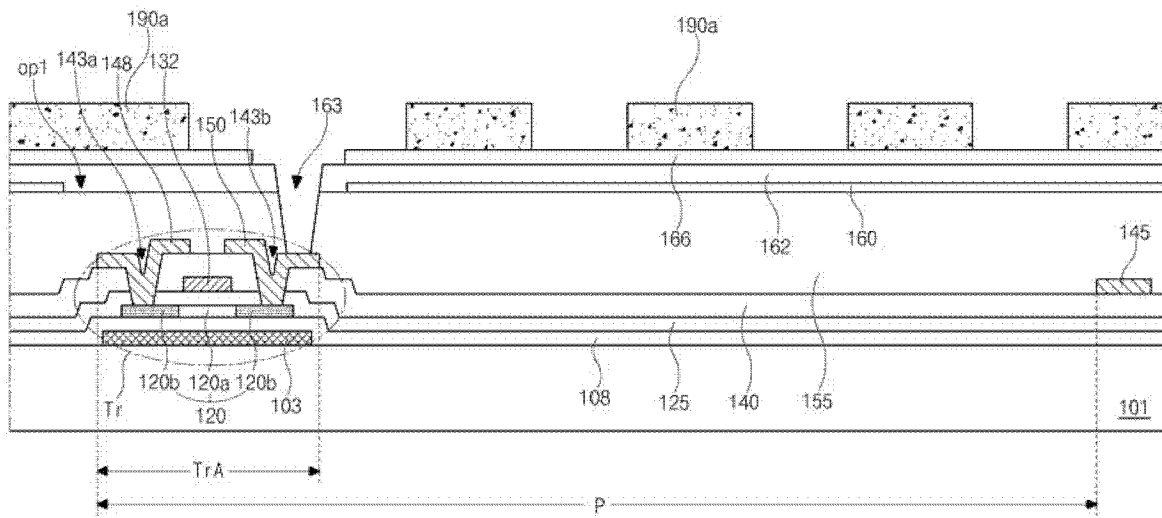


图 40

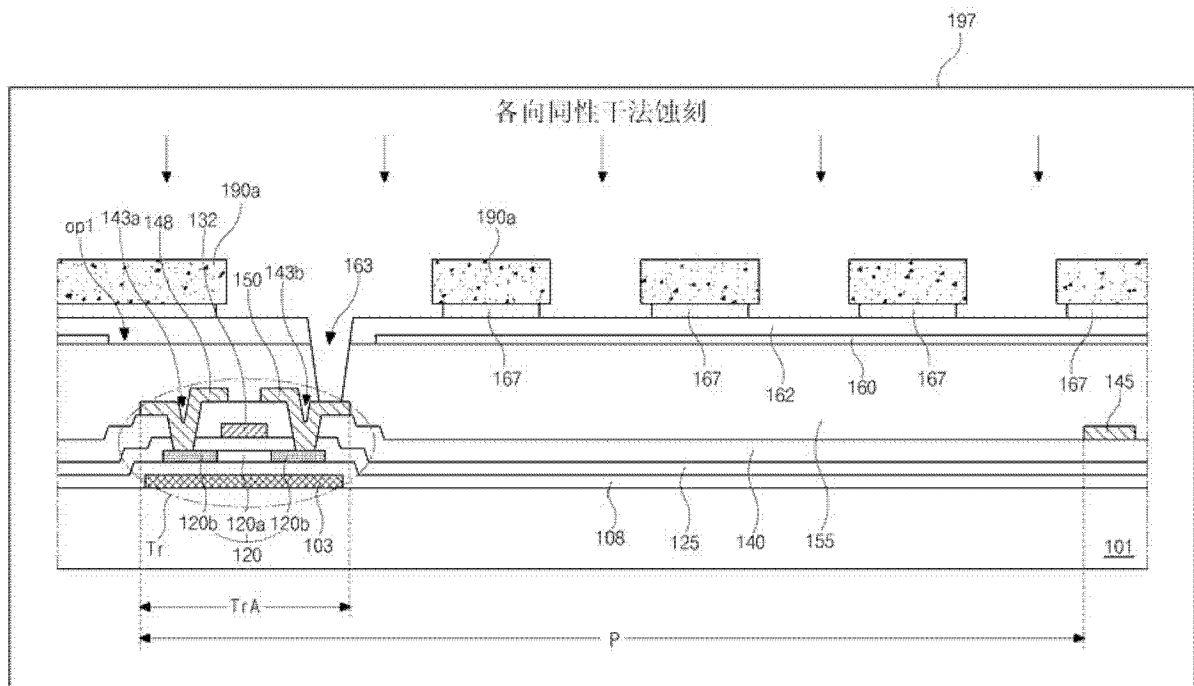


图 4P

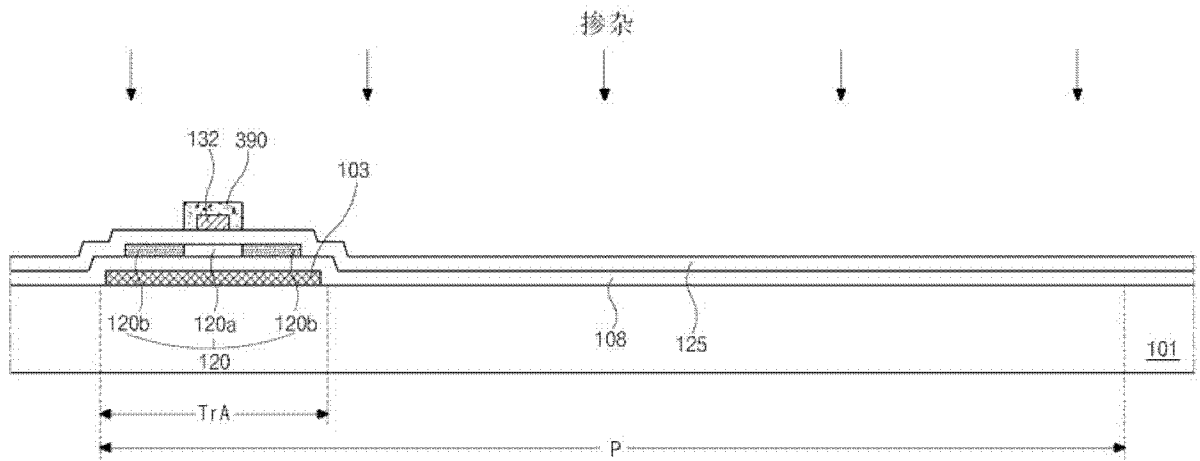


图 5A

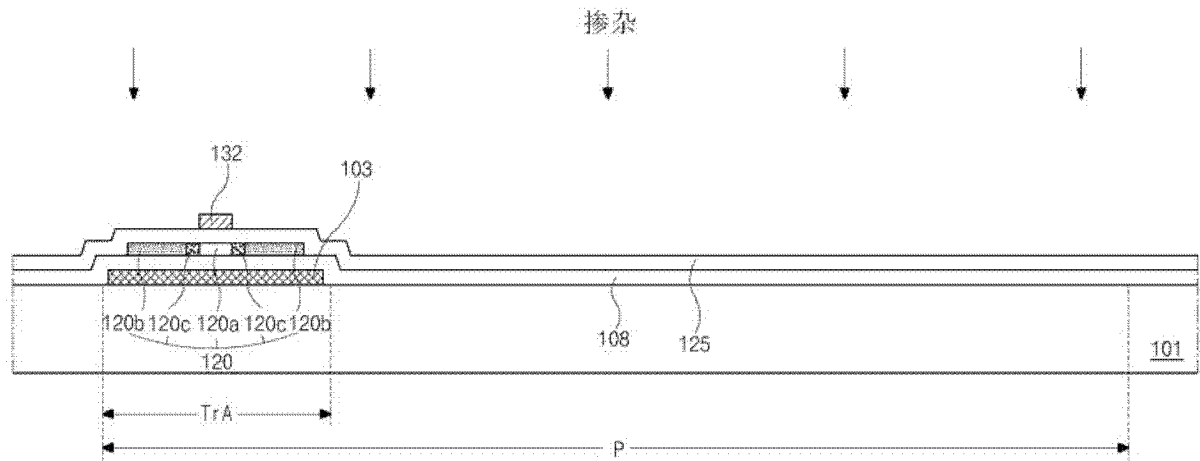


图 5B

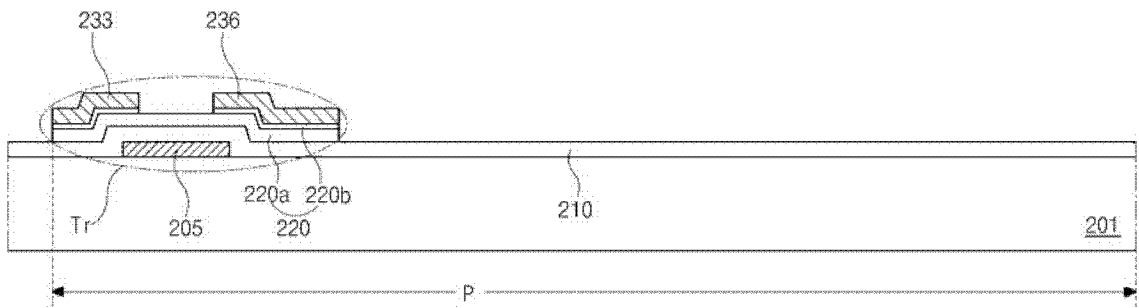


图 6

