



(12) 发明专利

(10) 授权公告号 CN 102645803 B

(45) 授权公告日 2014. 06. 18

(21) 申请号 201110315240. 7

(22) 申请日 2011. 10. 17

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 金熙哲 徐超

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270
代理人 蒋雅洁 王黎延

(56) 对比文件

CN 101021658 A, 2007. 08. 22, 全文.

US 6597420 B2, 2003. 07. 22, 全文.

CN 101349838 B, 2011. 05. 25, 说明书第 1-5 页, 附图 1-10.

US 2008117369 A1, 2008. 05. 22, 全文.

CN 101398582 A, 2009. 04. 01, 全文.

审查员 杨艳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/1335 (2006. 01)

G02F 1/13357 (2006. 01)

G02F 1/1333 (2006. 01)

H01L 27/02 (2006. 01)

H01L 29/786 (2006. 01)

H01L 21/77 (2006. 01)

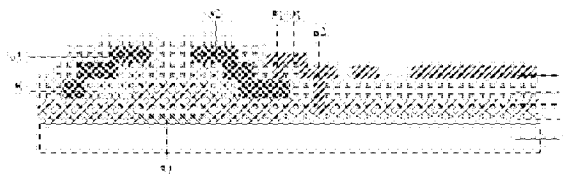
权利要求书4页 说明书12页 附图9页

(54) 发明名称

像素单元, 阵列基板、液晶面板、显示装置及其制造方法

(57) 摘要

本发明公开了一种像素单元, 阵列基板、液晶面板、显示装置及其制造方法, 涉及液晶显示技术领域, 为提高像素开口率、降低功耗、提高显示效果而发明。所述像素单元, 包括薄膜晶体管、像素电极和公共电极, 所述薄膜晶体管包括栅极、设置于所述栅极之上的栅绝缘层、设置于所述栅绝缘层之上有源层、设置于所述有源层之上的源极和漏极、以及设置于所述源极和漏极之上的钝化层; 其中, 所述公共电极直接设置在所述钝化层之上, 所述像素电极设置在所述钝化层之下, 并与所述薄膜晶体管的漏极相连接。所述阵列基板、液晶面板、显示装置及其制造方法, 均可以提高可视角度, 并降低功耗, 提高开口率, 进而提高显示品质。本发明可用于液晶显示。



1. 一种像素单元,包括薄膜晶体管、像素电极和公共电极,所述薄膜晶体管包括栅极、设置于所述栅极之上的栅绝缘层、设置于所述栅绝缘层之上有源层、设置于所述有源层之上的源极和漏极、以及设置于所述源极和漏极之上的钝化层,其特征在于,所述公共电极直接设置在所述钝化层之上;所述像素电极设置在所述钝化层之下,并与所述薄膜晶体管的漏极相连接;

其中,所述像素电极与所述栅极设置在同一层,所述钝化层和所述像素电极之间设置有栅绝缘层,与所述公共电极同层的连接电极通过两个过孔分别连接所述薄膜晶体管的漏极和所述像素电极。

2. 根据权利要求1所述的像素单元,其特征在于,所述公共电极为狭缝状,所述像素电极为板状。

3. 根据权利要求1所述的像素单元,其特征在于,所述与所述公共电极同层的金属与所述公共电极为同一材料。

4. 根据权利要求1~3任一项所述的像素单元,其特征在于,所述像素电极和/或所述公共电极为透明电极。

5. 根据权利要求1~3任一项所述的像素单元,其特征在于,所述公共电极为ITO或IZO的单层膜,或者为ITO和IZO组成的复合膜。

6. 根据权利要求1~3任一项所述的像素单元,其特征在于,所述钝化层为氧化物、氮化物、氮氧化物或有机树脂。

7. 一种阵列基板,包括基板,所述基板上设有栅线,垂直于所述栅线设有数据线,所述栅线和所述数据线之间限定有像素区域,其特征在于,所述像素区域包括权利要求1~6任一项所述的像素单元,其中,所述薄膜晶体管的栅极与所述栅线连接,所述薄膜晶体管的源极与所述数据线连接。

8. 根据权利要求7所述的阵列基板,其特征在于,所述像素单元的上方和下方均设置有栅线,所述像素单元的左侧和右侧均设置有数据线,且每相邻两行的像素单元之间仅设置有一条栅线,每相邻两列像素单元之间设置有一条数据线。

9. 根据权利要求7所述的阵列基板,其特征在于,所述像素单元的上方和下方均设置有栅线,且每相邻两行所述像素单元之间设置有两条栅线;所述像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列所述像素单元。

10. 根据权利要求9所述的阵列基板,其特征在于,所述薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,所述薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,实现Z反转的像素结构。

11. 根据权利要求10所述的阵列基板,其特征在于,所述Z反转的像素结构具体为:

同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;

同行的所述像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;

两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连接在两条栅线上,源极分别连接在所述两条数据线上。

12. 根据权利要求 7~11 任一项所述的阵列基板,其特征在于,所述阵列基板还包括公共电极线,所述公共电极与所述公共电极线在阵列基板的周边通过过孔相连接。

13. 根据权利要求 7~11 任一项所述的阵列基板,其特征在于,所述公共电极延伸至其所在像素单元的上方和/或下方的栅线的上方,与所述栅线形成存储电容。

14. 一种液晶面板,包括彩膜基板和根据权利要求 8~14 任一项所述的阵列基板,所述彩膜基板上包括黑矩阵,其特征在于,在所述彩膜基板上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵;其中,对应所述数据线的位置的黑矩阵的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 6-10 μm 。

15. 根据权利要求 14 所述的液晶面板,其特征在于,对应所述数据线的位置的黑矩阵的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 8 μm 。

16. 一种显示装置,其特征在于,包括权利要求 14 或 15 所述的液晶面板。

17. 根据权利要求 16 所述的显示装置,其特征在于,还包括与所述液晶面板的入光面相对设置的背光源,其中,所述背光源为 LED 背光源。

18. 一种阵列基板的制造方法,其特征在于,包括:

S101、通过第一次构图工艺形成包括像素电极的图形,通过第二次构图工艺形成包括栅线和薄膜晶体管栅极的图形;

或者,通过第一次构图工艺形成包括栅线和薄膜晶体管栅极的图形,通过第二次构图工艺形成包括像素电极的图形;

S102、通过第三次构图工艺形成包括栅绝缘层、有源层、数据线以及薄膜晶体管的源极和漏极的图形;

S103、通过第四次构图工艺形成包括钝化层的图形;其中,通过半色调或灰色调掩模的方式,在像素电极的上方形形成穿透钝化层和栅绝缘层的过孔,在漏极的上方形形成穿透钝化层的过孔;

S104、通过第五次构图工艺形成包括公共电极的图形。

19. 根据权利要求 18 所述的阵列基板的制造方法,其特征在于,所述步骤 S102 包括:

在完成步骤 S101 的基板上依次形成栅绝缘层、有源层和源漏金属薄膜;

在源漏金属薄膜上涂敷一层光刻胶;

采用半色调或灰色调掩模板对光刻胶进行曝光,使光刻胶形成光刻胶完全去除区域、光刻胶完全保留区域和光刻胶半保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极的图形所在区域,光刻胶半保留区域对应于薄膜晶体管的沟道区域,光刻胶完全去除区域对应于上述图形以外区域;显影处理后,光刻胶完全保留区域的光刻胶厚度没有变化,光刻胶完全去除区域的光刻胶被完全去除,光刻胶半保留区域的光刻胶厚度变薄;

通过第一次刻蚀工艺完全刻蚀掉光刻胶完全去除区域的有源层薄膜和源漏金属薄膜;

通过灰化工艺完全去除光刻胶半保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,形成包括像素电

极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形；

剥离剩余的光刻胶。

20. 根据权利要求 19 所述的阵列基板的制造方法,其特征在于,所述有源层薄膜包括半导体薄膜和掺杂半导体薄膜,所述通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,还包括完全刻蚀掉沟道区域的掺杂半导体薄膜和刻蚀掉部分半导体薄膜。

21. 根据权利要求 18 所述的阵列基板的制造方法,其特征在于,所述步骤 S104 包括:在完成步骤 S103 的基板上形成透明导电薄膜;通过普通掩摸的方式,形成公共电极的图形。

22. 根据权利要求 18 所述的阵列基板的制造方法,其特征在于,所述步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行的像素单元之间仅形成有一条栅线。

23. 根据权利要求 22 所述的阵列基板的制造方法,其特征在于,所述步骤 S102 中形成的数据线,具体为:在像素单元的左侧和右侧均形成有数据线,且每相邻两列像素单元之间均形成有一条数据线。

24. 根据权利要求 18 所述的阵列基板的制造方法,其特征在于,所述步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行像素单元之间设置有两条栅线。

25. 根据权利要求 24 所述的阵列基板的制造方法,其特征在于,所述步骤 S102 中形成的数据线,具体为:在像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列像素单元。

26. 根据权利要求 25 所述的阵列基板的制造方法,其特征在于,在步骤 S101 中实现薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,在步骤 S102 中实现薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,以实现 Z 反转的像素结构。

27. 根据权利要求 26 所述的阵列基板的制造方法,其特征在于,所述 Z 反转的像素结构具体为:

同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;

同行的像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;

两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连接在两条栅线上,源极分别连接在所述两条数据线上。

28. 根据权利要求 18 所述的阵列基板的制造方法,其特征在于,在步骤 S101 中形成栅线和栅极的同时还形成公共电极线,在步骤 S104 中使公共电极与所述公共电极线在阵列基板的周边通过过孔相连接。

29. 根据权利要求 18 或 21 所述的阵列基板的制造方法,其特征在于,在步骤 S104 中,形成的公共电极延伸至其所在像素单元的上方和 / 或下方的栅线的上方,与所述栅线形成存储电容。

30. 一种液晶面板的制造方法,其特征在于,包括权利要求 18 ~ 29 任一项所述的阵列

基板的制造方法。

31. 一种液晶面板的制造方法,其特征在于,还包括制造彩膜基板的方法,在所述彩膜基板上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵;其中,对应所述数据线的位置的黑矩阵的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 6-10 μm 。

32. 根据权利要求 31 液晶面板的制造方法,其特征在于,对应所述数据线的位置的黑矩阵的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 8 μm 。

33. 一种显示装置的制造方法,其特征在于,包括权利要求 31 或 32 所述的液晶面板的制造方法。

34. 根据权利要求 33 所述的显示装置的制造方法,其特征在于,还包括在所述液晶面板的入光面相对设置背光源,其中,所述背光源为 LED 背光源。

像素单元、阵列基板、液晶面板、显示装置及其制造方法

技术领域

[0001] 本发明涉及液晶显示技术领域，尤其涉及一种像素单元、阵列基板、液晶面板、显示装置及其制造方法。

背景技术

[0002] 液晶显示器 (Liquid Crystal Display, LCD) 具有体积小、功耗低、无辐射等特点，现已占据了平面显示领域的主导地位。薄膜晶体管液晶显示器 (Thin Film Transistor-Liquid Crystal Display, TFT-LCD) 是目前主流的液晶显示器，其液晶面板包括阵列基板和彩膜基板。其中，阵列基板上设有栅线，垂直于所述栅线设有数据线，所述栅线和所述数据线之间限定有像素区域，所述像素区域内设有薄膜晶体管和像素电极，所述薄膜晶体管的栅极与所述栅线连接、源极与所述数据线连接、漏极与所述像素电极连接。

[0003] 阵列基板是液晶显示的关键部件，而由薄膜晶体管和像素电极等构成的像素单元则是阵列基板的重要组成部分。传统的 TN 模式具有视角相对较小，无法满足高品质显示需求等特点。

[0004] ADSDS (ADvanced Super Dimension Switch)，简称 ADS，即高级超维场转换技术，通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹 (push Mura) 等优点。在 TFT-LCD 近几年的生产过程中，ADS 宽视角技术是一种先进的、可以有效扩大视角的技术方案，已广泛用于各大厂商的生产中。

[0005] 传统的 ADS 的像素单元结构为：包括一个薄膜晶体管和像素电极以及公共电极，其中，像素电极位于公共电极之上；一般情况下，像素电极位于最上层与薄膜晶体管的漏极相连接，公共电极位于最底层，与公共电极线相连。虽然，传统的 ADS 型液晶面板相对于传统的 TN 型，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹 (push Mura) 等优点。但是，传统的 ADS 由于自身的特点，其开口率仍然较小，无法满足高品质显示的需求。

发明内容

[0006] 本发明的实施例对传统的 ADS 进行了改进，提供一种新的 I-ADS 形式的像素单元，阵列基板、液晶面板、显示装置及其制造方法，以提高像素开口率、降低功耗、并提高显示品质。

[0007] 为达到上述目的，本发明的实施例采用如下技术方案：

[0008] 本发明实施例提供一种像素单元，包括薄膜晶体管、像素电极和公共电极，所述薄膜晶体管包括栅极、设置于所述栅极之上的栅绝缘层、设置于所述栅绝缘层之上有源层、设置于所述有源层之上的源极和漏极、以及设置于所述源极和漏极之上的钝化层，其特征在

于,所述公共电极直接设置在所述钝化层之上;所述像素电极设置在所述钝化层之下,并与所述薄膜晶体管的漏极相连接。

[0009] 进一步地,所述像素电极与所述栅极设置在同一层,所述钝化层和所述像素电极之间设置有栅绝缘层,与所述公共电极同层的金属通过两个过孔分别连接所述薄膜晶体管的漏极和所述像素电极。

[0010] 进一步地,所述公共电极为狭缝状,所述像素电极为板状。

[0011] 进一步地,所述与所述公共电极同层的连接电极与所述公共电极为同一材料。

[0012] 进一步地,所述像素电极和/或所述公共电极为透明电极。

[0013] 进一步地,所述公共电极为ITO或IZO的单层膜,或者为ITO和IZO组成的复合膜。

[0014] 进一步地,所述钝化层为氧化物、氮化物、氮氧化物或有机树脂。

[0015] 本发明实施例还提供一种阵列基板,包括基板,所述基板上设有栅线,垂直于所述栅线设有数据线,所述栅线和所述数据线之间限定有像素区域,其特征在于,所述像素区域包括上述的像素单元,其中,所述薄膜晶体管的栅极与所述栅线连接,所述薄膜晶体管的源极与所述数据线连接。

[0016] 进一步地,所述像素单元的上方和下方均设置有栅线,所述像素单元的左侧和右侧均设置有数据线,且每相邻两行的像素单元之间仅设置有一条栅线,每相邻两列像素单元之间设置有一条数据线。

[0017] 进一步地,所述像素单元的上方和下方均设置有栅线,且每相邻两行所述像素单元之间设置有两条栅线;所述像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列所述像素单元。

[0018] 进一步地,所述薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,所述薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,实现Z反转的像素结构。

[0019] 进一步地,所述Z反转的像素结构具体为:

[0020] 同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;

[0021] 同行的所述像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;

[0022] 两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连接在两条栅线上,源极分别连接在所述两条数据线上。

[0023] 进一步地,所述阵列基板还包括公共电极线,所述公共电极与所述公共电极线在阵列基板的周边通过过孔相连接。

[0024] 进一步地,所述公共电极延伸至其所在像素单元的上方和/或下方的栅线的上方,与所述栅线形成存储电容。

[0025] 本发明实施例还提供一种液晶面板,包括彩膜基板和上述的阵列基板,所述彩膜

基板上包括黑矩阵,其特征在于,在所述彩膜基板上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵;其中,对应所述数据线的位置的黑矩阵的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 6-10 μm 。

[0026] 进一步地,对应所述数据线的位置的黑矩阵的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 8 μm 。

[0027] 本发明实施例还提供一种显示装置,包括上述的液晶面板。

[0028] 进一步地,还包括与所述液晶面板的入光面相对设置的背光源,其中,所述背光源为 LED 背光源。

[0029] 本发明实施例提供一种阵列基板的制造方法,其特征在于,包括:

[0030] S101、通过第一次构图工艺形成包括像素电极的图形,通过第二次构图工艺形成包括栅线和薄膜晶体管栅极的图形;

[0031] 或者,通过第一次构图工艺形成包括栅线和薄膜晶体管栅极的图形,通过第二次构图工艺形成包括像素电极的图形,

[0032] S102、通过第三次构图工艺形成包括栅绝缘层、有源层、数据线以及薄膜晶体管的源极和漏极的图形;

[0033] S103、通过第四次构图工艺形成包括钝化层的图形;

[0034] S104、通过第五次构图工艺形成包括公共电极的图形。

[0035] 进一步地,所述步骤 S102 包括:

[0036] 在完成步骤 S101 的基板上依次形成栅绝缘层、有源层和源漏金属薄膜;

[0037] 在源漏金属薄膜上涂敷一层光刻胶;

[0038] 采用半色调或灰色调掩模板对光刻胶进行曝光,使光刻胶形成光刻胶完全去除区域、光刻胶完全保留区域和光刻胶半保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极的图形所在区域,光刻胶半保留区域对应于薄膜晶体管的沟道区域,光刻胶完全去除区域对应于上述图形以外区域;显影处理后,光刻胶完全保留区域的光刻胶厚度没有变化,光刻胶完全去除区域的光刻胶被完全去除,光刻胶半保留区域的光刻胶厚度变薄;

[0039] 通过第一次刻蚀工艺完全刻蚀掉光刻胶完全去除区域的有源层薄膜和源漏金属薄膜;

[0040] 通过灰化工艺完全去除光刻胶半保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

[0041] 通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,形成包括像素电极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形;

[0042] 剥离剩余的光刻胶。

[0043] 进一步地,所述有源层薄膜包括半导体薄膜和掺杂半导体薄膜,所述通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,还包括完全刻蚀掉沟道区域的掺杂半导体薄膜和刻蚀掉部分半导体薄膜。

[0044] 进一步地,所述步骤 S103 包括:

[0045] 在完成步骤 S102 的基板上形成钝化层薄膜;

[0046] 通过半色调或灰色调掩模的方式,在像素电极的上方形成穿透钝化层和栅绝缘层的过孔,在漏极的上方形成穿透钝化层的过孔。

[0047] 进一步地,所述步骤 S104 包括:

[0048] 在完成步骤 S103 的基板上形成透明导电薄膜;

[0049] 通过普通掩模的方式,形成公共电极的图形。

[0050] 进一步地,所述步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行的像素单元之间仅形成有一条栅线。

[0051] 进一步地,所述步骤 S102 中形成的数据线,具体为:在像素单元的左侧和右侧均形成有数据线,且每相邻两列像素单元之间均形成有一条数据线。

[0052] 进一步地,所述步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行像素单元之间设置有两条栅线。

[0053] 进一步地,所述步骤 S102 中形成的数据线,具体为:在像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列像素单元。

[0054] 进一步地,在步骤 S101 中实现薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,在步骤 S102 中实现薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,以实现 Z 反转的像素结构。

[0055] 进一步地,所述 Z 反转的像素结构具体为:

[0056] 同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;

[0057] 同行的像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;

[0058] 两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连接在两条栅线上,源极分别连接在所述两条数据线上。

[0059] 进一步地,在步骤 S101 中形成栅线和栅极的同时还形成公共电极线,在步骤 S104 中使公共电极与所述公共电极线在阵列基板的周边通过过孔相连接。

[0060] 进一步地,在步骤 S104 中,形成的公共电极延伸至其所在像素单元的上方和/或下方的栅线的上方,与所述栅线形成存储电容。

[0061] 本发明实施例还提供一种液晶面板的制造方法,其特征在于,包括上述的阵列基板的制造方法。

[0062] 进一步地,还包括制造彩膜基板的方法,在所述彩膜基板上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵;其中,对应所述数据线的位置的黑矩阵的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 6-10 μm 。

[0063] 进一步地,对应所述数据线的位置的黑矩阵的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵的宽度为 8 μm 。

[0064] 本发明实施例还提供一种显示装置的制造方法,其特征在于,包括上述的液晶面板的制造方法。

[0065] 进一步地,还包括在所述液晶面板的入光面相对设置背光源,其中,所述背光源为 LED 背光源。

[0066] 本发明实施例提供的像素单元结构,相对于普通 TN 模式的像素单元,具有更大的可视角度;相对于普通 ADS,则具有开口率更高、工艺过程更加稳定及可选用 0+4Mask 方式来实现等优点,进一步地,其相对普通 ADS 实现的 Dual-gate 结构,可以使公共电极延伸到栅线上方,屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率。本发明实施例提供的阵列基板及其制造方法,其中,所述 I-ADS 阵列基板,相对传统 TN 模式,具有更大的可视角度,而在 I-ADS 基础上实现 Dual-gate 和 Z 反转 (Z-inversion) 的阵列基板,则有利于降低功耗;进一步地,其相对普通 ADS 实现的 Dual-gate 结构,可以使公共电极延伸到栅线上方,屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率,进而提升了显示品质。本发明实施例提供的液晶面板及其制造方法,显示装置及其制造方法,包括了上述的阵列基板及其制造方法,相应地,均可以在降低功耗的同时,提高开口率,进而提升显示品质。

附图说明

[0067] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0068] 图 1 为本发明实施例阵列基板(像素单元)的平面结构示意图;

[0069] 图 1A 为图 1 中 A1-A1 方向的截面图;

[0070] 图 1B 为图 1 中 B1-B1 方向的截面图;

[0071] 图 2 为本发明阵列基板第一次构图工艺后的平面结构示意图;

[0072] 图 2A 为图 2 中 A2-A2 方向的截面图;

[0073] 图 3 为本发明阵列基板第二次构图工艺后的平面结构示意图;

[0074] 图 3A 为图 3 中 A3-A3 方向的截面图;

[0075] 图 4 为本发明阵列基板第三次构图工艺后的平面结构示意图;

[0076] 图 4A 为图 4 中 A4-A4 方向的截面图;

[0077] 图 5 为本发明阵列基板第四次构图工艺后的平面结构示意图;

[0078] 图 5A 为图 5 中 A5-A5 方向的截面图;

[0079] 图 6 为本发明实施例的阵列基板的一种示意图;

[0080] 图 7 为本发明实施例的液晶面板的示意图;

[0081] 图 8 为本发明实施例的阵列基板的又一种示意图;

[0082] 图 9 为本发明实施例阵列基板制造方法的流程图。

[0083] 附图标记:

[0084] 1-基板;2-像素电极;31-栅极;321-栅线1;322-栅线2;4-栅绝缘层;5-有源层;61-源极;62-漏极;63-数据线;7-钝化层;81-过孔1;82-过孔2;9-公共电极;91-连接电极;10-黑矩阵;11-阵列基板;12-液晶;13-彩色树脂;14-彩膜基板;100-薄膜晶体管。

具体实施方式

[0085] 下面结合附图对本发明实施例像素单元、阵列基板及其制造方法、液晶面板及其制造方法、显示装置及其制造方法进行详细描述。

[0086] 应当明确,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0087] 实施例一

[0088] 本发明实施例提供了一种像素单元,下面参照图 1 和图 1A 来说明本实施例中像素单元的结构。需要明确的是,本实施例中定义的像素单元,并不包括栅线 and 数据线。所述像素单元,在适当地设置栅线 and 数据线之后,可以用于形成普通的阵列基板,或者形成双栅型 (Dual-gate) 的阵列基板。

[0089] 图 1 所示为本发明实施例像素单元的平面结构示意图,其选取了上下相邻的两个像素单元;图 1A 所示为图 1 中 A1-A1 方向的截面图,图 1B 为图 1 中 B1-B1 截面示意图,即图 1A 和图 1B 为一个像素单元的不同切割方向的截面示意图。本实施例中的像素单元,包括薄膜晶体管 100、像素电极 2 和公共电极 9,所述薄膜晶体管 100 包括栅极 31、设置于栅极 31 之上的栅绝缘层 4、设置于栅绝缘层 4 之上有源层 5、设置于所述有源层 5 之上的源极 61 和漏极 62、以及设置于源极 61 和漏极 62 之上的钝化层 7;其中,公共电极 9 直接设置在钝化层 7 之上;像素电极 2 设置在钝化层 7 之下,并与所述薄膜晶体管 100 的漏极 62 相连接。此处,像素电极 2 设置在钝化层 7 之下,包括像素电极 2 直接设置在钝化层 7 之下,也包括像素电极 2 设置在钝化层 7 之下,同时钝化层 7 和像素电极 2 之间还存在其他膜层,比如栅绝缘层 4。当像素电极 2 直接设置在钝化层 7 之下时,其可以直接搭接在漏极的下面,或者通过其他方式与漏极连接。本实施例所述的像素单元,与传统的 ADS 的区别在于,像素电极和公共电极的上下位置关系发生了互换,因此,可称为 I-ADS 型的像素单元(其中, I 代表 Inverse,即相反的)。

[0090] 优选地,在本实施例中,像素电极 2 与栅极 3 设置在同一层,钝化层 7 和像素电极 2 之间设置有栅绝缘层 4,与公共电极 9 同层的连接电极 91 通过过孔 81 和过孔 82 分别连接薄膜晶体管 100 的漏极 62 和像素电极 2。本实施例中,像素电极 2 与栅极 3 设置在同一层,是指像素电极 2 与栅线 3 的位置关系,并非限定两者由同层的同一种材料形成,即二者可以为相同材料,也可以为不同材料。

[0091] 在本实施例中,可以是公共电极 9 为板状、像素电极 2 为狭缝状,可以是公共电极 9 为狭缝状、像素电极 2 为板状,也可以是公共电极 9 和像素电极 2 均为狭缝状。优选地,公共电极 9 为狭缝状,像素电极 2 为板状。这一形状的像素电极 2 和公共电极 9 在本实施例的像素单元的结构中更容易实现。

[0092] 进一步地,与所述公共电极 9 同层的连接电极 91 与公共电极 9 为同一材料;优选地,连接电极 91 与公共电极 9 为在同一层并且同时形成。

[0093] 优选地,像素电极 2 和 / 或公共电极 9 为透明电极。

[0094] 在本实施例中,公共电极 9 可以为 ITO 或 IZO 的单层膜,或者为 ITO 和 IZO 组成的复合膜。

[0095] 在本实施例中,钝化层 7 可以为氧化物、氮化物、氮氧化物或有机树脂。优选地,在本实施例中,钝化层 7 采用有机树脂材料,有机树脂本身的良好透明度和绝缘特性,将使最终的显示器件具有更好的开口率及更好的显示效果。

[0096] 本发明实施例提供的像素单元,公共电极 9 直接设置在钝化层 7 之上,像素电极 2 设置在钝化层 7 之下并与所述薄膜晶体管的漏极 62 相连接,相对于普通 TN 模式的像素单元具有更大的可视角度;相对于普通 ADS,则具有开口率更高、工艺过程更加稳定及可选用 0+4Mask 方式来实现等优点,进一步地,其相对普通 ADS 实现的 Dual-gate 结构,可以使公共电极延伸到栅线上方,屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率,进而提高显示品质。

[0097] 实施例二

[0098] 本实施例提供一种阵列基板,包括基板,所述基板上设有栅线,垂直于所述栅线设有数据线,所述栅线和所述数据线之间限定有像素区域,所述像素区域包括上述实施例一中所述的像素单元(可参见图 1),其中,所述薄膜晶体管的栅极与所述栅线连接,所述薄膜晶体管的源极与所述数据线连接。需要指出的是,包括了上述像素单元的阵列基板,可以称为 I-ADS 型阵列基板;其与传统的 ADS 型阵列基板相比,像素电极 2 和公共电极 9 的上下位置关系发生了变化。

[0099] 作为本实施例的一种阵列基板,可以为如下阵列基板:在阵列基板上,每行的多个像素单元的上方和下方均设置有栅线,每个像素单元的左侧和右侧均设置有数据线,且每相邻两行的像素单元之间仅设置有一条栅线,每相邻两列像素单元之间设置有一条数据线。此为常规的 IADS 型阵列基板,与现有技术中普通的阵列基板相比,其不同之处在于,其像素单元为 I-ADS 型的像素单元。

[0100] 作为本实施例的另一种阵列基板,该阵列基板,可以具体为:在阵列基板上,每行的多个像素单元的上方和下方均设置有栅线,且每相邻两行所述像素单元之间设置有两条栅线 321 和 322,如图 1 所示(其中,图 1 只示出了阵列基板上的上下相邻的两个像素单元);在每列像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列所述像素单元。此为在 IADS 基础上实现 Dual-gate 结构的阵列基板。关于实现 Dual-gate 后整个基板的像素排布情况,可参见图 8 所示的示意图;需要指出的是,图 8 仅为示意,并未画出每个像素单元的具体像素结构。

[0101] 进一步地,所述薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,所述薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,实现 Z 反转(Z-inversion)的像素结构。

[0102] 具体地,本实施例中实现 Z 反转的像素结构可以如图 8 所示,通过下面的形式实现,即:在阵列基板中,同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;并且,同行的所述像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;并且,两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连接在两条栅线上,源极分别连接在所述两条数据线上。

[0103] 在本实施例中,Dual Gate 设计在图 1 中可很好地看出,标号 321 为栅线 1,322 为栅线 2,形成了双栅结构。在本实施例中采用 Dual Gate 核 Z-Inversion 设计的阵列基板,可以参考图 8 来理解:Z-Inversion 可以通过控制同一根数据线控制其左右两边的像素,来达到降低功耗及提高显示效果的目的。结合 Dual Gate 设计后,每一根数据线,可影响到其左右各两列的像素。由于采用了这种结构,可以使得在成盒时彩膜基板上的黑矩阵 (Black Matrix, BM) 的面积大大减少 (因为减少了数据线的数量),使得开口率大大增加。

[0104] 上述两种阵列基板,还都可以包括公共电极线 (图中未示出),所述公共电极 9 与所述公共电极线在阵列基板的周边通过过孔相连接。

[0105] 进一步地,在本实施例提供的两种阵列基板中,公共电极 9 可以延伸至其所在像素单元的上方和 / 或下方的栅线的上方,此种设计可以屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率;具体结构可参见图 1 或者图 1B。图 1 只示出了阵列基板上的上下相邻的两个像素单元,如图 1 所示,下方的像素单元的公共电极 9 延伸到了栅线 321 的上方,上方的像素单元的公共电极 9 延伸到了栅线 322 的上方;图 1B 为图 1 中 B1-B1 截面示意图,也示出了上方的像素单元的公共电极 9 延伸到了栅线 322 的上方。由于公共电极延伸到了栅线的上方,可以屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,从而提高开口率。

[0106] 实施例三

[0107] 本实施例提供一种阵列基板的制造方法,如图 9 所示,包括如下步骤:

[0108] S101、通过第一次构图工艺形成包括像素电极的图形,通过第二次构图工艺形成包括栅线和薄膜晶体管栅极的图形;

[0109] 或者,通过第一次构图工艺形成包括栅线和薄膜晶体管栅极的图形,通过第二次构图工艺形成包括像素电极的图形。

[0110] S102、通过第三次构图工艺形成包括栅绝缘层、有源层、数据线以及薄膜晶体管的源极和漏极的图形。

[0111] S103、通过第四次构图工艺形成包括钝化层的图形。

[0112] S104、通过第五次构图工艺形成包括公共电极的图形。

[0113] 下面,结合图 2- 图 5 具体介绍本实施例的阵列基板制造方法。

[0114] S101、通过第一次构图工艺形成包括像素电极的图形,通过第二次构图工艺形成包括栅线和薄膜晶体管栅极的图形;

[0115] 或者,通过第一次构图工艺形成包括栅线和薄膜晶体管栅极的图形,通过第二次构图工艺形成包括像素电极的图形。

[0116] 其中,上述两种方式是可以选择的,本实施例以通过第一次构图工艺形成包括像素电极的图形,通过第二次构图工艺形成包括栅线和薄膜晶体管栅极的图形为例,进行阐述。

[0117] 如图 2 所示为本发明实施例阵列基板第一次构图工艺后的平面示意图,图 2A 为图 2 中 A2-A2 方向的截面图。通过溅射或者热蒸发的方法在空白玻璃基板上沉积像素电极层,所述像素电极层可以为透明导电薄膜,透明导电薄膜可以为氧化铟锡 (Indium Tin Oxide, 简称 ITO) 或氧化铟锌 (IZO)。其形成的形状请参考图 2,采用普通掩模板,通过第一次构图形成包括像素电极 2 的图案。

[0118] 如图3所示为本发明实施例阵列基板第二次构图工艺后的平面示意图,图3A为图3中A3-A3'方向的截面图。采用溅射或热蒸发的方法在基板1(如玻璃基板或石英基板)上沉积一层栅金属薄膜。栅金属薄膜可以使用Cr、W、Ti、Ta、Mo、Al、Cu等金属及其合金,栅金属薄膜也可以由多层金属薄膜组成。然后采用普通掩模板,通过第二次构图工艺对栅金属薄膜进行刻蚀,在基板1上形成栅线321和栅线322和薄膜晶体管的栅极31的图形,其中薄膜晶体管的栅极31直接和栅线321或322连接。

[0119] 其中,本步骤描述的是实现Dual-gate设计时的工艺方法。本领域的技术人员可以理解,当拟制造的为普通的非Dual-gate设计的阵列基板时,只需形成单栅线的结构。

[0120] S102、通过第三次构图工艺形成包括栅绝缘层、有源层、数据线以及薄膜晶体管的源极和漏极的图形。

[0121] 第三次构图工艺可以是一个多次刻蚀的工艺,其中可以使用半色调或灰色调掩模板。具体地,步骤S102可以包括:

[0122] 在完成步骤S101的基板上依次形成栅绝缘层4、有源层和源漏金属薄膜;

[0123] 在源漏金属薄膜上涂敷一层光刻胶;

[0124] 采用半色调或灰色调掩模板对光刻胶进行曝光,使光刻胶形成光刻胶完全去除区域、光刻胶完全保留区域和光刻胶半保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极的图形所在区域,光刻胶半保留区域对应于薄膜晶体管的沟道区域,光刻胶完全去除区域对应于上述图形以外区域;显影处理后,光刻胶完全保留区域的光刻胶厚度没有变化,光刻胶完全去除区域的光刻胶被完全去除,光刻胶半保留区域的光刻胶厚度变薄;

[0125] 通过第一次刻蚀工艺完全刻蚀掉光刻胶完全去除区域的有源层薄膜和源漏金属薄膜;

[0126] 通过灰化工艺完全去除光刻胶半保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

[0127] 通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,形成包括源电极61、漏电极62、数据线63和薄膜晶体管沟道区域的图形;

[0128] 剥离剩余的光刻胶。

[0129] 如图4所示为本发明实施例阵列基板第三次构图工艺后的平面示意图,图4A为图4中A4-A4'方向的截面图。

[0130] 在本实施例中,有源层薄膜可以是氧化物半导体薄膜,可以是有机半导体薄膜,也可以是包括半导体薄膜和掺杂半导体薄膜。当有源层薄膜包括半导体薄膜和掺杂半导体薄膜时,所述通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的源漏金属薄膜,还包括完全刻蚀掉沟道区域的掺杂半导体薄膜和刻蚀掉部分半导体薄膜。

[0131] S103、通过第四次构图工艺形成包括钝化层的图形。

[0132] 如图5所示为本发明实施例阵列基板第四次构图工艺后的平面示意图,图5A为图5中A5-A5'方向的截面图。具体地,所述步骤S103包括:

[0133] 在完成步骤S102的基板上形成钝化层薄膜;

[0134] 通过半色调或灰色调掩模的方式,在像素电极的上方形成穿透钝化层和栅绝缘层的过孔,在漏极的上方形成穿透钝化层的过孔。

[0135] 进一步地,本实施例中,可以在阵列基板上通过等离子体增强化学气相沉积方法沉积钝化层薄膜,钝化层薄膜可以采用氧化物、氮化物或者氮氧化合物,对应的反应气体可以为 SiH_4 、 NH_3 、 N_2 的混合气体或 SiH_2Cl_2 、 NH_3 、 N_2 的混合气体。然后采用半色调或灰色调掩模板,通过第三次构图工艺,在像素电极的上方形成穿透钝化层和栅绝缘层的过孔 82,在漏极的上方形成穿透钝化层的过孔 81,如图 5A 所示。

[0136] S104、通过第五次构图工艺形成包括公共电极的图形。具体地,所述步骤 S104 包括:

[0137] 在完成步骤 S103 的基板上形成透明导电薄膜;

[0138] 通过普通掩摸的方式,形成公共电极的图形。

[0139] 如图 1 所示为本发明阵列基板第五次构图工艺后的平面示意图,图 1A 为图 5 中 A1-A1 方向的截面图,图 1B 为图 1 中 B1-B1 方向的截面图。在形成过孔 81 和 82 之后的基板上,通过溅射或者热蒸发的方法沉积透明导电薄膜,此时,导电薄膜填充到过孔 81 和过孔 82 中,实现了像素电极 2 与薄膜晶体管的漏极 62 的连接,通过过孔 81 和 82 连接像素电极 2 和漏极 62 的该部分导电薄膜可以称为连接电极 91。采用普通掩模板,通过第五次构图形成公共电极 9 和连接电极 91 的图形。本实施例中,透明导电薄膜可以为氧化铟锡 (Indium Tin Oxide, 简称 ITO) 或氧化铟锌 (IZO),也可以为 ITO 和 IZO 的复合膜。本领域的技术人员可以理解,连接电极 91 和公共电极 9 可以如上所述在同一次构图工艺中,通过相同的材料形成;也可以采用相同或不同材料,在不同的构图工艺中实现。

[0140] 以上,仅为本实施例的一种典型的实现方法,本领域的技术人员,还可以在其基础上,结合公知常识和现有技术,进行变形和改变,或者根据需要进行具体的像素结构设计。

[0141] 进一步地,在本实施例中,在步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行的像素单元之间仅形成有一条栅线。

[0142] 进一步地,在步骤 S102 中形成的数据线,具体为:在像素单元的左侧和右侧均形成有数据线,且每相邻两列像素单元之间均形成有一条数据线。

[0143] 进一步地,在步骤 S101 中形成的栅线,具体为:在像素单元的上方和下方均形成有栅线,且每相邻两行像素单元之间设置有两条栅线。

[0144] 进一步地,所述步骤 S102 中形成的数据线,具体为:在像素单元的左侧或右侧设置有数据线,且每相邻两条数据线之间包括两列像素单元。

[0145] 更进一步地,在步骤 S101 中实现薄膜晶体管的栅极与其所在的像素单元上方或下方的栅线连接,在步骤 S102 中实现薄膜晶体管的源极与其所在的像素单元左侧或右侧的数据线连接,以实现 Z 反转的像素结构。

[0146] 具体地,在本实施中形成 Z 反转的像素结构,可以具体为:

[0147] 同列的奇数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中的一条数据线上,偶数个像素单元中的薄膜晶体管的源极连接在该列两侧的数据线中另一条数据线上,且相邻两列中处于同一行的像素单元中的薄膜晶体管的源极连接不同的两条数据线;

[0148] 同行的像素单元两两一组通过其包括的薄膜晶体管的栅极交替地分别连接在位于该行像素单元上方和下方的两条栅线上,且每条所述栅线连接的像素单元位于同一行;

[0149] 两条相邻数据线之间的、两个同行且相邻的像素单元的薄膜晶体管的栅极分别连

接在两条栅线上,源极分别连接在所述两条数据线上。

[0150] 本领域的技术人员可以理解,在步骤 S101 中,形成栅线和栅极的同时还可以形成公共电极线,然后在步骤 S104 中使公共电极与所述公共电极线在阵列基板的周边通过过孔相连接。

[0151] 进一步地,在步骤 S104 中,可以使形成的公共电极延伸至其所在像素单元的上方和/或下方的栅线的上方,与所述栅线形成存储电容。形成的具体结构可参见图 1 或者图 1B。图 1 只示出了阵列基板上的上下相邻的两个像素单元,如图 1 所示,下方的像素单元的公共电极 9 延伸到了栅线 321 的上方,上方的像素单元的公共电极 9 延伸到了栅线 322 的上方;图 1B 为图 1 中 B1-B1 截面示意图,也示出了上方的像素单元的公共电极 9 延伸到了栅线 322 的上方。由于公共电极延伸到了栅线的上方,这种 overlap 结构可以屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率。

[0152] 实施例四

[0153] 本实施例提供一种液晶面板,如图 7 所示,包括阵列基板 11、彩膜基板 14 以及填充在二者之间的液晶 12;其中,所使用的阵列基板为上述实施例所提供的阵列基板。彩膜基板 14 上包括黑矩阵 10 和彩色树脂 13,在所述彩膜基板 14 上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵,具体为黑矩阵 101、黑矩阵 102 和黑矩阵 103,如图 6 所示。其中,对应所述数据线的位置的黑矩阵 102 的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵 103 的宽度为 6-10 μm 。

[0154] 优选地,对应所述数据线的位置的黑矩阵 102 的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵 103 的宽度为 8 μm 。此时,可以在保证显示效果(如避免漏光以及保证显示均匀性等)的同时,最大限度地提高开口率。

[0155] 关于黑矩阵 101 的宽度,在此不做限定,任何可以实现其作用的宽度均可。当使公共电极延伸到栅线上方时,该 overlap 结构可以屏蔽栅线上的信号对像素电极的影响,因而可以减小栅线上方黑矩阵 101 的宽度,进一步提高开口率。

[0156] 实施例五

[0157] 本实施例提供一种液晶面板的制造方法,其特征在于,包括上述实施例所述的阵列基板的制造方法。所制造的液晶面板如图 6 和图 7 所示。

[0158] 进一步地,所述液晶面板的制造方法,还包括制造彩膜基板的方法,在所述彩膜基板上,对应所述栅线的位置、对应所述数据线的位置以及对应相邻两条数据线之间的两列像素单元交界的位置,均设置有黑矩阵 10;其中,对应所述数据线的位置的黑矩阵 102 的宽度为 17-23 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵 103 的宽度为 6-10 μm 。

[0159] 优选地,对应所述数据线的位置的黑矩阵 102 的宽度为 20 μm ,对应相邻两条数据线之间的两列像素单元交界的位置的黑矩阵 103 的宽度为 8 μm 。此时,可以在保证显示效果(如避免漏光以及保证显示均匀性等)的同时,最大限度地提高开口率。

[0160] 关于黑矩阵 101 的宽度,在此不做限定,任何可以实现其作用的宽度均可。当使公共电极延伸到栅线上方时,该 overlap 结构可以屏蔽栅线上的信号对像素电极的影响,因而可以减小栅线上方黑矩阵 101 的宽度,进一步提高开口率。

[0161] 实施例六

[0162] 本实施提供一种显示装置,使用了上述实施例所述的液晶面板。所述显示装置,可以为手机、平板电脑、监视器、电视机、笔记本电脑、上网本等。

[0163] 在所述显示装置中,还包括与所述液晶面板的入光面相对设置的背光源,其中,所述背光源可以为 CCFL 背光源或者 LED 背光源,优选为 LED 背光源。LED 背光可以具有更低的功耗和更好的图像色彩显示效果。

[0164] 实施例七

[0165] 本发明实施例提供一种显示器件的制造方法,包括上述实施例所述的液晶面板的制造方法。所述显示装置,可以为手机、平板电脑、监视器、电视机、笔记本电脑、上网本等。

[0166] 在本实施例的显示装置的制造方法中,还包括在所述液晶面板的入光面相对设置背光源,所述背光源可以为 CCFL 背光源或者 LED 背光源,优选为 LED 背光源。LED 背光可以具有更低的功耗和更好的图像色彩显示效果。

[0167] 本发明实施例提供的像素单元结构,相对于普通 TN 模式的像素单元,具有更大的可视角度;相对于普通 ADS,则具有开口率更高、工艺过程更加稳定及可选用 0+4Mask 方式来实现等优点,进一步地,其相对普通 ADS 实现的 Dual-gate 结构,可以使公共电极延伸到栅线上方,屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率。本发明实施例提供的阵列基板及其制造方法,其中,所述 I-ADS 阵列基板,相对传统 TN 模式,具有更大的可视角度,而在 I-ADS 基础上实现 Dual-gate 和 Z 反转 (Z-inversion) 的阵列基板,则有利于降低功耗;进一步地,其相对普通 ADS 实现的 Dual-gate 结构,可以使公共电极延伸到栅线上方,屏蔽栅线上的信号对像素电极的影响,进而减小栅线上方黑矩阵的宽度,提高开口率,进而提升了显示品质。本发明实施例提供的液晶面板及其制造方法,显示装置及其制造方法,包括了上述的阵列基板及其制造方法,相应地,均可以在降低功耗的同时,提高开口率,进而提升显示品质。

[0168] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

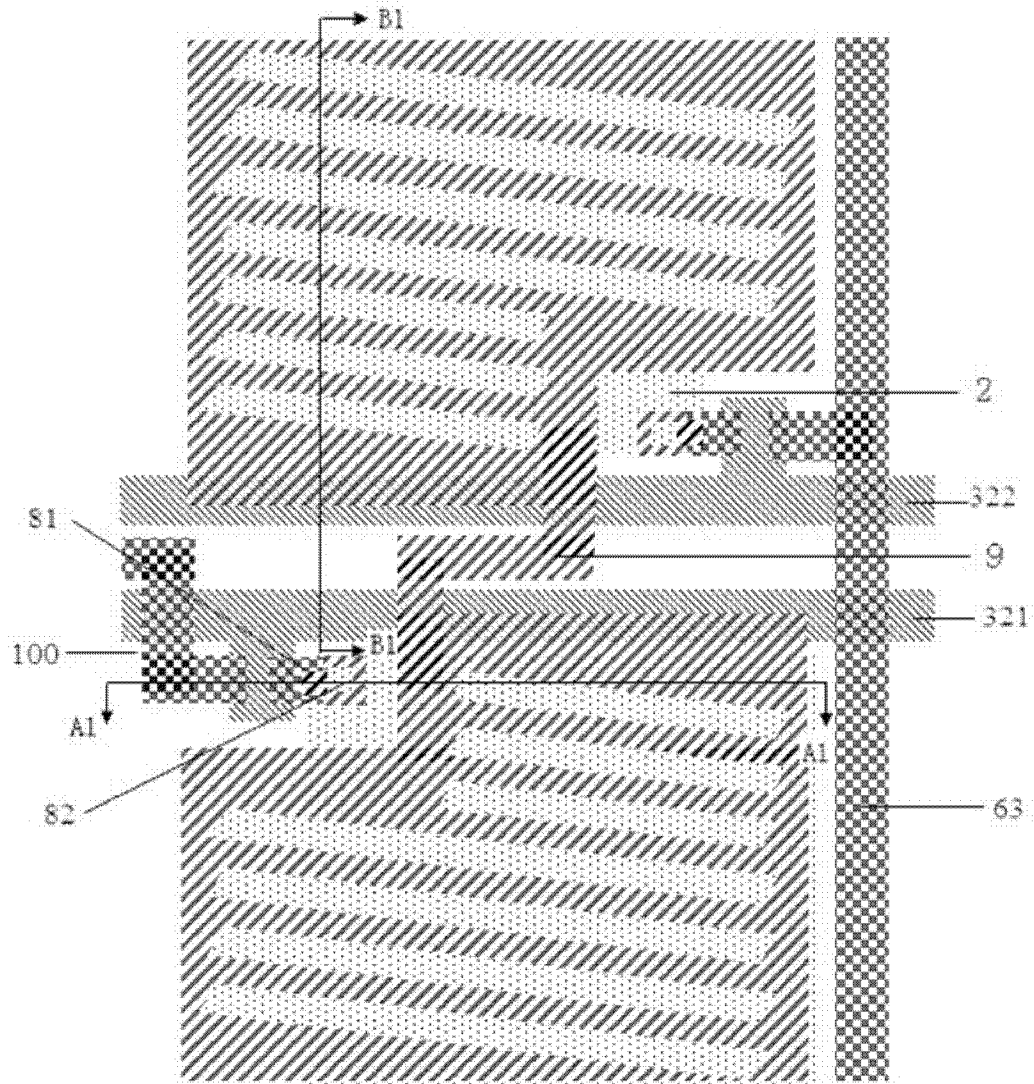


图 1

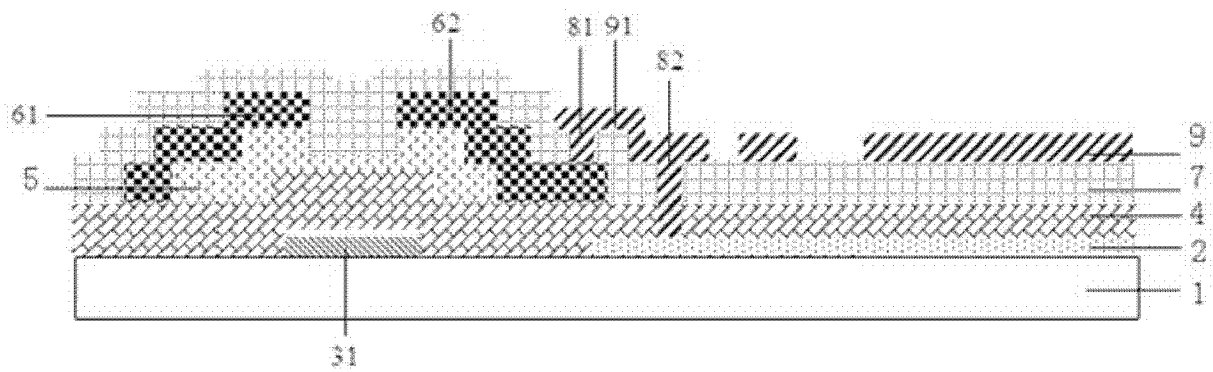


图 1A

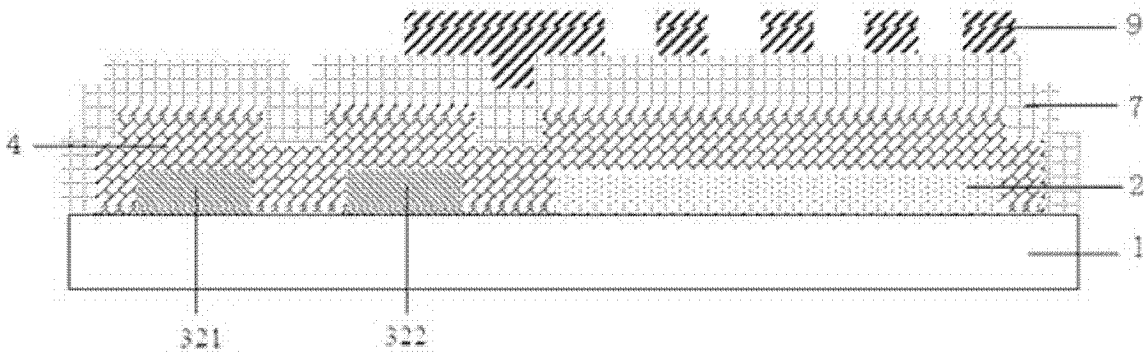


图 1B

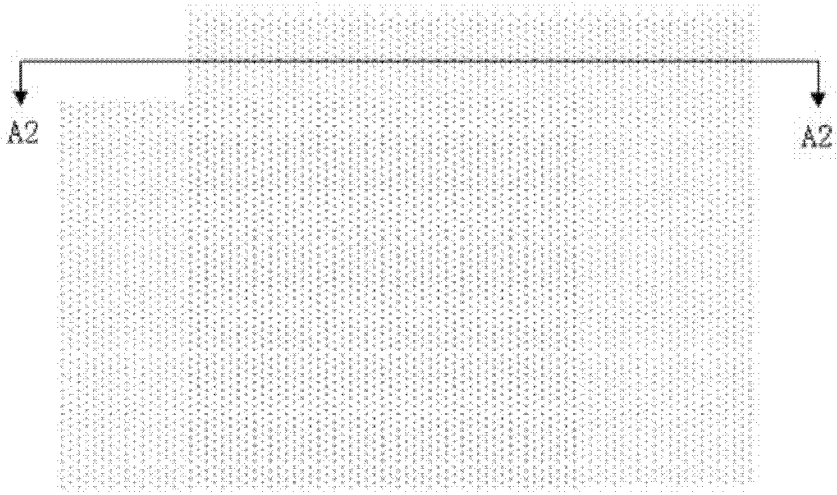
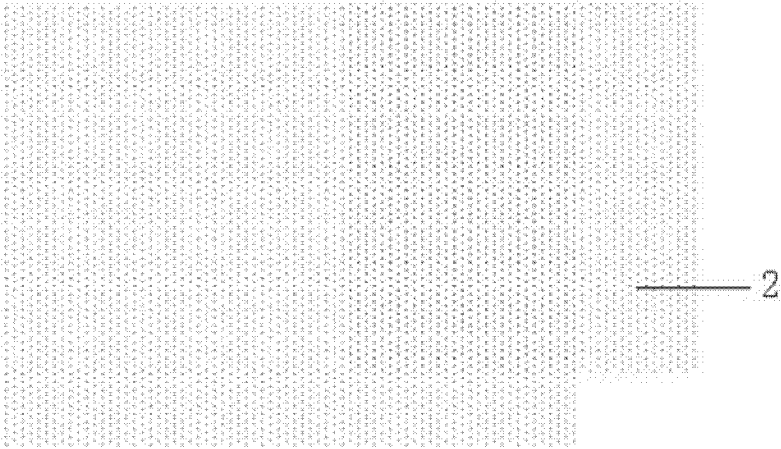


图 2



图 2A

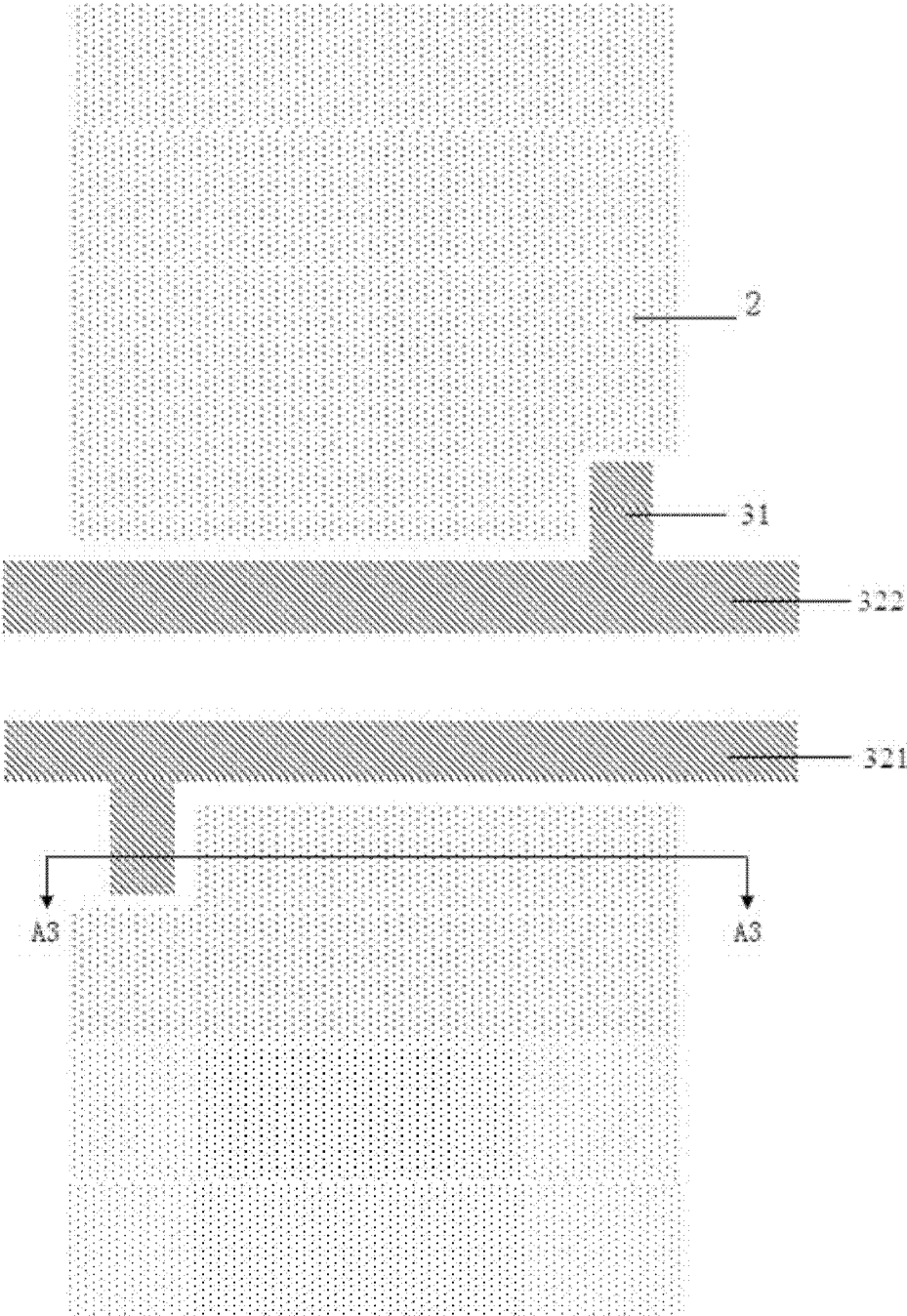


图 3

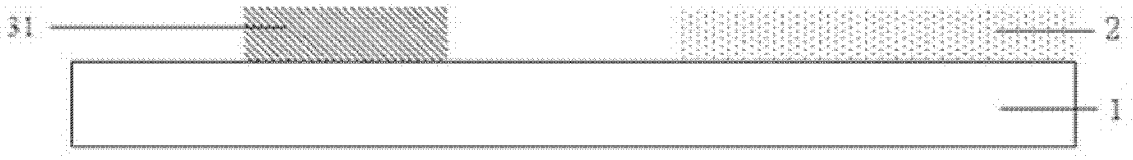


图 3A

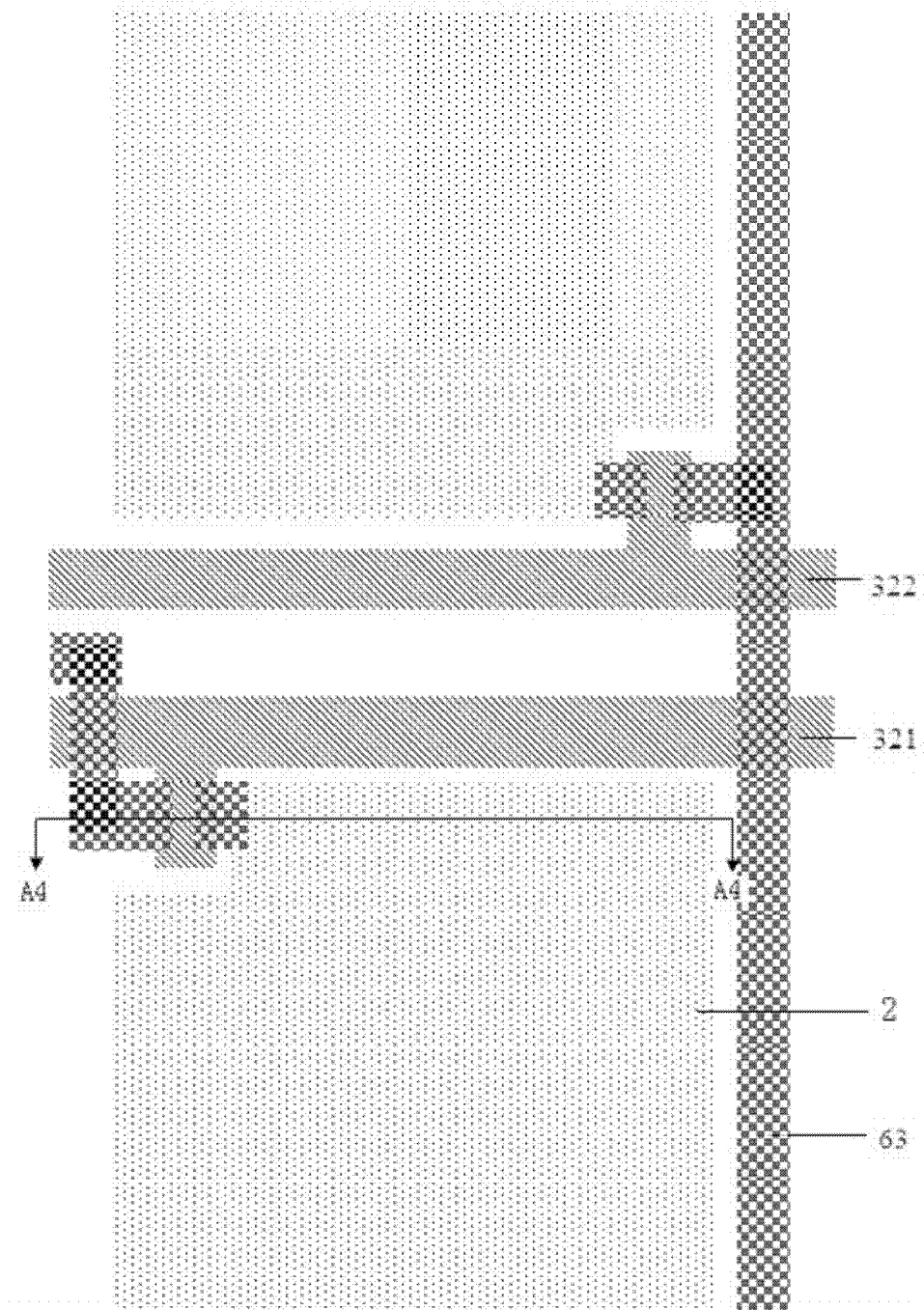


图 4

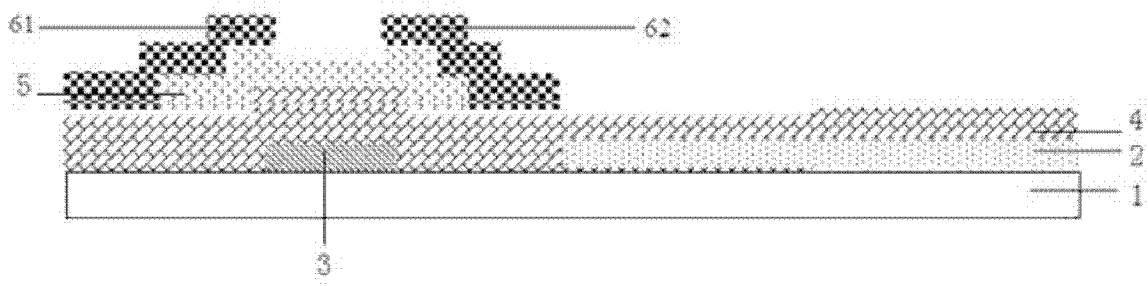


图 4A

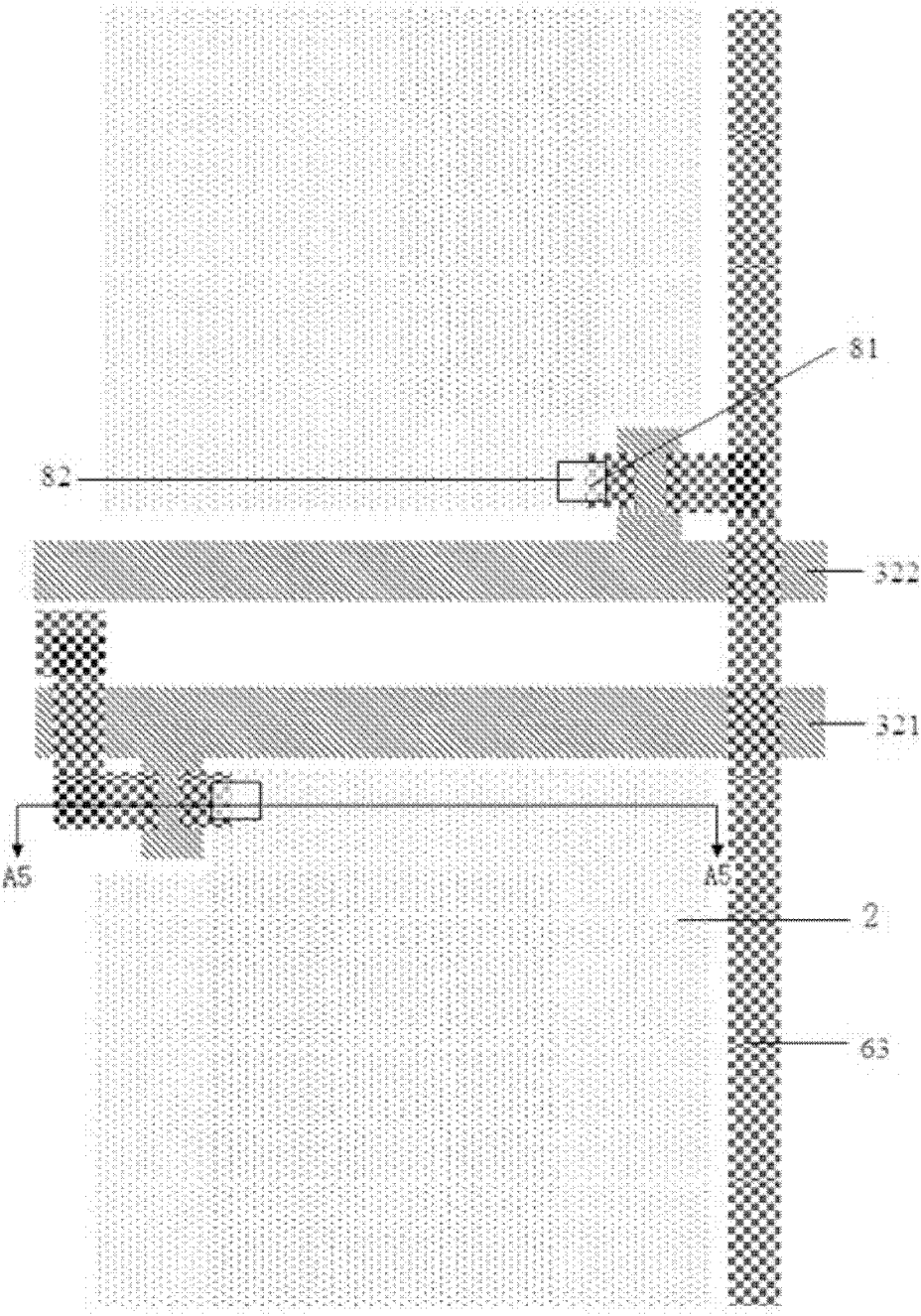


图 5

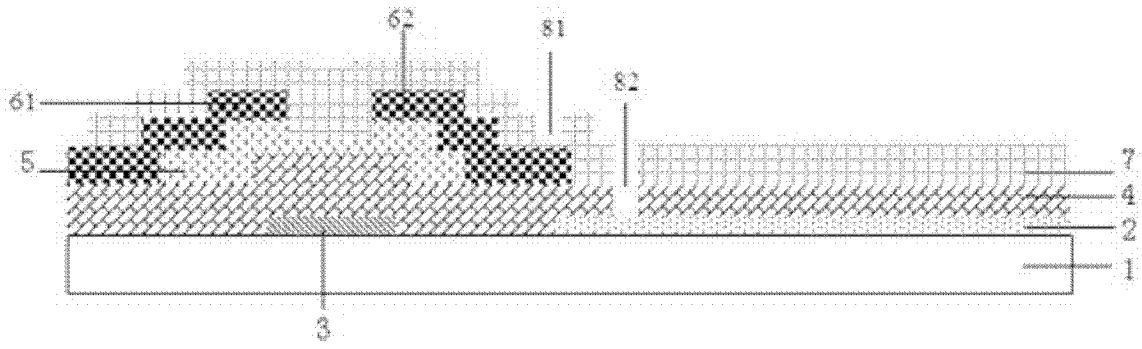


图 5A

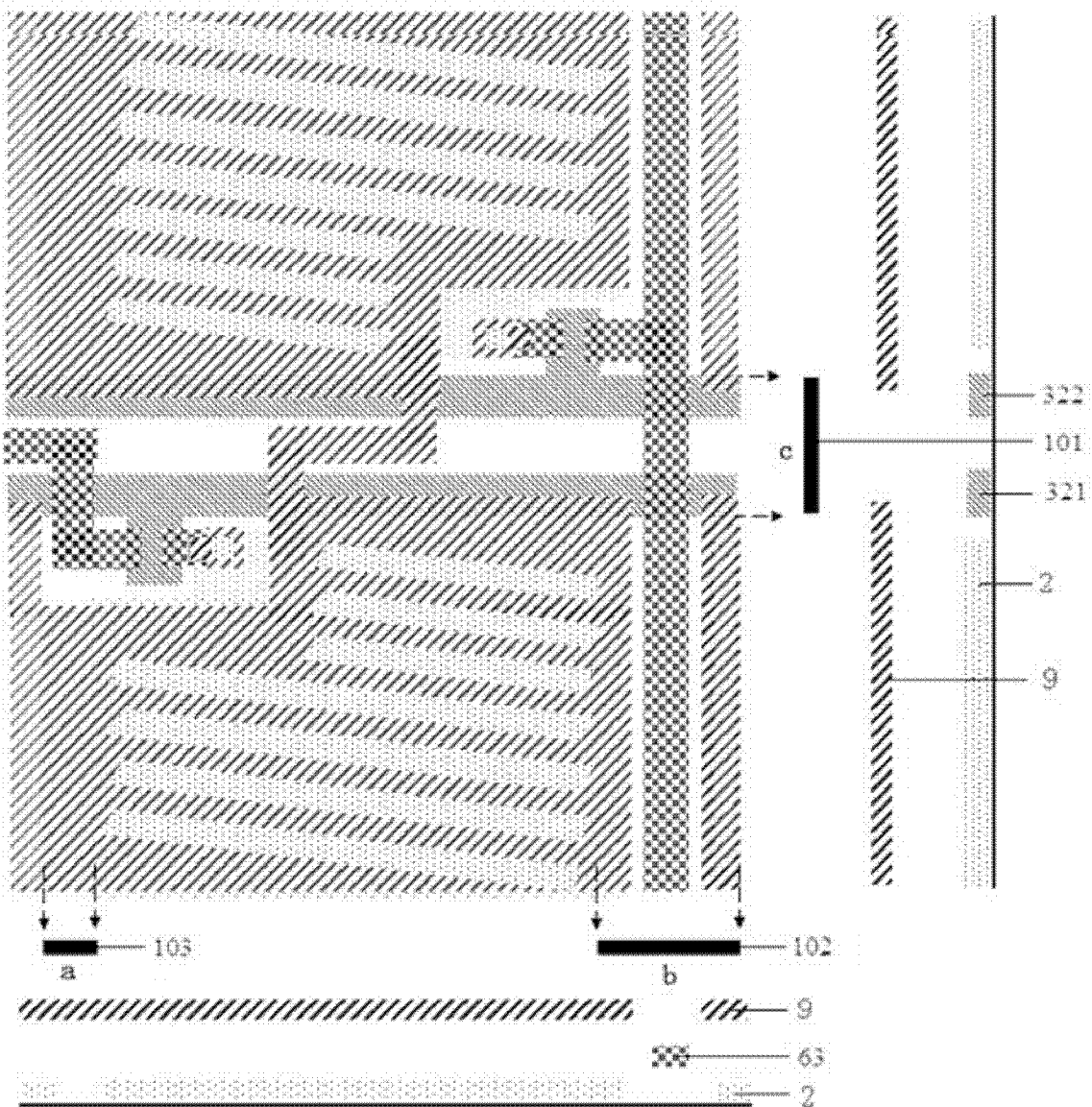


图 6

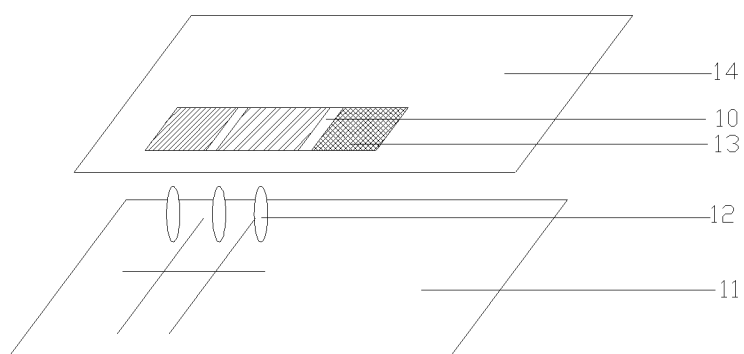


图 7

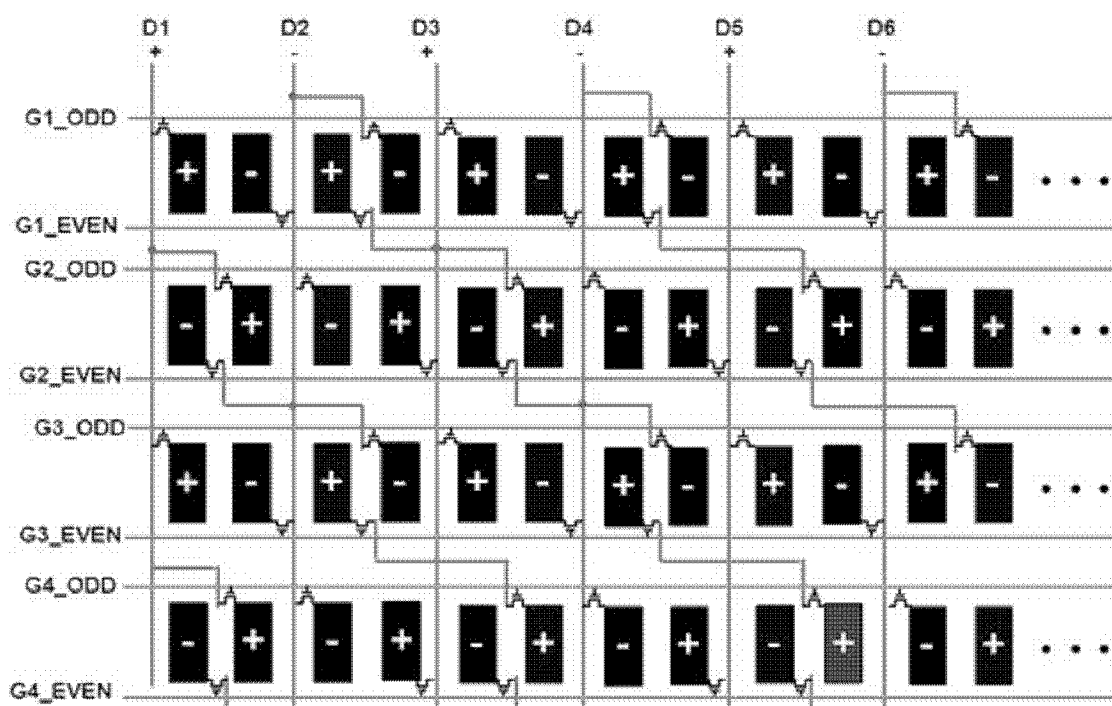


图 8

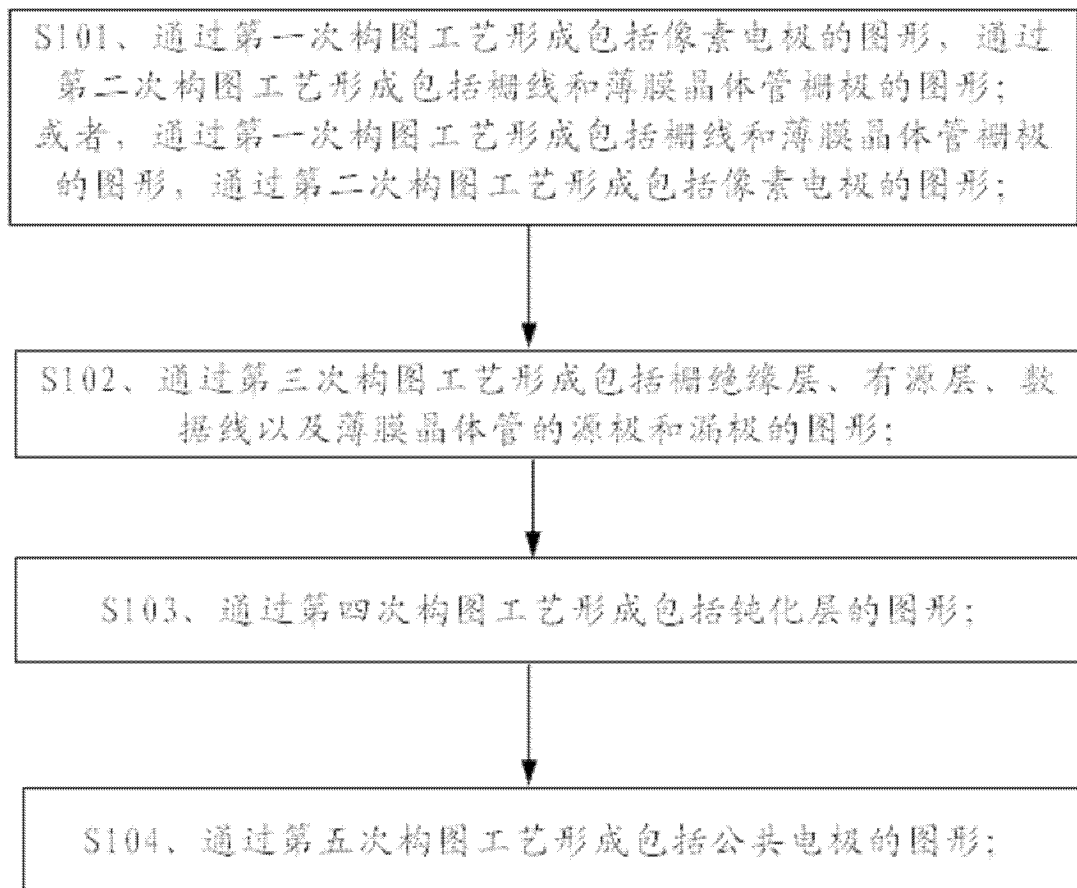


图 9

专利名称(译)	像素单元、阵列基板、液晶面板、显示装置及其制造方法		
公开(公告)号	CN102645803B	公开(公告)日	2014-06-18
申请号	CN201110315240.7	申请日	2011-10-17
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	金熙哲 徐超		
发明人	金熙哲 徐超		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1335 G02F1/13357 G02F1/1333 H01L27/02 H01L29/786 H01L21/77		
CPC分类号	G02F1/134309 G02F2001/134381 H01L27/124 G02F2201/40 G02F2001/134372 G02F2001/136218 G02F1/136209 G02F2001/134318		
审查员(译)	杨艳		
其他公开文献	CN102645803A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素单元，阵列基板、液晶面板、显示装置及其制造方法，涉及液晶显示技术领域，为提高像素开口率、降低功耗、提高显示效果而发明。所述像素单元，包括薄膜晶体管、像素电极和公共电极，所述薄膜晶体管包括栅极、设置于所述栅极之上的栅绝缘层、设置于所述栅绝缘层之上有源层、设置于所述有源层之上的源极和漏极、以及设置于所述源极和漏极之上的钝化层；其中，所述公共电极直接设置在所述钝化层之上，所述像素电极设置在所述钝化层之下，并与所述薄膜晶体管的漏极相连接。所述阵列基板、液晶面板、显示装置及其制造方法，均可以提高可视角度，并降低功耗，提高开口率，进而提高显示品质。本发明可用于液晶显示。

