



(12) 发明专利

(10) 授权公告号 CN 102385200 B

(45) 授权公告日 2016. 01. 13

(21) 申请号 201010272635. 9

(22) 申请日 2010. 08. 27

(73) 专利权人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

(72) 发明人 李治福 刘金娥 赵剑

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

CN 101487962 A, 2009. 07. 22,

US 2009/0135125 A1, 2009. 05. 28,

CN 101561609 A, 2009. 10. 21,

CN 101527306 A, 2009. 09. 09,

JP 特开 2006-220832 A, 2006. 08. 24,

审查员 李轲

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1343(2006. 01)

G02F 1/1333(2006. 01)

G02F 1/133(2006. 01)

H01L 27/02(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 101527306 A, 2009. 09. 09,

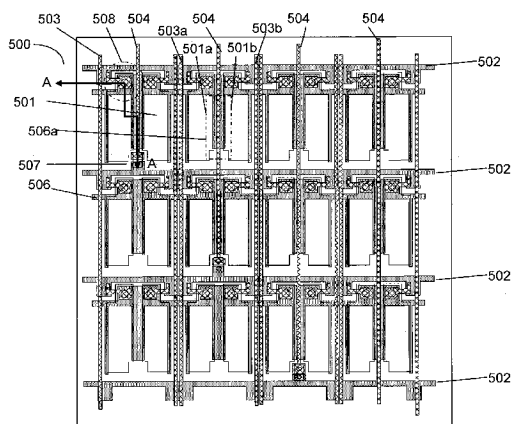
权利要求书2页 说明书7页 附图7页

(54) 发明名称

阵列基板及其制作方法、液晶显示面板

(57) 摘要

本发明提出阵列基板及其制作方法以及包括所述阵列基板的液晶显示面板,所述阵列基板包括:基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;多个像素电极,呈矩阵排布于所述显示区域;多条扫描线,位于多个像素电极之间;多条数据线,位于多个像素电极之间,所述数据线与扫描线绝缘相交;扫描线连接线,位于显示区域内,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线。本发明的阵列基板及液晶显示面板的边框区域面积减小,实现了液晶显示装置的边框窄型化,提高了基板的利用率。



1. 一种阵列基板,其特征在于,包括:
基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;
多个像素电极,呈矩阵排布于所述显示区域;
多条扫描线,位于多个像素电极之间;
多条数据线,位于多个像素电极之间,所述数据线与扫描线绝缘相交;
扫描线连接线,位于显示区域内,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线;
每一像素电极组的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域;
相邻两组像素电极组中的两个相邻像素电极对应的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域。
2. 如权利要求 1 所述的阵列基板,其特征在于,所述扫描线连接线与数据线为同一金属层。
3. 如权利要求 1 所述的阵列基板,其特征在于,两个相邻的像素电极为像素电极组,分别对应同一像素电极组中两个不同像素电极的两条数据线位于像素电极组的两侧,所述扫描线连接线位于一组像素电极中的两个像素电极之间。
4. 如权利要求 1 所述的阵列基板,其特征在于,每行像素电极对应与两条扫描线电连接,同一像素电极组中的两个像素电极由同一扫描线控制,同一行像素电极中的各个像素电极组由所述两条扫描线交叉控制,相邻两个像素电极组中的相邻两个像素电极连接至同一条数据线。
5. 如权利要求 3 所述的阵列基板,其特征在于,还包括:
公共电极,位于像素电极下方并与像素电极有之间设置有绝缘层,所述公共电极、绝缘层以及像素电极构成存储电容。
6. 如权利要求 1 所述的阵列基板,其特征在于,还包括:过孔,所述扫描线连接线和扫描线通过过孔电连接。
7. 一种液晶显示面板,包括液晶层和彩膜基板,其特征在于,还包括如权利要求 1 所述的阵列基板,所述液晶层位于所述阵列基板和彩膜基板之间。
8. 一种阵列基板的制作方法,其特征在于,包括:
提供基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;
在所述显示区域形成多条扫描线、多条数据线以及多个像素电极,所述像素电极呈矩阵排布于所述显示区域,所述扫描线和数据线绝缘相交,所述扫描线和数据线分布于像素电极之间;
在所述显示区域形成扫描线连接线,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线;
每一像素电极组的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域;
相邻两组像素电极组中的两个相邻像素电极对应的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域。
9. 如权利要求 8 所述的阵列基板的制作方法,其特征在于,所述扫描线连接线和数据线利用同一金属层制作完成。
10. 如权利要求 8 所述的阵列基板的制作方法,其特征在于,两个相邻的像素电极为像

素电极组,在同一像素电极组的两侧分别制作与每一像素电极对应的数据线,在同一像素电极组的两个像素电极之间制作扫描线连接线。

11. 如权利要求 8 所述的阵列基板的制作方法,其特征在于,还包括:

在像素电极下方制作公共电极;

在像素电极和公共电极之间制作绝缘层,所述公共电极、绝缘层以及像素电极构成存储电容。

12. 如权利要求 8 所述的阵列基板的制作方法,其特征在于,还包括:在所述扫描线连接线上沉积绝缘层,并在所述绝缘层内制作过孔,所述过孔将扫描线连接线和扫描线电连接。

阵列基板及其制作方法、液晶显示面板

技术领域

[0001] 本发明涉及液晶显示面板,特别涉及缩小液晶显示面板的边框宽度以达到窄边框设计的阵列基板及其制作方法和液晶显示面板。

背景技术

[0002] 平面显示器为目前主要流行的显示器,其中液晶显示器更因为具有外型轻薄,省电以及无辐射等特征,而被广泛地应用于电脑屏幕、移动电话、个人数字助理、平面电视等电子产品上。

[0003] 请参考图 1,为现有的液晶显示面板。包括彩膜基板 10、与彩膜基板 10 相对设置的阵列基板 30,液晶层 20 夹合于彩膜基板 10 与阵列基板 30 之间。所述阵列基板 30 相对于彩膜基板 10 的内侧设置有多个像素电极和薄膜晶体管。其中,每一薄膜晶体管与像素电极电连接,并且在彩膜基板 10 与阵列基板 30 正对的表面上制作一公共电极,在公共电极与像素电极之间的电位差,驱动液晶层 20 内的液晶分子转向。

[0004] 图 2 为液晶显示面板的俯视结构示意图。所述阵列基板 30 与彩膜基板相对的表面分为显示区域 310 与边框区域 320。所述显示区域 310 是位于阵列基板 30 的中央位置,边框区域 320 包围所述显示区域 310。请参考图 3 与图 4,图 3 对应于图 2 中的位置 D,而图 4 对应于图 3 沿 A-A 线的剖面结构示意图。多个薄膜晶体管 330 排布于显示区域 310 上。所述薄膜晶体管 330 的栅极与沿行方向排列的栅极线(或扫描线)340 相连,薄膜晶体管 330 的源极与沿列方向排列的数据线(或信号线)350 相连。所述薄膜晶体管的栅极与源极和漏极之间具有绝缘层 360。所述绝缘层在薄膜晶体 330 的漏极上方形成有过孔,所述漏极通过过孔与像素电极 330 电连接。此外,多条栅极连接线 322 制作于边框区域 320,每一栅极连接线 322 分别与栅极线 340 相电连接。栅极驱动电路 360 通过栅极连接线 322 控制栅极线 340 的扫描时序。

[0005] 通常,为了简化工艺制程,各个薄膜晶体管 330 的栅极、栅极线 340、以及栅极连接线 322 制作于同一金属层,然而,收到光刻工艺的分辨率以及制程环境中污染颗粒的尺寸的限制,在各个栅极连接线之间必须设置一定的间隔,以避免产生短路。因此,在阵列基板上必须预留足够的边框区域 320 以容纳所述栅极连接线 322。这导致显示区域 320 的尺寸收到限制,无法进一步加大。

[0006] 如何缩小边框区域的面积,实现液晶显示装置的边框窄型化,提高了基板的利用率成为本领域技术人员亟待解决的技术问题。

发明内容

[0007] 本发明解决的技术问题是提供了一种阵列基板及其制作方法、液晶显示面板,减小了阵列基板及液晶显示面板的边框区域的面积,实现了液晶显示装置的边框窄型化,提高了基板的利用率。

[0008] 为了解决上述问题,本发明一种阵列基板,包括:

- [0009] 基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;
- [0010] 多个像素电极,呈矩阵排布于所述显示区域;
- [0011] 多条扫描线,位于多个像素电极之间;
- [0012] 多条数据线,位于多个像素电极之间,所述数据线与扫描线绝缘相交;
- [0013] 扫描线连接线,位于显示区域内,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线。
- [0014] 可选地,所述扫描线连接线与数据线为同一金属层。
- [0015] 可选地,两个相邻的像素电极为像素电极组,分别对应同一像素电极组中两个不同像素电极的两条数据线位于像素电极组的两侧,所述扫描线连接线位于一组像素电极中的两个像素电极之间。
- [0016] 可选地,每行像素电极对应与两条扫描线电连接,同一像素电极组中的两个像素电极由同一扫描线控制,同一行像素电极中的各个像素电极组由所述两条扫描线交叉控制,相邻两个像素电极组中的相邻两个像素电极连接至同一条数据线。
- [0017] 可选地,还包括:
- [0018] 公共电极,位于像素电极下方并与像素电极有之间设置有绝缘层,所述公共电极、绝缘层以及像素电极构成存储电容。
- [0019] 可选地,每一像素电极组的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域。
- [0020] 可选地,相邻两组像素电极组中的两个相邻像素电极对应的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域。
- [0021] 可选地,还包括:过孔,所述扫描线连接线和扫描线通过过孔电连接。
- [0022] 相应地,本发明还提供一种液晶显示面板,包括液晶层和彩膜基板,还包括所述的阵列基板,所述液晶层位于所述阵列基板和彩膜基板之间。
- [0023] 相应地,本发明还提供一种阵列基板的制作方法,包括:
- [0024] 提供基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;
- [0025] 在所述显示区域形成多条扫描线、多条数据线以及多个像素电极,所述像素电极呈矩阵排布于所述显示区域,所述扫描线和数据线绝缘相交,所述扫描线和数据线分布于像素电极之间;
- [0026] 在所述显示区域形成扫描线连接线,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线。
- [0027] 可选地,所述扫描线连接线和数据线利用同一金属层制作完成。
- [0028] 可选地,两个相邻的像素电极为像素电极组,在同一像素电极组的两侧分别制作与每一像素电极对应的数据线,在同一像素电极组的两个像素电极之间制作扫描线连接线。
- [0029] 可选地还包括:
- [0030] 在像素电极下方制作公共电极;
- [0031] 在像素电极和公共电极之间制作绝缘层,所述公共电极、绝缘层以及像素电极构成存储电容。

[0032] 可选地,还包括:在所述绝缘层内制作过孔,所述过孔将扫描线连接线和扫描线电连接。

[0033] 与现有技术相比,本发明有以下优点:将扫描线连接线设置于显示区域,利用扫描线连接线将扫描驱动电路信号传输至相应的扫描线,节约了边框区域的扫描线连接线面积,实现了液晶显示装置的边框窄型化,提高了基板的利用率;

[0034] 进一步优化地,所述扫描线连接线与数据线位于同一金属层,简化了制作的工艺流程;

[0035] 两条数据线分别位于同一像素电极组中两个不同像素电极的两侧,扫描线连接线位于一组像素电极中的两个像素电极之间,避免了扫描线连接线和数据线之间电信号的相互串扰,提供了显示质量;

[0036] 每一像素电极组的公共电极相互连接,并覆盖相邻的两个像素电极之间的区域,避免了相邻两个像素电极之间的区域漏光的问题,提高了液晶显示面板的开口率;

[0037] 每行像素电极对应与两条扫描线电连接,同一行像素电极中的各个像素电极组由所述两条扫描线交叉控制,相邻两个像素电极组的相邻的两个像素电极连接至同一条数据线,减少了数据线的数目,从而减少了数据驱动电路的数目,降低了阵列基板的制作成本。

附图说明

[0038] 图 1 是现有的液晶显示面板。

[0039] 图 2 为液晶显示面板的俯视结构示意图。

[0040] 图 3 是图 2 的局部俯视示意图。

[0041] 图 4 是图 3 沿 A-A 方向的剖面结构示意图。

[0042] 图 5 是本发明第一实施例的阵列基板俯视结构示意图。

[0043] 图 6 是本发明第二实施例的阵列基板俯视结构示意图。

[0044] 图 7 是本发明第三实施例的阵列基板结构示意图。

[0045] 图 8 ~ 图 15 是本发明的阵列基板制造方法的示意图。

具体实施方式

[0046] 为了解决上述问题,本发明的发明人提出一种液晶显示面板,包括阵列基板、彩膜基板和位于阵列基板和彩膜基板之间的液晶层。所述彩膜基板和液晶层的结构与现有技术相同,所述阵列基板包括:

[0047] 基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;

[0048] 多个像素电极,呈矩阵排布于所述显示区域;

[0049] 多条扫描线,位于多个像素电极之间;

[0050] 多条数据线,位于多个像素电极之间,所述数据线与所述扫描线绝缘相交;

[0051] 扫描线连接线,位于显示区域内,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线。

[0052] 下面将结合具体实施例对本发明的技术方案进行详细的说明。

[0053] 参考图 5,为本发明第一实施例的阵列基板俯视结构示意图。

[0054] 所述阵列基板包括:玻璃基板 500;多个像素电极 501;多条扫描线 502;多条数据

线 503, 多条扫描线连接线 504。

[0055] 具体地, 作为一个实施例, 所述玻璃基板 500 分为显示区域和边框区域, 所述边框区域包围所述显示区域, 图中仅示出了显示区域。

[0056] 所述像素电极 501 呈矩阵排布于所述显示区域。所述像素电极 501 通过对应的薄膜晶体管 508 与扫描线和数据线电连接。薄膜晶体管 508 的结构以及扫描线和数据线的电连接的具体方式与现有技术相同, 作为本领域技术人员的公知技术, 在此不做详细的说明。图中的阵列结构具有 3 行 8 列, 仅为示意。

[0057] 作为一个实施例, 所述扫描线 502 沿行的方向排布, 所述扫描线 502 位于两行像素电极, 每一根扫描线 502 对应于一行像素电极。所述扫描线 502 与所述薄膜晶体管 508 的栅极电连接。

[0058] 所述数据线 503 沿列的方向排布, 所述数据线 503 与扫描线 502 绝缘相交。所述数据线 503 位于多个像素电极 501 之间, 每一数据线 503 对应与同一列的像素电极 501 电连接。所述数据线 503 与所述薄膜晶体管 508 的漏极电连接。

[0059] 两个相邻的像素电极 501 为像素电极组, 如图 5 本实施例中的像素电极 501a、501b 为一组像素电极组; 分别对应同一像素电极组中两个不同像素电极的两条数据线位于像素电极组的两侧, 在本实施例中, 数据线 503a 与像素电极组中的像素电极 501a 对应, 数据线 503b 与像素电极组中 501b 对应, 并且数据线 503a、503b 分别位于像素电极组 501a、501b 的两侧。

[0060] 所述扫描线连接线 504 与所述数据线 503 平行设置, 所述扫描线连接线 504 对应与各条扫描线 502 电连接, 将扫描驱动电路信号传输至相应的扫描线 504。作为优选的实施例, 所述扫描线连接线 504 位于同一像素电极组中的两个像素电极之间, 这样可以避免扫描线连接线 504 与数据线 503 位于相同的两个像素电极 501 之内, 比如扫描线连接线 504 位于一组像素组中两个像素电极 501a、501b 的之间, 数据线 503a、503b 分别对应像素电极 501a、501b 并且分别位于像素电极 501a、501b 的两侧, 这样可以数据线和扫描连接线之间间隔有一个像素电极, 可以避免扫描线连接线与数据线的电信号的相互串扰, 从而改善阵列基板的成像质量。

[0061] 作为优选的实施例, 所述扫描线连接线 504 与数据线 501 为同一金属层, 即所述扫描线连接线 504 和数据线 501 利用同一金属层制作完成, 以简化阵列基板的结构同时, 简化阵列基板的制作工艺流程。

[0062] 仍参考图 5, 本实施例中, 所述阵列基板还包括: 公共电极 506, 位于像素电极 501 下层并与像素电极 501 有交叠, 并且所述公共电极 506 和像素电极 501 之间设置有绝缘层 (图上未示出), 所述公共电极 506、绝缘层以及像素电极 501 构成存储电容。所述存储电容能够提供显示时存储所需要的电荷, 改善液晶显示面板的显示质量。

[0063] 作为优选的实施例, 每一像素电极组的公共电极 506 相互连接, 并覆盖相邻的两个像素电极 501 之间的区域, 比如一像素电极组中的两个像素电极 501a、501b 对应的公共电极 506 是连接在一起, 并且覆盖所述像素 501a、501b 之间的区域。因为相邻的两个像素电极是分开的, 两个像素电极之间的区域的液晶分子没有电场作用而形成杂乱的排列, 为了避免此区域的液晶分子漏光, 通常需要使用黑矩阵进行遮挡, 黑矩阵是位于彩膜基板上的, 为了保证阵列基板和彩膜基板对位偏差的影响通常黑矩阵需要设置的比实际遮光区域宽,

这样会降低液晶显示面板的开口率。本发明所提供的阵列基板,用一像素电极中两个像素电极对应的公共电极连接在一起并且用所述连接在一起的公共电极遮盖两个像素电极间的区域,可以降低对位偏差的影响而减少黑矩阵,提高了液晶显示面板的开口率。

[0064] 进一步的,参考图 6,为本发明第二实施例的阵列基板结构示意图。除了上述的一像素电极中两个像素电极对应的公共电极连接在一起并且用所述连接在一起的公共电极遮盖两个像素电极间的区域外,还将位于相邻两组像素电极组中的两个相邻像素对应的公共电极也连接在一起并用所述连接在一起的公共电极遮盖所述像素电极之间的区域,如图 6 所示,将位于相邻两组像素电极组中的两个相邻像素 503c、503a 对应的公共电极 506b 也连接在一起并用所述连接在一起的公共电极 506b 遮盖所述像素电极 503c、503a 之间的区域。这样在此区域内也可以减小黑阵列,进一步的提高了液晶显示面板的开口率。

[0065] 接着请参考图 5,作为优选的实施例,所述阵列基板还包括多个过孔 507,位于所述绝缘层内,所述过孔 507 将扫描线连接线 504 和扫描线 502 电连接。

[0066] 参考图 7,为本发明第三实施例的阵列基板结构示意图。所述阵列基板包括:玻璃基板 600;多个像素电极,分别是 601a、601b、601c、601d.....;多条扫描线,分别是 602a、602b、602c、602d、602e.....;多条数据线,分别是 603a、603b、603c、603d.....;多条扫描线连接线分别是:604a、604b、604c、604d.....。

[0067] 请参考图 7,本实施例与第一实施例和第二实施例的区别在于,每行像素电极对应与两条扫描线电连接,如扫描线 602a、602b 对应于同一行像素电极;同一像素电极组中的两个像素电极由同一扫描线控制,如一像素电极组中的两个像素电极 601a、601b 由同一扫描线 602a 控制;同一行像素电极中的各个像素电极组由所述两条扫描线交叉控制,如扫描线 602a、602b 交叉控制同一行的各像素电极组;相邻两个像素电极组的相邻的两个像素电极连接至同一条数据线,如像素电极 601b、601c 为相邻电极组中的两个相邻电极,连接至同一数据线 503。所述扫描线连接线位于同一像素电极组的两个像素电极之间,如图中,扫描连接线 604a 位于同一像素电极组中的两个像素电极 601a、601b 之间。由于利用两条栅极线 602a、602b 驱动同一行像素电极,相邻两列像素电极共用一条数据线,减少了数据线的数目,从而减少了数据信号驱动电路的数目,由于数据信号驱动电路的制作复杂且成本高,因此,本实施例减少了阵列基板的成本。

[0068] 本发明第三实施例也可以将一组像素电极中的两个像素电极 601a、601b 对应的公共电极 606 连接在一起并用于遮盖所述像素电极 601a、601b 之间的区域;进一步的,还可以将相邻两组像素电极中的两个相邻像素电极 601b、601c 对应的公共电极连接在一起(图上未示出),具体的连接方式请参考第一实施例,以提高阵列基板的开口率。

[0069] 对应地,本发明还提供一种阵列基板的制作方法。所述方法包括:提供基板,所述基板分为显示区域和边框区域,所述边框区域包围所述显示区域;

[0070] 在所述显示区域形成多条扫描线、多条数据线以及多个像素电极,所述像素电极呈矩阵排布于所述显示区域,所述扫描线和数据线绝缘相交,所述扫描线和数据线分布于像素电极之间;

[0071] 在所述显示区域形成扫描线连接线,所述扫描线连接线与数据线平行,所述扫描线连接线对应与扫描线电连接,将扫描驱动电路信号传输至相应的扫描线。

[0072] 下面将结合具体的实施例对本发明的技术方案进行详细的说明。请参考图 8~图

15,为本发明的制作方法剖面结构示意图。

[0073] 首先,参考图 8,提供玻璃基板 500,所述玻璃基板 500 分为显示区域和边框区域,所述边框区域包围所述显示区域。

[0074] 然后,参考图 8,在所述玻璃基板 500 上沉积第一金属层,所述第一金属层可以利用物理气相沉积 (PVD) 或化学气相沉积 (CVD) 或金属有机化合物化学气相沉积 (MOCVD) 等方法形成。所述第一金属层通常用于形成薄膜晶体管的栅极。

[0075] 接着,参考图 9,对所述第一金属层进行刻蚀,形成薄膜晶体管的栅极 509、公共电极 506 以及多条扫描线 502。所述薄膜晶体管的栅极 509 呈矩阵排布。结合图 5,多个栅极 509 呈矩阵排布,多条扫描线 502 沿行的方向排布,所述扫描线 502 与薄膜晶体管 508 的栅极电连接。需要说明的是,作为优选的实施例,相邻的两个公共电极相互电连接,并覆盖相邻的两个像素电极之间的区域。

[0076] 然后,参考图 10,形成薄膜晶体管的绝缘层 510、非晶硅层 511、掺杂非晶硅层 512。所述薄膜晶体管的绝缘层 510、非晶硅层 511、掺杂非晶硅层 512 的制作方法与现有技术相同,作为本领域技术人员的公知技术,在此不做详细地说明。

[0077] 接着,参考图 11,对所述薄膜晶体管的绝缘层 510、非晶硅层 511、掺杂非晶硅层 512 进行刻蚀,保留薄膜晶体管的栅极 509 上方的薄膜晶体管的绝缘层 510、非晶硅层 511、掺杂非晶硅层 512。

[0078] 然后,参考图 12,沉积第二金属层。所述第二金属层通常用于形成薄膜晶体管的源、漏极以及数据线。作为本发明的优选实施例,所述第二金属层还用于形成扫描线连接线,以节约阵列基板的制作工艺步骤。

[0079] 接着,参考图 13,对所述第二金属层进行刻蚀,形成薄膜晶体管漏极 513、源极 515、数据线 503、扫描线连接线 504,所述数据线 503 与扫描线 502 绝缘。结合图 5,多条数据线 503 沿列的方向排布,所述数据线 503 与扫描线 502 绝缘相交。所述扫描连接线 504 与数据线 503 平行排布。

[0080] 接着,参考图 14,沉积绝缘层,对所述绝缘层进行刻蚀,形成所述薄膜晶体管的过孔 514 以及栅极连接线的过孔 507。所述栅极连接线的过孔 507 露出所述栅极连接线 504。

[0081] 接着,参考图 15,沉积第三金属层,对所述第三金属层进行刻蚀形成像素电极 501。所述像素电极 501 与下方的公共电极 506、以及两者之间的绝缘层 510 构成存储电容。

[0082] 结合图 5,相邻的两个像素电极为像素电极组,在同一像素电极组的两侧分别制作与每一像素电极 501 对应的数据线,在同一像素电极组的两个像素电极 501 之间为扫描线连接线 504。所述扫描线连接线 504 通过扫描线的过孔 507 与扫描线 502 电连接。

[0083] 综上,本发明提供的阵列基板将扫描线连接线设置于显示区域,通过所述扫描线连接线与外部电连接,由于边框区域无需设置扫描连接线,因而减小了边框区域的扫描线连接线面积,实现了液晶显示装置的边框窄型化,提高了基板的利用率;由于所述扫描线连接线位于与数据线分别位于不同的子像素区之间,避免了数据线与所述扫描线连接线之间信号串扰,提高了显示质量;由于所述阵列基板采用双扫描线布局,每两列薄膜晶体管与同一条数据线电连接,减少了数据线的数目,从而相应减少了数据线的驱动电路,降低了阵列基板的制作成本。

[0084] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域

技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

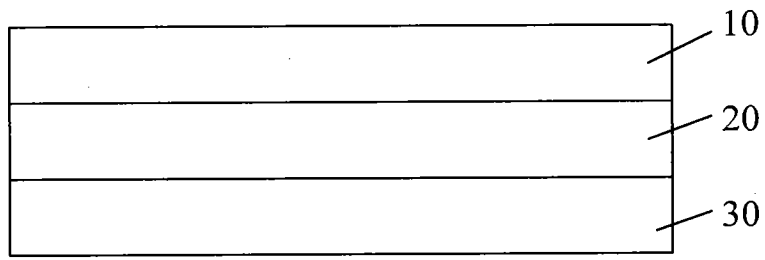


图 1

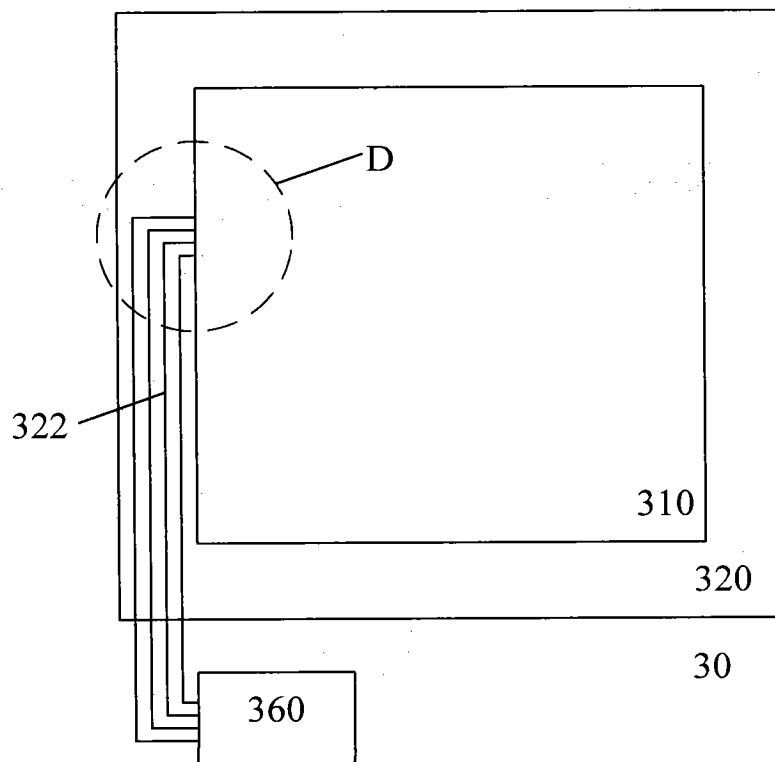


图 2

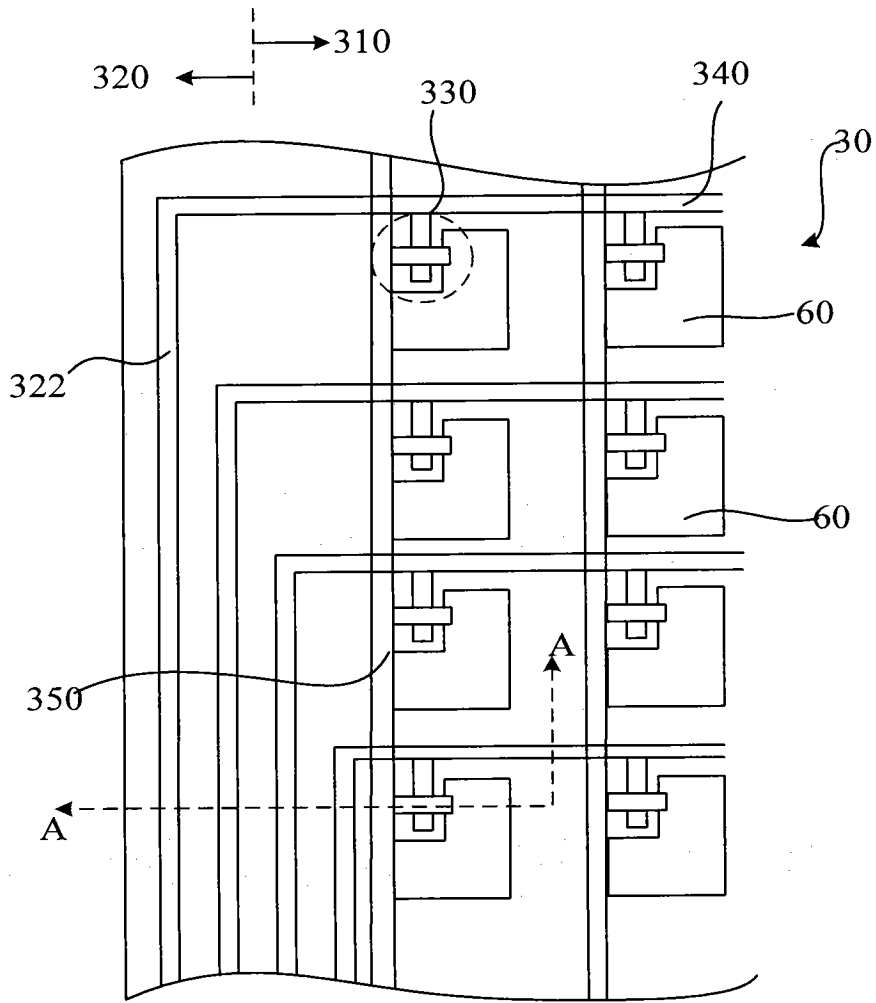


图 3

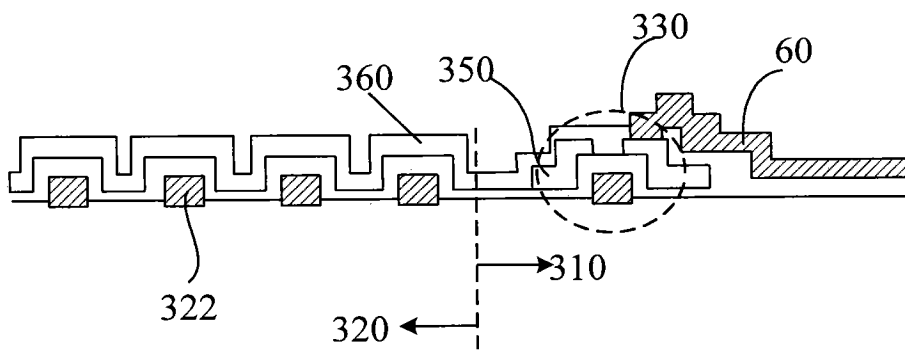


图 4

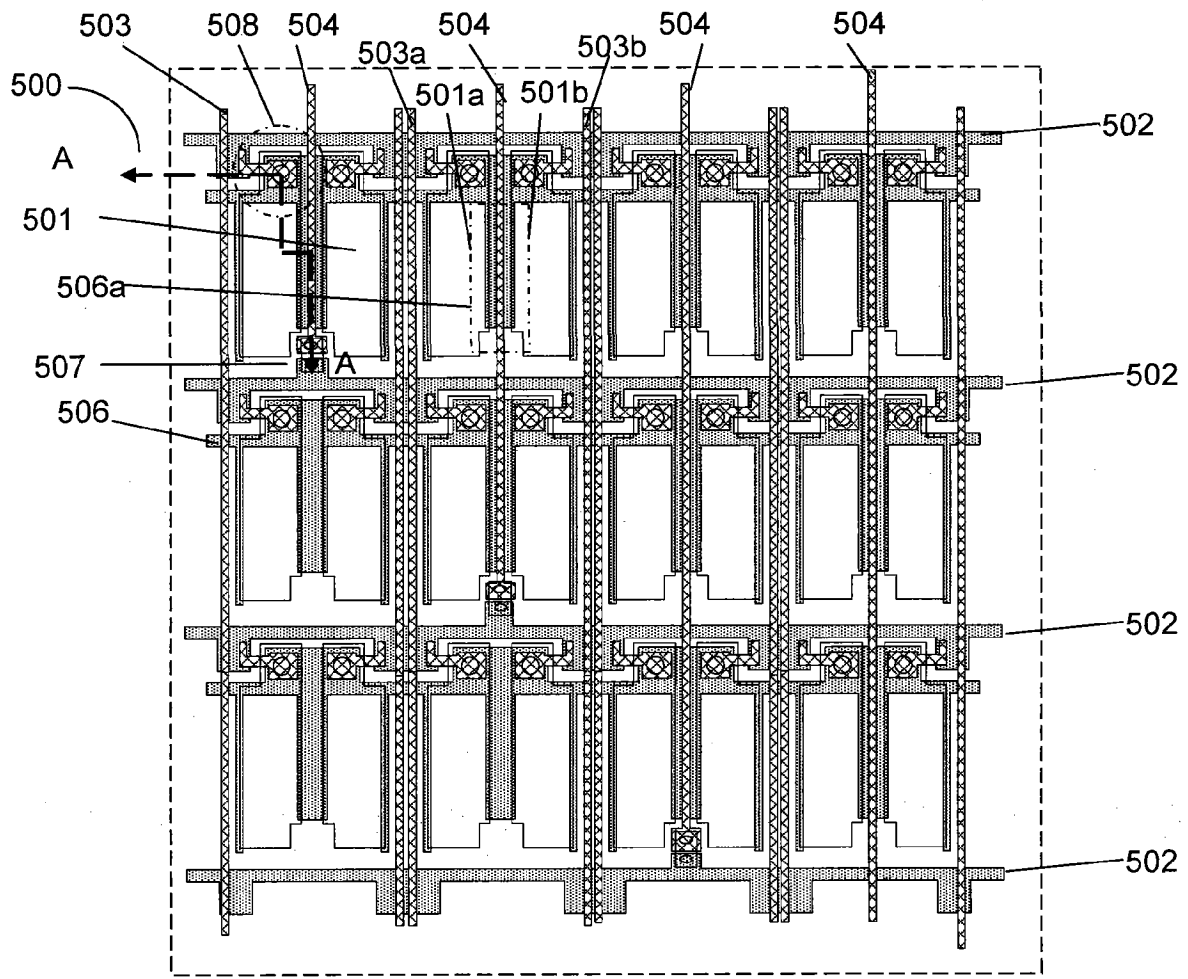


图 5

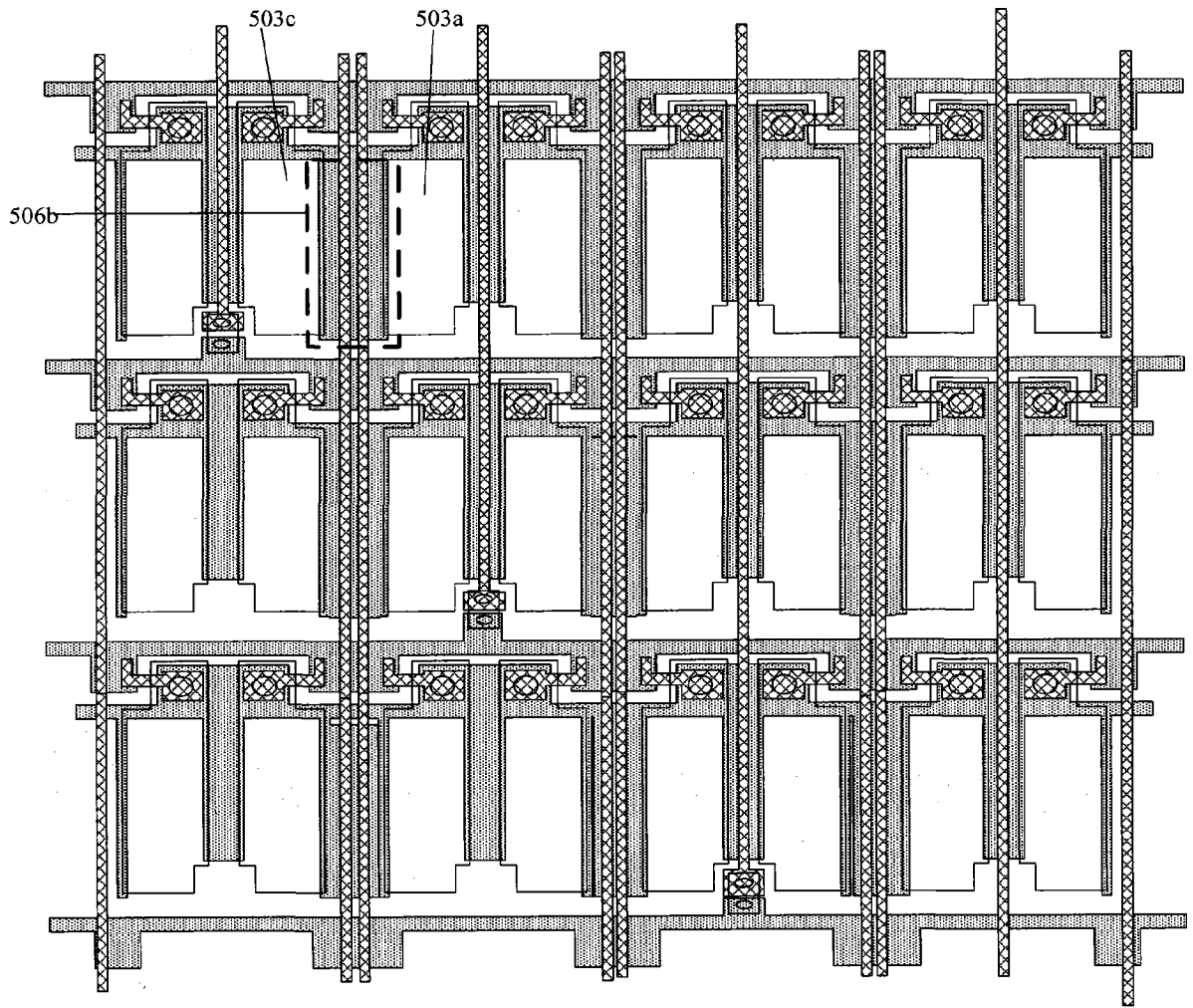


图 6

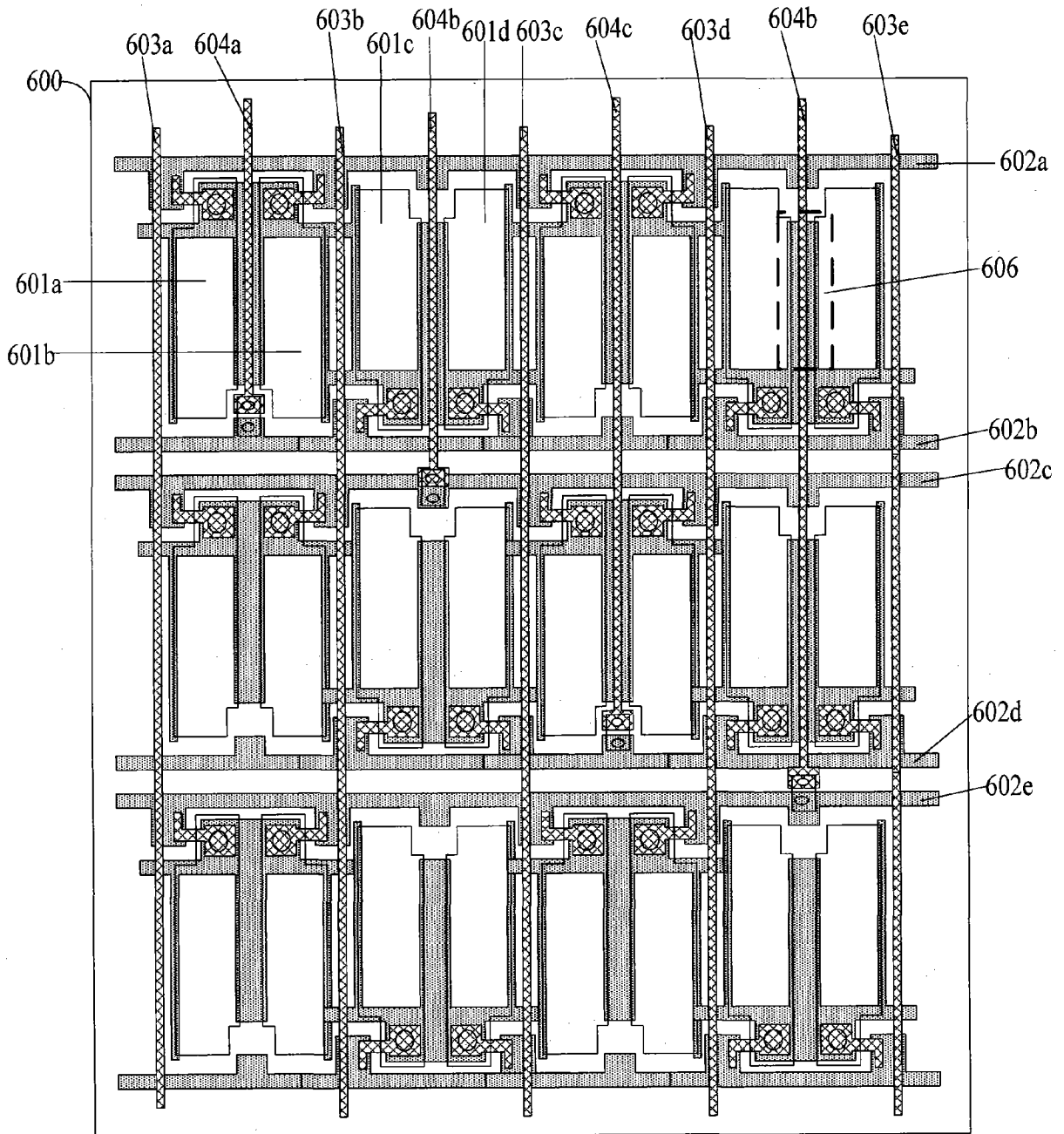


图 7



图 8

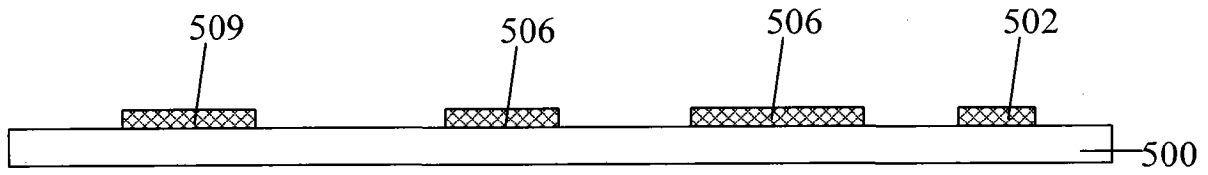


图 9

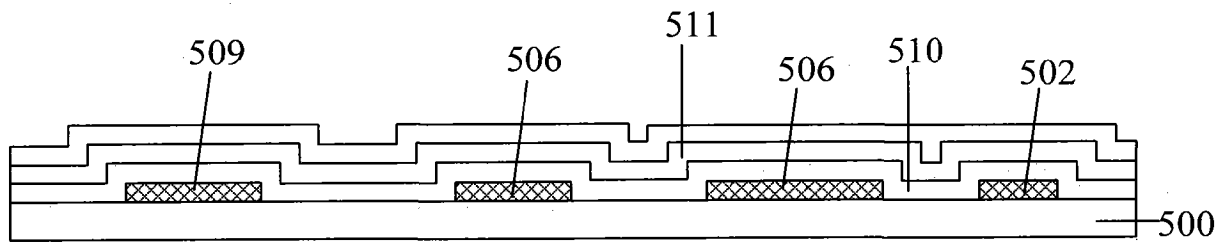


图 10

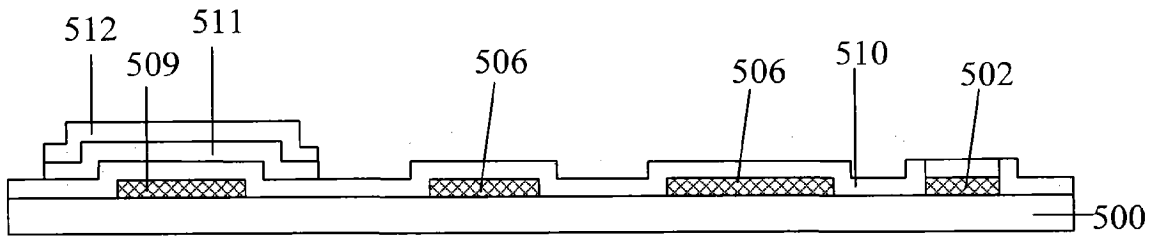


图 11

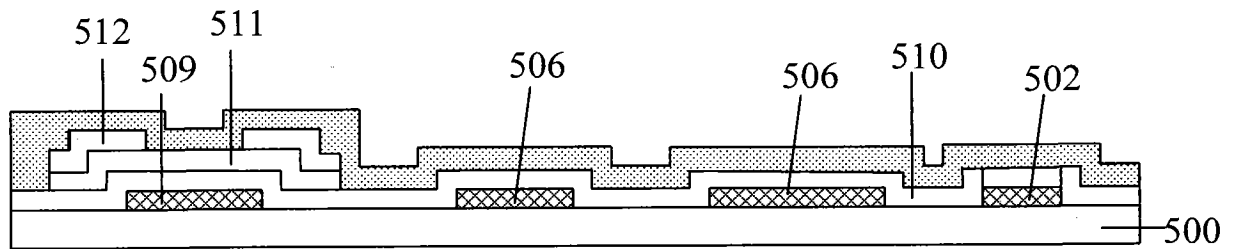


图 12

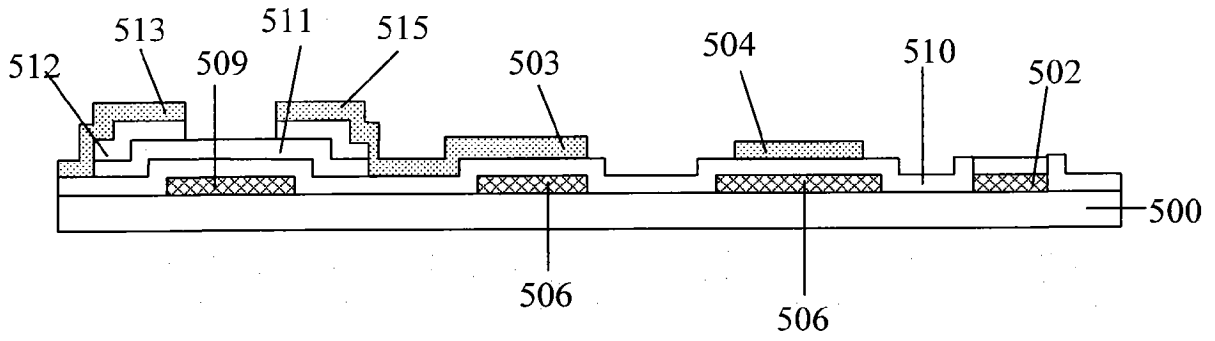


图 13

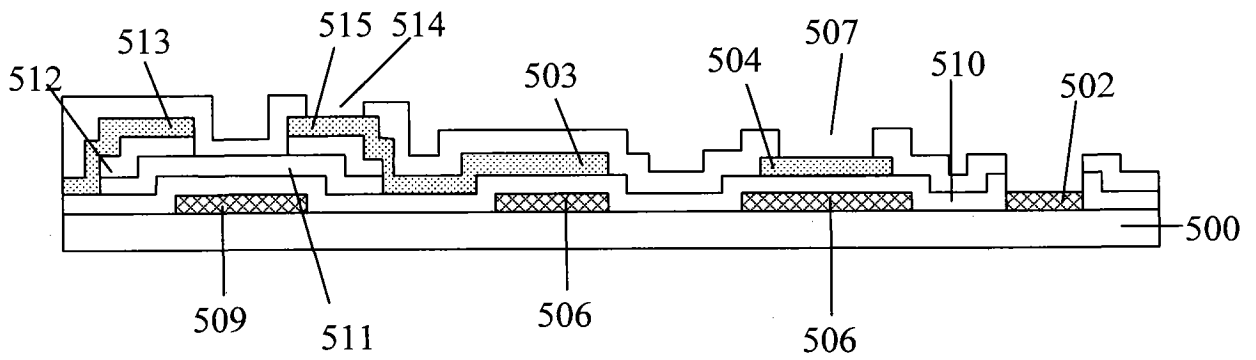


图 14

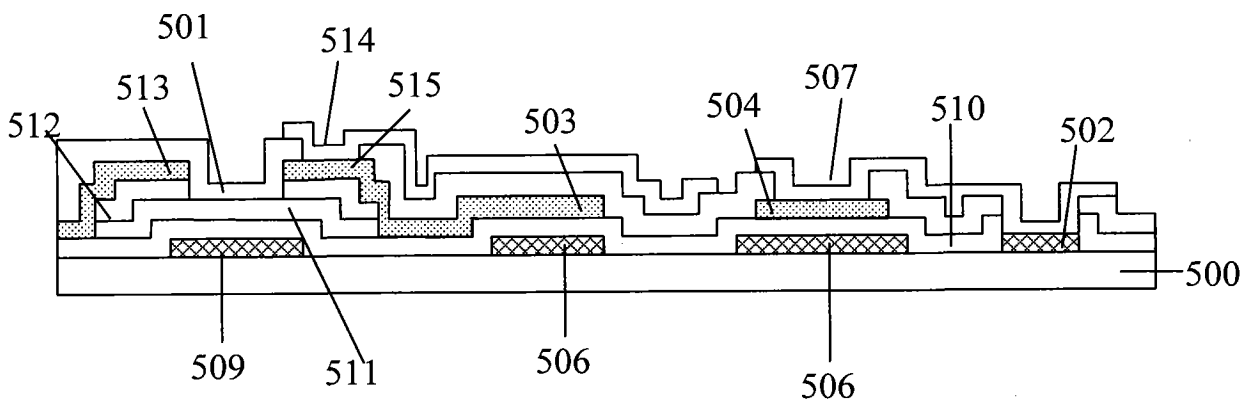


图 15

专利名称(译)	阵列基板及其制作方法、液晶显示面板		
公开(公告)号	CN102385200B	公开(公告)日	2016-01-13
申请号	CN201010272635.9	申请日	2010-08-27
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海天马微电子有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司		
[标]发明人	李治福 刘金娥 赵剑		
发明人	李治福 刘金娥 赵剑		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1333 G02F1/133 H01L27/02 H01L21/77		
审查员(译)	李轲		
其他公开文献	CN102385200A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提出阵列基板及其制作方法以及包括所述阵列基板的液晶显示面板，所述阵列基板包括：基板，所述基板分为显示区域和边框区域，所述边框区域包围所述显示区域；多个像素电极，呈矩阵排布于所述显示区域；多条扫描线，位于多个像素电极之间；多条数据线，位于多个像素电极之间，所述数据线与扫描线绝缘相交；扫描线连接线，位于显示区域内，所述扫描线连接线与数据线平行，所述扫描线连接线对应与扫描线电连接，将扫描驱动电路信号传输至相应的扫描线。本发明的阵列基板及液晶显示面板的边框区域面积减小，实现了液晶显示装置的边框窄型化，提高了基板的利用率。

