



(12) 发明专利

(10) 授权公告号 CN 102169264 B

(45) 授权公告日 2013. 10. 16

(21) 申请号 201110051051. 3

CN 101191925 A, 2008. 06. 04,

(22) 申请日 2011. 02. 25

US 2008174583 A1, 2008. 07. 24,

(30) 优先权数据

JP 2008216363 A, 2008. 09. 18,

099147028 2010. 12. 30 TW

审查员 张洪雷

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 赖俊吉 陈晋玮 王参群 郑国兴
陈昱丞

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 张浴月 刘文意

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101833930 A, 2010. 09. 15,

CN 101520998 A, 2009. 09. 02,

CN 101359692 A, 2009. 02. 04,

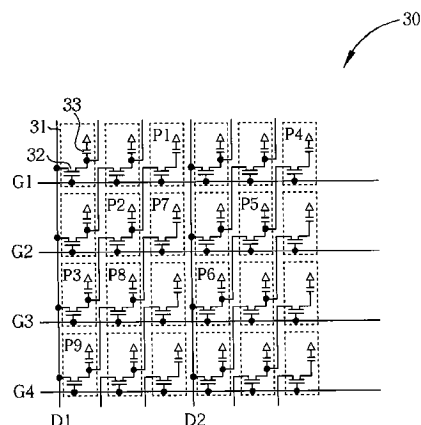
权利要求书3页 说明书6页 附图6页

(54) 发明名称

可补偿馈通电压的液晶显示面板

(57) 摘要

本发明提供一种液晶显示面板, 该液晶显示面板借由一数据线将显示数据传送于以的字形的排列方式的第一子像素、第二子像素以及第三子像素。该液晶显示面板可借由将该第一子像素、第二子像素以及第三子像素的薄膜晶体管的沟道宽度与沟道长度的比值调整为预设的比例, 或借由将该第一子像素、第二子像素以及第三子像素的薄膜晶体管的耦合电容值增加补偿电容值, 以改善该第一子像素、第二子像素以及第三子像素的馈通电压的差异值。



1. 一种可补偿馈通电压的液晶显示面板,包含:
 - 一第一子像素,包含:
 - 一第一存储电容;以及
 - 一第一薄膜晶体管,具有一第一端电性连接于一第一数据线,一第二端电性连接于该第一存储电容,以及一控制端电性连接于一第一扫描线,该第一薄膜晶体管的沟道宽度与沟道长度(W/L)具有一第一比值;
 - 一第二子像素,包含:
 - 一第二存储电容;以及
 - 一第二薄膜晶体管,具有一第一端电性连接于第一薄膜晶体管的第二端,一第二端电性连接于该第二存储电容,以及一控制端电性连接于一第二扫描线,该第二薄膜晶体管的沟道宽度与沟道长度具有一第二比值;以及
 - 一第三子像素,包含:
 - 一第三存储电容;以及
 - 一第三薄膜晶体管,具有一第一端电性连接于第二薄膜晶体管的第二端,一第二端电性连接于该第三存储电容,以及一控制端电性连接于一第三扫描线,该第三薄膜晶体管的沟道宽度与沟道长度具有一第三比值;

其中该第一比值大于该第二比值,且该第二比值大于该第三比值。
2. 如权利要求1所述的液晶显示面板,其中该第一薄膜晶体管、该第二薄膜晶体管以及该第三薄膜晶体管具有相同的沟道长度。
3. 如权利要求1所述的液晶显示面板,其中该第一比值、该第二比值以及该第三比值的比例约为12:6:5。
4. 如权利要求1所述的液晶显示面板,其中该第三比值约为0.7。
5. 如权利要求1所述的液晶显示面板,另包含:
 - 一第四子像素,包含:
 - 一第四存储电容;以及
 - 一第四薄膜晶体管,具有一第一端电性连接于一第二数据线,一第二端电性连接于该第四存储电容,以及一控制端电性连接于该第一扫描线,该第四薄膜晶体管的沟道宽度与沟道长度具有该第一比值;
 - 一第五子像素,包含:
 - 一第五存储电容;以及
 - 一第五薄膜晶体管,具有一第一端电性连接于第四薄膜晶体管的第二端,一第二端电性连接于该第五存储电容,以及一控制端电性连接于该第二扫描线,该第五薄膜晶体管的沟道宽度与沟道长度具有该第二比值;以及
 - 一第六子像素,包含:
 - 一第六存储电容;以及
 - 一第六薄膜晶体管,具有一第一端电性连接于第五薄膜晶体管的第二端,一第二端电性连接于该第六存储电容,以及一控制端电性连接于该第三扫描线,该第六薄膜晶体管的沟道宽度与沟道长度具有该第三比值。
6. 如权利要求1所述的液晶显示面板,另包含:

一第七子像素,包含:

一第七存储电容;以及

一第七薄膜晶体管,具有一第一端电性连接于该第一数据线,一第二端电性连接于该第七存储电容,以及一控制端电性连接于该第二扫描线,该第七薄膜晶体管的沟道宽度与沟道长度具有该第一比值;

一第八子像素,包含:

一第八存储电容;以及

一第八薄膜晶体管,具有一第一端电性连接于第七薄膜晶体管的第二端,一第二端电性连接于该第八存储电容,以及一控制端电性连接于该第三扫描线,该第八薄膜晶体管的沟道宽度与沟道长度具有该第二比值;以及

一第九子像素,包含:

一第九存储电容;以及

一第九薄膜晶体管,具有一第一端电性连接于第八薄膜晶体管的第二端,一第二端电性连接于该第九存储电容,以及一控制端电性连接于一第四扫描线,该第九薄膜晶体管的沟道宽度与沟道长度具有该第三比值。

7. 一种可补偿馈通电压的液晶显示面板,包含:

一第一子像素,包含:

一第一存储电容;以及

一第一薄膜晶体管,具有一第一端电性连接于一第一数据线,一第二端电性连接于该第一存储电容,以及一控制端电性连接于一第一扫描线,该第一薄膜晶体管的第二端与控制端之间具有一第一耦合电容以及一第一补偿电容;

一第二子像素,包含:

一第二存储电容;以及

一第二薄膜晶体管,具有一第一端电性连接于第一薄膜晶体管的第二端,一第二端电性连接于该第二存储电容,以及一控制端电性连接于一第二扫描线,该第二薄膜晶体管的第二端与控制端之间具有一第二耦合电容以及一第二补偿电容;以及

一第三子像素,包含:

一第三存储电容;以及

一第三薄膜晶体管,具有一第一端电性连接于第二薄膜晶体管的第二端,一第二端电性连接于该第三存储电容,以及一控制端电性连接于一第三扫描线,该第三薄膜晶体管的第二端与控制端的耦合电容之间具有一第三耦合电容;

其中该第一补偿电容的值大于该第二补偿电容的值,该第一耦合电容、该第二耦合电容和该第三耦合电容的值相等。

8. 如权利要求7所述的液晶显示面板,其中该第二补偿电容的值与该第一补偿电容的值的比例约为1:4至1:7。

9. 如权利要求7所述的液晶显示面板,其中该第一薄膜晶体管的第二端的线宽大于该第三薄膜晶体管的第二端的线宽。

10. 如权利要求7所述的液晶显示面板,其中该第二薄膜晶体管的第二端的线宽大于该第三薄膜晶体管的第二端的线宽。

11. 如权利要求 7 所述的液晶显示面板,另包含:

一第四子像素,包含:

一第四存储电容;以及

一第四薄膜晶体管,具有一第一端电性连接于一第二数据线,一第二端电性连接于该第四存储电容,以及一控制端电性连接于该第一扫描线,该第四薄膜晶体管的第二端与控制端之间具有一第四耦合电容以及一第四补偿电容,该第四耦合电容与该第一耦合电容的值相等,该第四补偿电容与该第一补偿电容的值相等;

一第五子像素,包含:

一第五存储电容;以及

一第五薄膜晶体管,具有一第一端电性连接于第四薄膜晶体管的第二端,一第二端电性连接于该第五存储电容,以及一控制端电性连接于该第二扫描线,该第五薄膜晶体管的第二端与控制端之间具有一第五耦合电容以及一第五补偿电容,该第五耦合电容与该第一耦合电容的值相等,该第五补偿电容与该第二补偿电容的值相等;以及

一第六子像素,包含:

一第六存储电容;以及

一第六薄膜晶体管,具有一第一端电性连接于第五薄膜晶体管的第二端,一第二端电性连接于该第六存储电容,以及一控制端电性连接于该第三扫描线,该第六薄膜晶体管的第二端与控制端之间具有一第六耦合电容,该第六耦合电容与该第一耦合电容的值相等。

12. 如权利要求 7 所述的液晶显示面板,另包含:

一第七子像素,包含:

一第七存储电容;以及

一第七薄膜晶体管,具有一第一端电性连接于该第一数据线,一第二端电性连接于该第七存储电容,以及一控制端电性连接于该第二扫描线,该第七薄膜晶体管的第二端与控制端之间具有一第七耦合电容以及一第七补偿电容,该第七耦合电容与该第一耦合电容的值相等,该第七补偿电容与该第一补偿电容的值相等;

一第八子像素,包含:

一第八存储电容;以及

一第八薄膜晶体管,具有一第一端电性连接于第七薄膜晶体管的第二端,一第二端电性连接于该第八存储电容,以及一控制端电性连接于该第三扫描线,该第八薄膜晶体管的第二端与控制端之间具有一第八耦合电容以及一第八补偿电容,该第八耦合电容与该第一耦合电容的值相等,该第八补偿电容与该第二补偿电容的值相等;以及

一第九子像素,包含:

一第九存储电容;以及

一第九薄膜晶体管,具有一第一端电性连接于第八薄膜晶体管的第二端,一第二端电性连接于该第九存储电容,以及一控制端电性连接于一第四扫描线,该第九薄膜晶体管的第二端与控制端之间具有一第九耦合电容,该第九耦合电容与该第一耦合电容的值相等。

可补偿馈通电压的液晶显示面板

技术领域

[0001] 本发明涉及一种液晶显示面板,尤其涉及一种可补偿馈通电压的液晶显示面板。

背景技术

[0002] 液晶显示装置具有外型轻薄、耗电量少以及无辐射污染等特性,因此已被广泛地应用于电脑屏幕、行动电话、个人数字助理(PDA)、平面电视等电子产品上。液晶显示装置包含薄膜晶体管基板以及彩色滤光片基板,两片基板之间夹置液晶材料层,借由改变液晶材料层两端的电位差,即可改变液晶材料层内液晶分子的旋转角度,使得液晶材料层的透光性改变而显示出不同的影像。

[0003] 请参考图 1,图 1 为相关技术的薄膜晶体管液晶显示面板的示意图。显示面板 10 包含多条扫描线 $G1 \sim Gm$ 、多条数据线 $S1 \sim Sn$ 以及多个像素。每一像素包含一晶体管 12、一存储电容 14 及一液晶电容 16,晶体管 12 的栅极与漏极间存在一寄生电容 18。以扫描线 $G1$ 及数据线 $S1$ 连接的像素为例,晶体管 12 的栅极电性连接于扫描线 $G1$,晶体管 12 的源极电性连接于数据线 $S1$,晶体管 12 的漏极电性连接于像素电极,也就是存储电容 14 以及液晶电容 16 的第一端。液晶电容 16 为显示面板 10 的二基板夹置液晶材料层所形成的等效电容,施加于液晶电容 16 的第一端的电压称为像素电压,存储电容 14 用来存储像素电压直到下一次数据信号的输入。施加于液晶电容 16 的第二端的电压为共同电压 V_{COM} ,通常存储电容 16 的第二端的电压 V_{cst} 亦为共同电压 V_{COM} ,有些设计者会借由调整存储电容 16 的电压 V_{cst} 以得到不同的显示特性。

[0004] 请参考图 2,图 2 为图 1 的显示面板 10 的电压波形图。当扫描线电压 22 由 V_{gl} 升高至 V_{gh} 时,开启晶体管 12,数据线电压 24 于扫描线电压 22 的工作时间(duty time) T_{on} 内对像素电极充电,像素电压由 V_{d1} 升至 V_{dh} ,经过扫描线电压 22 的工作时间 T_{on} 后,扫描线电压 22 下降至 V_{gl} ,此时关闭晶体管 12,因此数据线无法继续充电。当数据线电压 24 由 V_{dh} 降为 V_{d1} 时,存储电容 16 将像素电压保持在 V_{dh} ,使得像素电压 26 不会立刻下降至 V_{d1} 。然而,当扫描线电压 22 由 V_{gh} 下降至 V_{gl} 时,由于寄生电容 18 的耦合,使得像素电压 26 下拉一馈通电压(feed-through voltage) ΔV_p 。因此,像素电压 26 与共同电压 V_{COM} 便存在馈通电压 ΔV_p ,造成薄膜晶体管液晶显示器的画面闪烁(flicker)。

发明内容

[0005] 因此,本发明的一目的在于提供一种可补偿馈通电压(feed-through voltage)的液晶显示面板,以解决上述的问题。

[0006] 本发明提供一种可补偿馈通电压的液晶显示面板,包含一第一子像素、一第二子像素以及一第三子像素。该第一子像素包含一第一存储电容以及一第一薄膜晶体管。该第一薄膜晶体管具有一第一端电性连接于一第一数据线,一第二端电性连接于该第一存储电容,以及一控制端电性连接于一第一扫描线,该第一薄膜晶体管的沟道宽度与沟道长度(W/L)具有一第一比值。该第二子像素包含一第二存储电容以及一第二薄膜晶体管。该第二薄

膜晶体管具有一第一端电性连接于第一薄膜晶体管的第二端，一第二端电性连接于该第二存储电容，以及一控制端电性连接于一第二扫描线，该第二薄膜晶体管的沟道宽度与沟道长度具有一第二比值。该第三子像素包含一第三存储电容以及一第三薄膜晶体管。该第三薄膜晶体管具有一第一端电性连接于第二薄膜晶体管的第二端，一第二端电性连接于该第三存储电容，以及一控制端电性连接于一第三扫描线，该第三薄膜晶体管的沟道宽度与沟道长度具有一第三比值。

[0007] 本发明另提供一种可补偿馈通电压的液晶显示面板，包含一第一子像素、一第二子像素以及一第三子像素。该第一子像素包含一第一存储电容以及一第一薄膜晶体管。该第一薄膜晶体管具有一第一端电性连接于一第一数据线，一第二端电性连接于该第一存储电容，以及一控制端电性连接于一第一扫描线，该第一薄膜晶体管的第二端与控制端之间具有一第一耦合电容以及一第一补偿电容。该第二子像素包含一第二存储电容以及一第二薄膜晶体管。该第二薄膜晶体管具有一第一端电性连接于第一薄膜晶体管的第二端，一第二端电性连接于该第二存储电容，以及一控制端电性连接于一第二扫描线，该第二薄膜晶体管的第二端与控制端之间具有一第二耦合电容以及一第二补偿电容。该第三子像素包含一第三存储电容以及一第三薄膜晶体管。该第三薄膜晶体管具有一第一端电性连接于第二薄膜晶体管的第二端，一第二端电性连接于该第三存储电容，以及一控制端电性连接于一第三扫描线，该第三薄膜晶体管的第二端与控制端的耦合电容之间具有一第三耦合电容，其中该第一补偿电容的值大于该第二补偿电容的值，该第一耦合电容、该第二耦合电容和该第三耦合电容的值相等。

[0008] 本发明提供的液晶显示面板借由一数据线将显示数据传送于以的字形的排列方式的第一子像素、第二子像素以及第三子像素。液晶显示面板借由调整该第一子像素、第二子像素以及第三子像素的薄膜晶体管的沟道宽度与沟道长度的比值的比例，或调整该第一子像素、第二子像素以及第三子像素的薄膜晶体管的耦合电容的值，以改善该第一子像素、第二子像素以及第三子像素的馈通电压的差异值。

附图说明

[0009] 图 1 为相关技术的薄膜晶体管液晶显示面板的示意图。

[0010] 图 2 为图 1 的显示面板的电压波形图。

[0011] 图 3 为本发明的液晶显示面板的像素排列的示意图。

[0012] 图 4 为图 3 的液晶显示面板的操作波形图。

[0013] 图 5 为薄膜晶体管的沟道宽度与沟道长度的示意图。

[0014] 图 6 为图 3 的液晶显示面板的像素位置的示意图。

[0015] 图 7 为薄膜晶体管的耦合电容以及补偿电容的示意图。

[0016] 其中，附图标记说明如下：

[0017]	10	显示面板	12	晶体管
[0018]	14	存储电容	16	液晶电容
[0019]	18	寄生电容	22	扫描线电压
[0020]	24	数据线电压	26	像素电压
[0021]	G1 ~ Gm	扫描线	S1 ~ Sn	数据线

[0022]	C1 ~ Cm	共同电压	Vcst	存储电容电压
[0023]	ΔV_p	馈通电压	Vgl、Vgh	数据线电压电平
[0024]	Vd1、Vdh	像素电压电平	Ton	工作时间
[0025]	30、60	液晶显示面板	31	子像素
[0026]	32	薄膜晶体管	33	存储电容
[0027]	G1 ~ G480	扫描线	D1 ~ D640	数据线
[0028]	t1 ~ t3	时段	601、603	区域
[0029]	W	沟道宽度	L	沟道长度
[0030]	501、701	薄膜晶体管的控制端	503、703	薄膜晶体管的第一端
[0031]	505、705	薄膜晶体管的第二端	507、707	复晶硅层
[0032]	709	补偿电容	ΔV_{f1} 、	馈通电压
[0033]			ΔV_{f2} 、 ΔV_{f3}	

具体实施方式

[0034] 请参考图 3, 图 3 为本发明的液晶显示面板的像素排列的示意图。液晶显示面板 30 包含多个子像素 31, 每一像素 31 包含一薄膜晶体管 32 以及一存储电容 33。液晶显示面板 30 的每一条数据线以的字形 (zigzag) 的排列方式传送三行的子像素的显示数据。例如, 数据线 D1 用来将显示数据传送到子像素 P1、P2、P3。子像素 P3 的薄膜晶体管的第一端电性连接于数据线 D1, 子像素 P3 的薄膜晶体管的第二端电性连接于子像素 P3 的存储电容, 子像素 P3 的薄膜晶体管的控制端电性连接于扫描线 G3。子像素 P2 的薄膜晶体管的第一端电性连接于子像素 P3 的薄膜晶体管的第二端, 子像素 P2 的薄膜晶体管的第二端电性连接于子像素 P2 的存储电容, 子像素 P2 的薄膜晶体管的控制端电性连接于扫描线 G2。子像素 P1 的薄膜晶体管的第一端电性连接于子像素 P2 的薄膜晶体管的第二端, 子像素 P1 的薄膜晶体管的第二端电性连接于子像素 P1 的存储电容, 子像素 P1 的薄膜晶体管的控制端电性连接于扫描线 G1。

[0035] 请参考图 4, 图 4 为图 3 的液晶显示面板的操作波形图。于时段 t1, 液晶显示面板 30 将显示数据写入子像素 P1, 扫描线 G1、G2、G3 被开启 (信号为逻辑高电平), 显示数据透过数据线 D1、子像素 P3 的薄膜晶体管、子像素 P2 的薄膜晶体管以及子像素 P1 的薄膜晶体管传送到子像素 P1 的存储电容。于时段 t2, 液晶显示面板 30 将显示数据写入子像素 P2, 扫描线 G2、G3 被开启, 显示数据透过数据线 D1、子像素 P3 的薄膜晶体管以及子像素 P2 的薄膜晶体管传送到子像素 P2 的存储电容。于时段 t3, 液晶显示面板 30 将显示数据写入子像素 P3, 扫描线 G3 被开启, 显示数据透过数据线 D1 以及子像素 P3 的薄膜晶体管传送到子像素 P3 的存储电容。

[0036] 如图 4 所示, 子像素 P1 受到 3 次馈通电压 ΔV_{f11} 、 ΔV_{f12} 、 ΔV_{f13} 的影响, 子像素 P1、P2、P3 的薄膜晶体管的控制端及第二端的耦合电容的值分别为 Cgd1、Cgd2、Cgd3, 子像素 P1、P2、P3 的总电容值分别为 Ctt1、Ctt2、Ctt3, 扫描线的驱动高电压以及低电压分别为 Vgh、Vgl, 则子像素 P1 的馈通电压 ΔV_{f1} 可表示为式 (1) :

$$[0037] \quad \Delta V_{f1} \equiv \left(\frac{C_{gd3}}{C_{tt3} + C_{tt2} + C_{tt1}} + \frac{C_{gd2}}{C_{tt2} + C_{tt1}} + \frac{C_{gd1}}{C_{tt1}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (1)}$$

[0038] 子像素 P2 受到 2 次馈通电压 ΔV_{f21} 、 ΔV_{f22} 的影响,子像素 P2 的馈通电压 ΔV_{f2} 可表示为式 (2):

$$[0039] \quad \Delta V_{f2} \cong \left(\frac{C_{gd3}}{C_{tt3} + C_{tt2}} + \frac{C_{gd2}}{C_{tt2}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (2)}$$

[0040] 子像素 P3 受到 1 次馈通电压 ΔV_{f31} 的影响,子像素 P1 的馈通电压 ΔV_{f3} 可表示为式 (3):

$$[0041] \quad \Delta V_{f3} \cong \left(\frac{C_{gd3}}{C_{tt3}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (3)}$$

[0042] 请参考图 5,图 5 为薄膜晶体管的沟道宽度与沟道长度的示意图。薄膜晶体管的控制端 501 由第一金属层所形成、薄膜晶体管的第一端 503、第二端 505 由第二金属层所形成,第一金属层、第二金属层与复晶硅层 507 形成薄膜晶体管的沟道宽度 W 与沟道长度 L。在本发明第一实施例中,子像素 P3 的薄膜晶体管的沟道宽度与沟道长度 (W/L) 具有第一比值,子像素 P2 的薄膜晶体管的沟道宽度与沟道长度具有第二比值,子像素 P1 的薄膜晶体管的沟道宽度与沟道长度具有第三比值,借由将子像素 P1、P2、P3 的薄膜晶体管的沟道宽度与沟道长度的比值调整为预设的比例,以改善子像素 P3、P2、P1 的馈通电压的差异值。请再次参考图 3,同样地,数据线 D2 用来将显示数据传送到子像素 P4、P5、P6。子像素 P4 的薄膜晶体管的沟道宽度与沟道长度具有第一比值,子像素 P5 的薄膜晶体管的沟道宽度与沟道长度具有第二比值,子像素 P6 的薄膜晶体管的沟道宽度与沟道长度具有第三比值,借由将子像素 P4、P5、P6 的薄膜晶体管的沟道宽度与沟道长度的比值调整为预设的比例,可改善子像素 P4、P5、P6 的馈通电压的差异值。此外,根据的字形的排列方式,数据线 D1 将显示数据传送到子像素 P7、P8、P9。因此,子像素 P7 的第一薄膜晶体管的沟道宽度与沟道长度具有第一比值,子像素 P8 的薄膜晶体管的沟道宽度与沟道长度具有第二比值,子像素 P9 的薄膜晶体管的沟道宽度与沟道长度具有第三比值。

[0043] 假设子像素 P1、P2、P3 的馈通电压 ΔV_{f1} 、 ΔV_{f2} 、 ΔV_{f3} 相等,且子像素 P1、P2、P3 的总电容值 C_{tt1} 、 C_{tt2} 、 C_{tt3} 约为相等,根据式 (1)、式 (2)、式 (3),子像素 P1、P2、P3 的薄膜晶体管的控制端及第二端的耦合电容的值 C_{gd1} 、 C_{gd2} 、 C_{gd3} 可表示为式 (4):

$$[0044] \quad C_{gd3} = 2C_{gd2} = \frac{12}{5}C_{gd1} \quad \text{式 (4)}$$

[0045] 因此,根据式 (4),第一比值、第二比值以及第三比值的比例约为 12:6:5。

[0046] 请参考图 6,图 6 为图 3 的液晶显示面板的像素位置的示意图。以 3 吋的液晶显示面板 60 为例,解析度为 640X480,包含扫描线 G1 至 G480 以及数据线 D1 至 D640。由于扫描线以及数据线会有线路阻抗而对液晶显示面板 60 的显示效果产生影响。区域 601 中的子像素 P1、P2、P3 为扫描线的驱动电压与数据线的显示数据受到线路阻抗的影响最小,所以区域 601 为液晶显示面板 60 中显示效果最佳的区域。区域 603 中的子像素 P1、P2、P3 为扫描线的驱动电压与数据线的显示数据受到线路阻抗的影响最大,所以区域 603 为液晶显示面板 60 中显示效果最差的区域。在调整子像素 P1、P2、P3 的薄膜晶体管的沟道宽度与沟道长度的比值时,假设子像素 P1、P2、P3 的薄膜晶体管具有相同的沟道长度,经过实验验证,请参考表 (1),在调整子像素 P1、P2、P3 的薄膜晶体管的沟道宽度与沟道长度的比值后,

子像素 P3、P2、P1 的馈通电压的差异值明显的改善。此外,根据表 (1),第三比值的优选实施例约为 0.7。

[0047] 表 (1)

[0048]

		条件 1	条件 2	条件 3
W(P3:P2:P1)		4:4:4	9.6:4.8:4	6.7:3.4:2.8
L		4	4	4
区域 601	P1	233	286	209
	P2	174	284	199
	P3	126	301	211
	差异值	107	17	12
区域 603	P1	194	238	174
	P2	150	236	169
	P3	101	230	165
	差异值	93	8	9

[0049] 请参考图 7,图 7 为薄膜晶体管的耦合电容以及补偿电容的示意图。薄膜晶体管的控制端 701 由第一金属层所形成、薄膜晶体管的第一端 703、第二端 705 由第二金属层所形成,第一金属层、第二金属层与复晶硅层 707 形成薄膜晶体管的沟道宽度 W 与沟道长度 L。在本发明第二实施例中,借由调整薄膜晶体管的第二端 705 的第二金属层的线宽以产生补偿电容 709。子像素 P1 的薄膜晶体管具有耦合电容的值 Cgd 以及补偿电容的值 Cgd1,根据式 (1),子像素 P1 的馈通电压 ΔV_{fc1} 可表示为式 (5) :

[0050]
$$\Delta V_{fc1} \cong \left(\frac{C_{gd3} + C_{gd}}{C_{tt3} + C_{tt2} + C_{tt1}} + \frac{C_{gd2} + C_{gd}}{C_{tt2} + C_{tt1}} + \frac{C_{gd1} + C_{gd}}{C_{tt1}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (5)}$$

[0051] 子像素 P2 的薄膜晶体管具有耦合电容的值 Cgd 以及补偿电容的值 Cgd2,根据式 (2),子像素 P2 的馈通电压 ΔV_{fc2} 可表示为式 (6) :

[0052]
$$\Delta V_{fc2} \cong \left(\frac{C_{gd3} + C_{gd}}{C_{tt3} + C_{tt2}} + \frac{C_{gd2} + C_{gd}}{C_{tt2}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (6)}$$

[0053] 子像素 P3 的薄膜晶体管具有耦合电容的值 Cgd 以及补偿电容的值 Cgd3,根据式 (3),子像素 P3 的馈通电压 ΔV_{fc3} 可表示为式 (7) :

[0054]
$$\Delta V_{fc3} \cong \left(\frac{C_{gd3} + C_{gd}}{C_{tt3}} \right) \times (V_{gh} - V_{gl}) \quad \text{式 (7)}$$

[0055] 假设子像素 P1、P2、P3 的馈通电压 ΔV_{f1} 、 ΔV_{f2} 、 ΔV_{f3} 相等,且子像素 P1、P2、P3 的总电容值 C_{tt1}、C_{tt2}、C_{tt3} 约为相等,根据式 (5)、式 (6)、式 (7),子像素 P1、P2、P3 的薄膜晶体管的补偿电容的值 Cgd1、Cgd2、Cgd3 可表示为式 (8) :

[0056] $C_{gd1}=0, C_{gd2}=\frac{1}{5}C_{gd}, C_{gd3}=\frac{7}{5}C_{gd}$ 式 (8)

[0057] 在第二实施例中,子像素 P3 的薄膜晶体管的第二端与控制端之间具有第一补偿电容,子像素 P2 的薄膜晶体管的第二端与控制端之间具有第二补偿电容,根据式 (8) 以及实验验证,第二补偿电容的值与第一补偿电容的值的比例约为 1:4 至 1:7。

[0058] 请再次参考图 3,同样地,数据线 D2 用来将显示数据传送到子像素 P4、P5、P6。子像素 P4 的薄膜晶体管具有一耦合电容的值,子像素 P5 的薄膜晶体管具有该耦合电容的值以及第二补偿电容的值,子像素 P6 的薄膜晶体管具有该耦合电容的值以及第一补偿电容的值,借由调整子像素 P4、P5、P6 的薄膜晶体管的耦合电容的值、第一补偿电容的值以及第二补偿电容的值,可改善子像素 P4、P5、P6 的馈通电压的差异值。此外,根据的字形的排列方式,数据线 D1 将显示数据传送到子像素 P7、P8、P9。因此,子像素 P7 的薄膜晶体管具有一耦合电容的值,子像素 P8 的薄膜晶体管具有该耦合电容的值以及第二补偿电容的值,子像素 P9 的薄膜晶体管具有该耦合电容的值以及第一补偿电容的值。

[0059] 综上所述,本发明提供一种可补偿馈通电压的液晶显示面板,液晶显示面板借由一数据线将显示数据传送于以的字形的排列方式的第一子像素、第二子像素以及第三子像素。液晶显示面板借由调整该第一子像素、第二子像素以及第三子像素的薄膜晶体管的沟道宽度与沟道长度的比值的比例,或调整该第一子像素、第二子像素以及第三子像素的薄膜晶体管的耦合电容的值,以改善该第一子像素、第二子像素以及第三子像素的馈通电压的差异值。

[0060] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

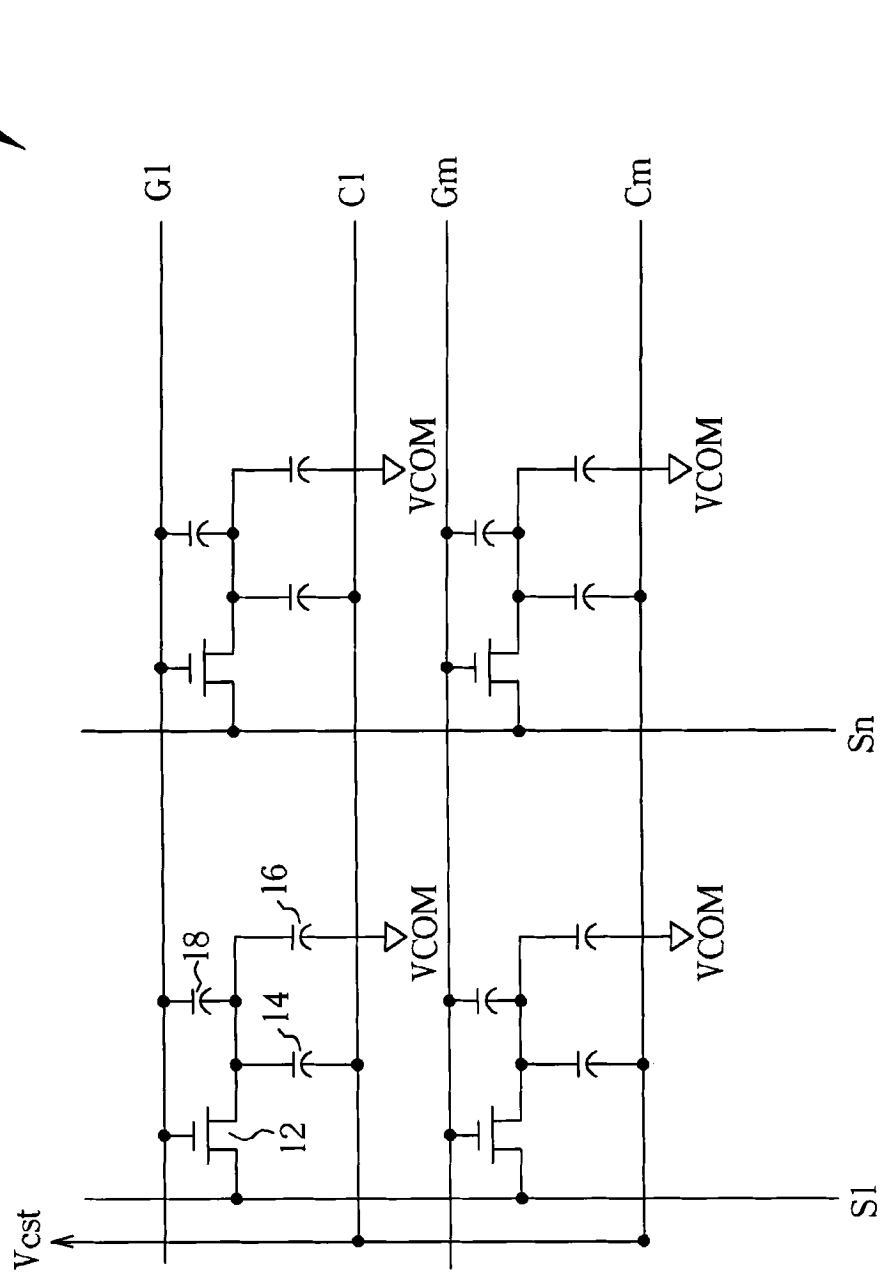


图 1

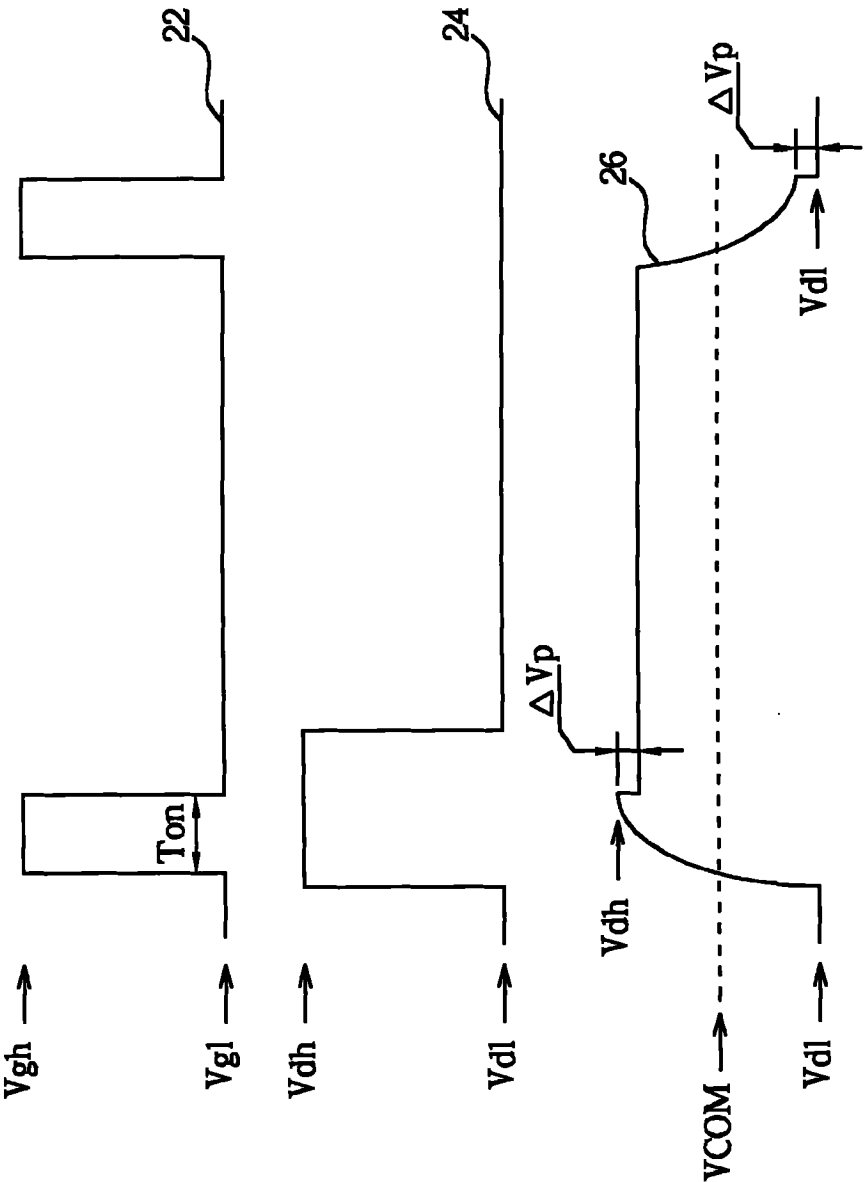


图 2

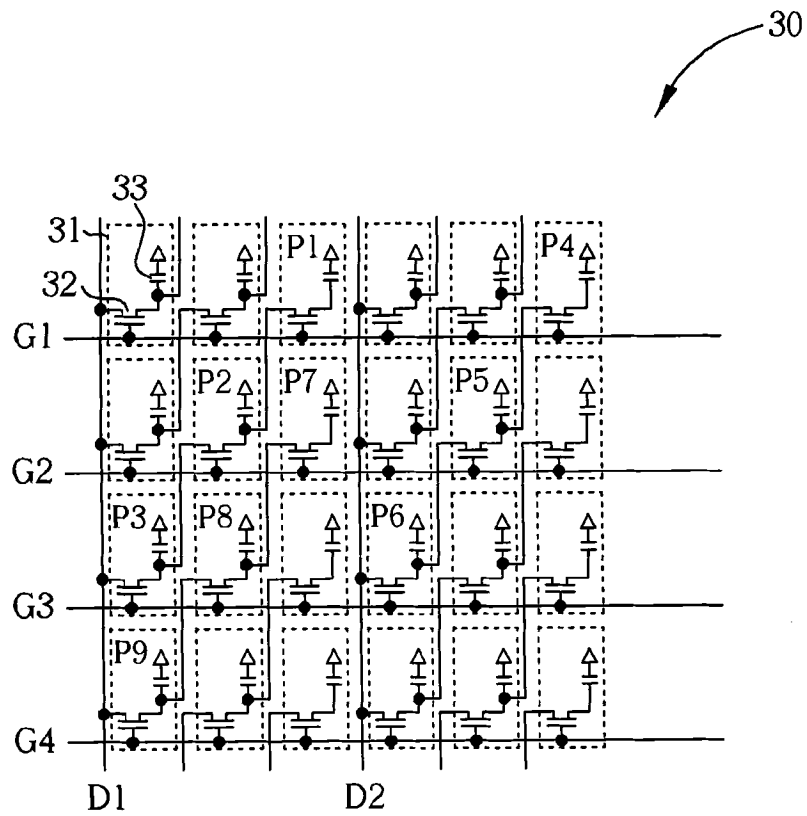


图 3

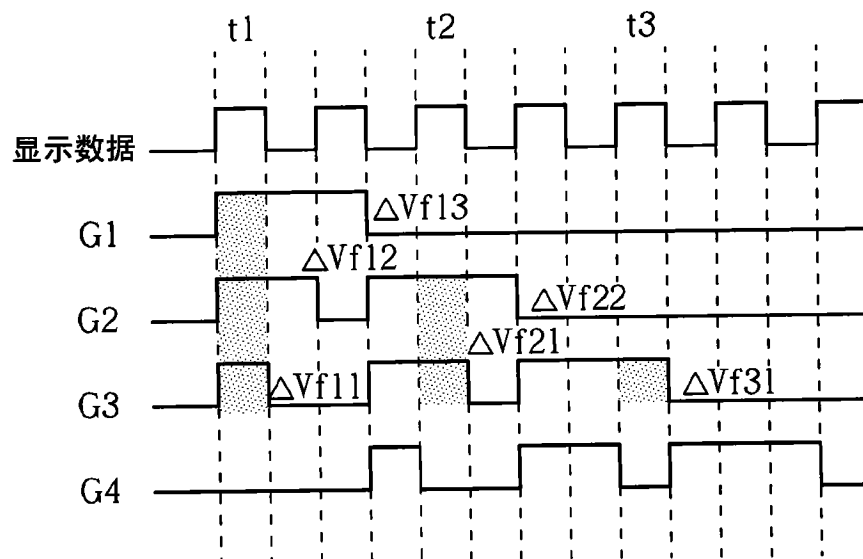


图 4

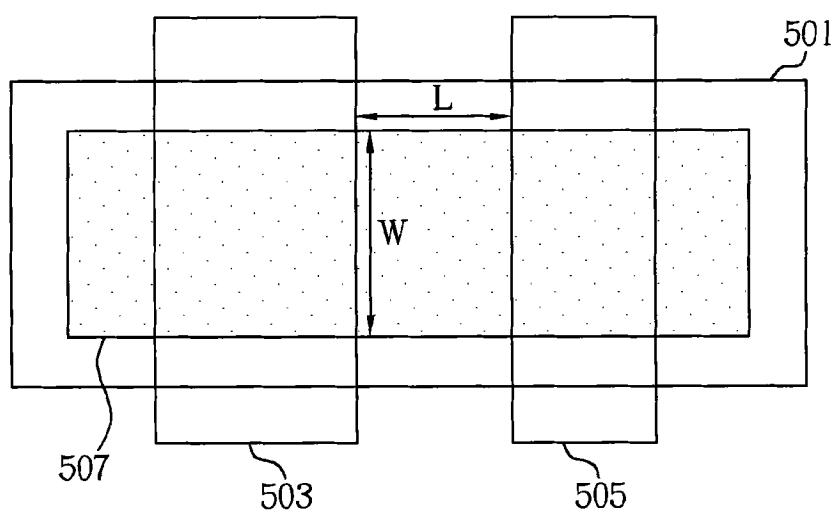


图 5

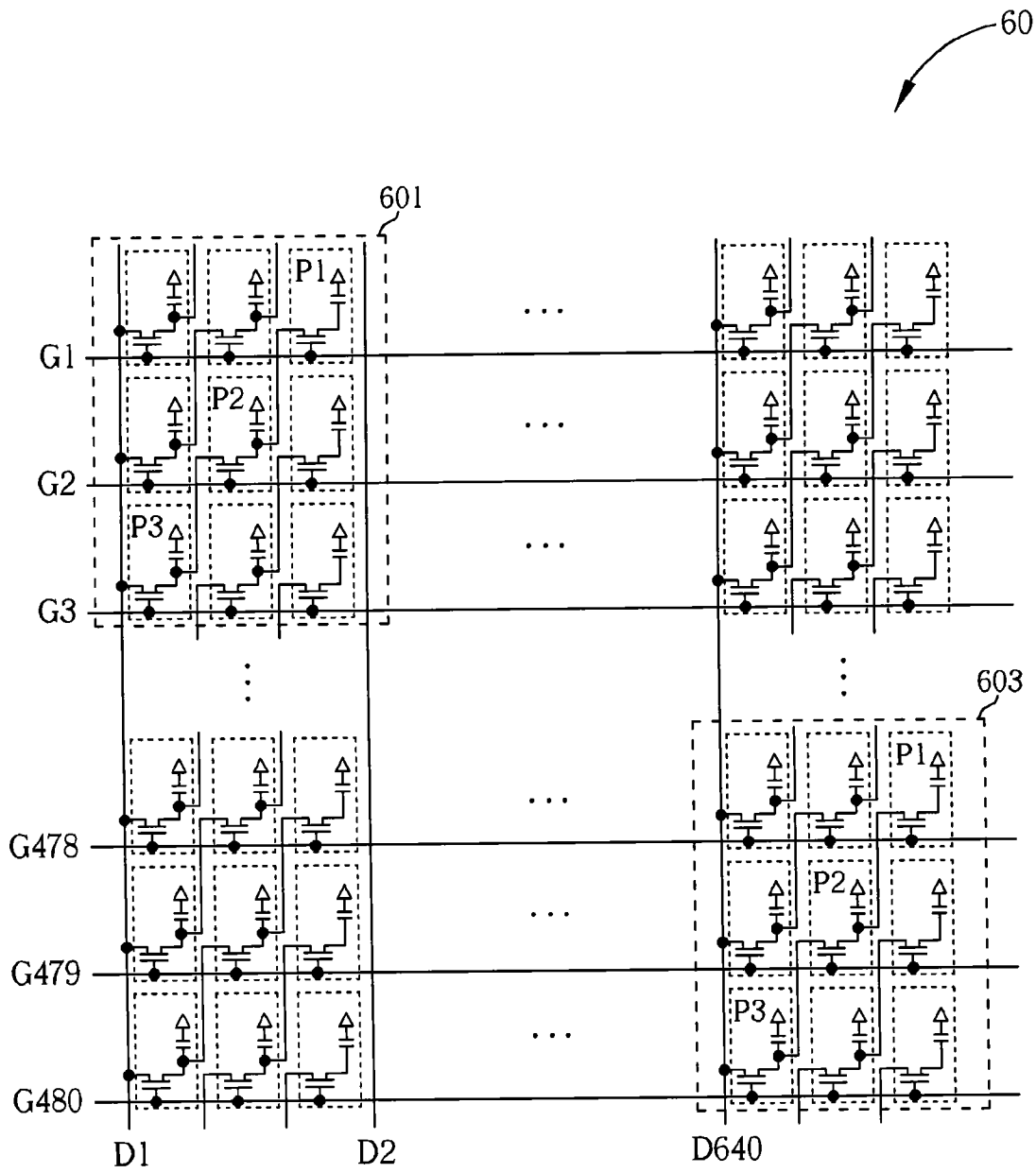


图 6

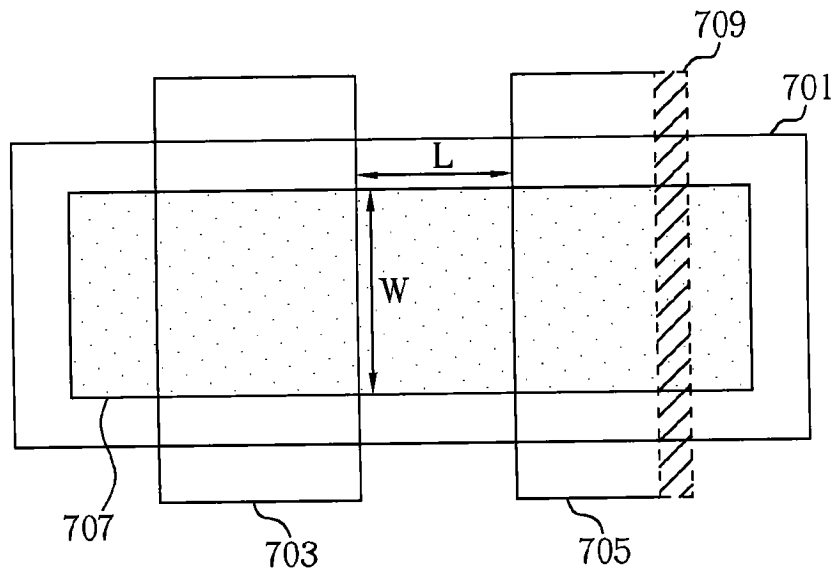


图 7

专利名称(译)	可补偿馈通电压的液晶显示面板		
公开(公告)号	CN102169264B	公开(公告)日	2013-10-16
申请号	CN201110051051.3	申请日	2011-02-25
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	赖俊吉 陈晋玮 王参群 郑国兴 陈昱丞		
发明人	赖俊吉 陈晋玮 王参群 郑国兴 陈昱丞		
IPC分类号	G09G3/36		
CPC分类号	G02F2001/134345 G09G2300/0439 G09G2320/0214 G02F1/136286 G02F1/136213 G09G2310/0205 G09G2310/0213 G09G3/3648 G09G2300/0426 H01L27/1251		
审查员(译)	张洪雷		
优先权	099147028 2010-12-30 TW		
其他公开文献	CN102169264A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示面板，该液晶显示面板借由一数据线将显示数据传送于以的字形的排列方式的第一子像素、第二子像素以及第三子像素。该液晶显示面板可借由将该第一子像素、第二子像素以及第三子像素的薄膜晶体管的沟道宽度与沟道长度的比值调整为预设的比例，或借由将该第一子像素、第二子像素以及第三子像素的薄膜晶体管的耦合电容值增加补偿电容值，以改善该第一子像素、第二子像素以及第三子像素的馈通电压的差异值。

