

(12) 发明专利

(10) 授权公告号 CN 102156369 B

(45) 授权公告日 2013. 09. 04

(21) 申请号 201110020246. 1

(22) 申请日 2011. 01. 18

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

(72) 发明人 金原爽 金秘爽

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(56) 对比文件

CN 101424853 A, 2009. 05. 06,
CN 101424853 A, 2009. 05. 06,
CN 101410882 A, 2009. 04. 15,
CN 101008750 A, 2007. 08. 01,
CN 101276103 A, 2008. 10. 01,

审查员 刘燕梅

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/1343(2006. 01)

H01L 27/12(2006. 01)

H01L 21/77(2006. 01)

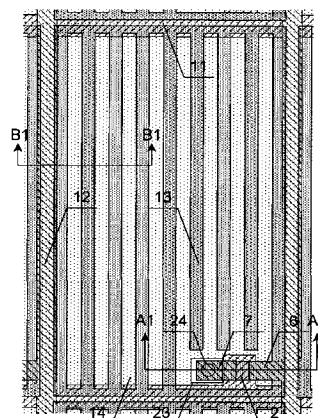
权利要求书2页 说明书8页 附图9页

(54) 发明名称

薄膜晶体管液晶显示阵列基板及其制造方法

(57) 摘要

本发明涉及一种薄膜晶体管液晶显示阵列基板及其制造方法。阵列基板包括限定了像素区域的栅线和数据线,所述像素区域内形成有薄膜晶体管以及公共电极和电极条结构的像素电极,所述公共电极形成在覆盖所述数据线的第二绝缘层上,所述像素电极形成在覆盖所述公共电极的第三绝缘层上。本发明通过在覆盖数据线的第二绝缘层上形成公共电极,在覆盖公共电极的第三绝缘层上形成电极条结构的像素电极,使像素电极边缘与数据线边缘之间区域的液晶全部有规律的电场驱动,提高了驱动液晶的效率,使这一区域变成显示区域,最大限度地增加了显示区域的面积,有效提高了开口率。



1. 一种薄膜晶体管液晶显示阵列基板,包括限定了像素区域的栅线和数据线,所述像素区域内形成有薄膜晶体管以及形成多维空间复合电场的公共电极和电极条结构的像素电极,其特征在于,所述公共电极形成在覆盖所述数据线的第二绝缘层上,所述像素电极形成在覆盖所述公共电极的第三绝缘层上;所述多维空间复合电场是由同一平面内像素电极边缘所产生的平行电场以及像素电极层与公共电极层间产生的纵向电场形成的电场;每一像素电极边缘部分重合的位于数据线上方。

2. 根据权利要求1所述的薄膜晶体管液晶显示阵列基板,其特征在于,所述薄膜晶体管包括栅电极、源电极和漏电极,所述栅电极与栅线连接,所述源电极与数据线连接,所述漏电极通过第二绝缘层和第三绝缘层上开设的第四过孔与像素电极连接。

3. 根据权利要求2所述的薄膜晶体管液晶显示阵列基板,其特征在于,所述公共电极上开设有将所述第四过孔所在区域包含在内的第三过孔。

4. 根据权利要求1所述的薄膜晶体管液晶显示阵列基板,其特征在于,所述第二绝缘层上开设有位于栅线接口区域的第一过孔和位于数据线接口区域的第二过孔,所述第二绝缘层上形成有通过所述第一过孔与栅线连接的栅连接电极和通过所述第二过孔与数据线连接的数据连接电极,所述公共电极、栅连接电极和数据连接电极同层设置并在同一次构图工艺中形成。

5. 一种薄膜晶体管液晶显示阵列基板制造方法,其特征在于,包括:

步骤1、在基板上形成包括栅线和栅电极的图形;

步骤2、在完成前述步骤的基板上形成包括有源层、数据线、源电极和漏电极的图形;

步骤3、在完成前述步骤的基板上形成包括第一过孔和第二过孔图形的第二绝缘层,所述第一过孔位于栅线接口区域,所述第二过孔位于数据线接口区域;

步骤4、在完成前述步骤的基板上形成包括公共电极、栅连接电极和数据连接电极的图形,漏电极所在位置的公共电极上开设有第三过孔,所述栅连接电极通过第一过孔与栅线连接,所述数据连接电极通过第二过孔与数据线连接;

步骤5、在完成前述步骤的基板上形成第三绝缘层,并在漏电极所在位置形成暴露出漏电极表面的第四过孔,所述第四过孔的面积小于第三过孔的面积;

步骤6、在完成前述步骤的基板上形成包括像素电极的图形,所述像素电极通过第四过孔与漏电极连接;

所述像素电极边缘部分重合的位于数据线上方。

6. 根据权利要求5所述的薄膜晶体管液晶显示阵列基板制造方法,其特征在于,所述步骤2包括:

在完成前述步骤的基板上依次形成第一绝缘层、半导体薄膜、掺杂半导体薄膜和源漏金属薄膜;

在源漏金属薄膜上涂敷一层光刻胶;

采用半色调或灰色调掩模板对光刻胶进行曝光,显影后使光刻胶形成光刻胶完全保留区域、光刻胶完全去除区域和光刻胶部分保留区域;其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于源电极与漏电极之间 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外的区域;

通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和

半导体薄膜,形成包括有源层和数据线的图形;

通过灰化工艺去除光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

通过第二次刻蚀工艺完全刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜、形成源电极、漏电极和 TFT 沟道区域图形;

剥离剩余的光刻胶。

7. 根据权利要求 5 所述的薄膜晶体管液晶显示阵列基板制造方法,其特征在于,所述步骤 3 包括:在完成前述步骤的基板上形成第二绝缘层,采用普通掩模板通过构图工艺形成包括第一过孔和第二过孔的图形,第一过孔位于栅线接口区域,第一过孔内的第一绝缘层和第二绝缘层被刻蚀掉,暴露出栅线的表面,第二过孔位于数据线接口区域,第二过孔内的第二绝缘层被刻蚀掉,暴露出数据线的表面。

8. 根据权利要求 5 所述的薄膜晶体管液晶显示阵列基板制造方法,其特征在于,所述步骤 4 包括:在完成前述步骤的基板上形成第一透明导电薄膜,采用普通掩模板通过构图工艺形成包括公共电极、栅连接电极和数据连接电极的图形,漏电极所在位置的公共电极上开设有第三过孔,栅连接电极形成在栅线接口区域,覆盖住第一过孔并与栅线连接,数据连接电极形成在数据接口区域,覆盖住第二过孔并与数据线连接。

9. 根据权利要求 5 所述的薄膜晶体管液晶显示阵列基板制造方法,其特征在于,所述步骤 5 包括:在完成前述步骤的基板上形成第三绝缘层,采用普通掩模板通过构图工艺形成包括第四过孔的图形,第四过孔位于漏电极的上方,且第四过孔的面积小于第三过孔的面积,第四过孔内的第三绝缘层和第二绝缘层被刻蚀掉,暴露出漏电极的表面。

10. 根据权利要求 5 所述的薄膜晶体管液晶显示阵列基板制造方法,其特征在于,所述步骤 6 包括:在完成前述步骤的基板上形成第二透明导电薄膜,采用普通掩模板通过构图工艺在像素区域内形成包括像素电极的图形,像素电极为数个平行且依次排列的电极条,通过第四过孔与漏电极连接,每个电极条通过端部的连接条相互连接。

薄膜晶体管液晶显示阵列基板及其制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管液晶显示器及其制造方法,尤其是一种薄膜晶体管液晶显示阵列基板及其制造方法。

背景技术

[0002] 在薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 产品中,高级超维场开关技术 (Advanced-Super Dimensional Switching; 简称:AD-SDS) 是最近几年出现的可以改善 LCD 画质的技术之一,能同时实现高穿透性与大视角等要求。AD-SDS 技术通过同一平面内像素电极边缘所产生的平行电场以及像素电极层与公共电极层间产生的纵向电场形成多维空间复合电场,使液晶盒内像素电极间、电极正上方以及液晶盒上方所有取向液晶分子都能够产生旋转转换,从而提高了平面取向系液晶工作效率并增大了透光效率。高级超维场开关技术可以提高 TFT-LCD 画面品质,具有高透过率、宽视角、高开口率、低色差、低响应时间、无挤压水波纹 (push Mura) 波纹等优点。目前,现有技术 AD-SDS 型 TFT-LCD 的主体结构包括对盒在一起并将液晶夹设其间的阵列基板和彩膜基板,阵列基板上形成有栅线、数据线、像素电极、公共电极和薄膜晶体管,彩膜基板上形成有彩色树脂图形和黑矩阵图形。

[0003] 随着 TFT-LCD 市场需求的不断扩大,高开口率的要求不断提高。现有技术提出了一种采用树脂钝化层以提高开口率的技术方案,但由于树脂钝化层的材料昂贵,且涂敷设备和工艺要求高(要求涂敷厚度小于 $1.5 \mu\text{m}$),因此该技术方案的实施成本比较高。现有技术还提出了一种通过改变公共电极和像素电极的位置来提高开口率的技术方案,相对于传统 AD-SDS 型 TFT-LCD 阵列基板中将公共电极设置在基板上、将像素电极设置在钝化层上的结构形式,该技术方案将像素电极设置成与数据线同层,将公共电极设置在钝化层上。研究表明,该技术方案在像素电极与数据线之间存在透光现象,在一定程度上制约了开口率的提高,这是由于在像素电极与数据线之间,该技术方案采用了在一部分区域使用多维空间复合电场驱动液晶,而另一部分区域使用横向电场模式 (In-Plane Switching, 也称平面内切换) 驱动液晶。

发明内容

[0004] 本发明的目的是提供一种 TFT-LCD 阵列基板及其制造方法,可有效提高开口率。

[0005] 为实现上述目的,本发明提供了一种 TFT-LCD 阵列基板,包括限定了像素区域的栅线和数据线,所述像素区域内形成有薄膜晶体管以及形成多维空间复合电场的公共电极和电极条结构的像素电极,所述公共电极形成在覆盖所述数据线的第二绝缘层上,所述像素电极形成在覆盖所述公共电极的第三绝缘层上。

[0006] 所述像素电极边缘部分重合的位于数据线上方。

[0007] 所述薄膜晶体管包括栅电极、源电极和漏电极,所述栅电极与栅线连接,所述源电极与数据线连接,所述漏电极通过第二绝缘层和第三绝缘层上开设的第四过孔与像素电极

连接。

[0008] 所述公共电极上开设有将所述第四过孔所在区域包含在内的第三过孔。

[0009] 所述第二绝缘层上开设有位于栅线接口区域的第一过孔和位于数据线接口区域的第二过孔,所述第二绝缘层上形成有通过所述第一过孔与栅线连接的栅连接电极和通过所述第二过孔与数据线连接的数据连接电极,所述公共电极、栅连接电极和数据连接电极同层设置并在同一次构图工艺中形成。

[0010] 为实现上述目的,本发明还提供了一种 TFT-LCD 阵列基板制造方法,包括:

[0011] 步骤 1、在基板上形成包括栅线和栅电极的图形;

[0012] 步骤 2、在完成前述步骤的基板上形成包括有源层、数据线、源电极和漏电极的图形;

[0013] 步骤 3、在完成前述步骤的基板上形成包括第一过孔和第二过孔图形的第二绝缘层,所述第一过孔位于栅线接口区域,所述第二过孔位于数据线接口区域;

[0014] 步骤 4、在完成前述步骤的基板上形成包括公共电极、栅连接电极和数据连接电极的图形,漏电极所在位置的公共电极上开设有第三过孔,所述栅连接电极通过第一过孔与栅线连接,所述数据连接电极通过第二过孔与数据线连接;

[0015] 步骤 5、在完成前述步骤的基板上形成第三绝缘层,并在漏电极所在位置形成暴露出漏电极表面的第四过孔,所述第四过孔的面积小于第三过孔的面积;

[0016] 步骤 6、在完成前述步骤的基板上形成包括像素电极的图形,所述像素电极通过第四过孔与漏电极连接。

[0017] 所述像素电极边缘部分重合的位于数据线上方。

[0018] 所述步骤 2 包括:

[0019] 在完成前述步骤的基板上依次形成第一绝缘层、半导体薄膜、掺杂半导体薄膜和源漏金属薄膜;

[0020] 在源漏金属薄膜上涂敷一层光刻胶;

[0021] 采用半色调或灰色调掩模板对光刻胶进行曝光,显影后使光刻胶形成光刻胶完全保留区域、光刻胶完全去除区域和光刻胶部分保留区域;其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于源电极与漏电极之间 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外的区域;

[0022] 通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜,形成包括有源层和数据线的图形;

[0023] 通过灰化工艺去除光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

[0024] 通过第二次刻蚀工艺完全刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜、形成源电极、漏电极和 TFT 沟道区域图形;

[0025] 剥离剩余的光刻胶。

[0026] 所述步骤 3 包括:在完成前述步骤的基板上形成第二绝缘层,采用普通掩模板通过构图工艺形成包括第一过孔和第二过孔的图形,第一过孔位于栅线接口区域,第一过孔内的第一绝缘层和第二绝缘层被刻蚀掉,暴露出栅线的表面,第二过孔位于数据线接口区域,第二过孔内的第二绝缘层被刻蚀掉,暴露出数据线的表面。

[0027] 所述步骤 4 包括：在完成前述步骤的基板上形成第一透明导电薄膜，采用普通掩模板通过构图工艺形成包括公共电极、栅连接电极和数据连接电极的图形，漏电极所在位置的公共电极上开设有第三过孔，栅连接电极形成在栅线接口区域，覆盖住第一过孔并与栅线连接，数据连接电极形成在数据接口区域，覆盖住第二过孔并与数据线连接。

[0028] 所述步骤 5 包括：在完成前述步骤的基板上形成第三绝缘层，采用普通掩模板通过构图工艺形成包括第四过孔的图形，第四过孔位于漏电极的上方，且第四过孔的面积小于第三过孔的面积，第四过孔内的第三绝缘层和第二绝缘层被刻蚀掉，暴露出漏电极的表面。

[0029] 所述步骤 6 包括：在完成前述步骤的基板上形成第二透明导电薄膜，采用普通掩模板通过构图工艺在像素区域内形成包括像素电极的图形，像素电极为数个平行且依次排列的电极条，通过第四过孔与漏电极连接，每个电极条通过端部的连接条相互连接。

[0030] 本发明提供了一种 TFT-LCD 阵列基板及其制造方法，通过在覆盖数据线的第二绝缘层上形成公共电极，在覆盖公共电极的第三绝缘层上形成电极条结构的像素电极，使像素电极边缘与数据线边缘之间区域的液晶全部由多维空间复合电场驱动，提高了驱动液晶的效率，使这一区域变成显示区域，因此最大限度地增加了显示区域的面积，有效提高了开口率。与现有技术采用树脂钝化层的技术方案相比，本发明采用现有设备和工艺，可节省投资费用和材料费用，不仅便于实施，而且生产成本低。与现有技术改变公共电极和像素电极的位置的技术方案相比，本发明同样采用六次构图工艺，在没有增加工艺流程和生产成本的前提下有效提高了开口率。

附图说明

- [0031] 图 1 为本发明 TFT-LCD 阵列基板的平面图；
- [0032] 图 2 为图 1 中 A1-A1 向的剖面图；
- [0033] 图 3 为图 1 中 B1-B1 向的剖面图；
- [0034] 图 4 为本发明 TFT-LCD 阵列基板第一次构图工艺后的平面图；
- [0035] 图 5 为图 4 中 A2-A2 向的剖面图；
- [0036] 图 6 为本发明 TFT-LCD 阵列基板第二次构图工艺后的平面图；
- [0037] 图 7 为图 6 中 A3-A3 向的剖面图；
- [0038] 图 8 为图 6 中 B3-B3 向的剖面图；
- [0039] 图 9 为本发明 TFT-LCD 阵列基板第三次构图工艺后的平面图；
- [0040] 图 10 为图 9 中 A4-A4 向的剖面图；
- [0041] 图 11 为图 9 中 B4-B4 向的剖面图；
- [0042] 图 12 为图 9 中栅线接口区域的剖面图；
- [0043] 图 13 为图 9 中数据线接口区域的剖面图；
- [0044] 图 14 为本发明 TFT-LCD 阵列基板第四次构图工艺后的平面图；
- [0045] 图 15 为图 14 中 A5-A5 向的剖面图；
- [0046] 图 16 为图 14 中 B5-B5 向的剖面图；
- [0047] 图 17 为图 14 中栅线接口区域的剖面图；
- [0048] 图 18 为图 14 中数据线接口区域的剖面图；

- [0049] 图 19 为本发明 TFT-LCD 阵列基板第五次构图工艺后的平面图；
- [0050] 图 20 为图 19 中 A6-A6 向的剖面图；
- [0051] 图 21 为图 19 中 B6-B6 向的剖面图；
- [0052] 图 22 为本发明 TFT-LCD 阵列基板制造方法的流程图。
- [0053] 附图标记说明：
- [0054] 1- 基板； 2- 栅电极； 3- 第一绝缘层；
- [0055] 4- 半导体层； 5- 掺杂半导体层； 6- 源电极；
- [0056] 7- 漏电极； 8- 第二绝缘层； 9- 第三绝缘层；
- [0057] 11- 栅线； 12- 数据线； 13- 像素电极；
- [0058] 14- 公共电极； 21- 第一过孔； 22- 第二过孔；
- [0059] 23- 第三过孔； 24- 第四过孔。

具体实施方式

[0060] 下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。附图中各层薄膜厚度和区域大小形状不反映 TFT-LCD 阵列基板的真实比例，目的只是示意说明本发明内容。

[0061] 图 1 为本发明 TFT-LCD 阵列基板的平面图，所反映的是一个像素单元的结构，图 2 为图 1 中 A1-A1 向的剖面图，图 3 为图 1 中 B1-B1 向的剖面图。如图 1～图 3 所示，本发明 TFT-LCD 阵列基板的主体结构包括形成在基板 1 上的栅线 11、数据线 12、像素电极 13、公共电极 14 和薄膜晶体管，栅线 11 和数据线 12 定义了像素区域，像素电极 13、公共电极 14 和薄膜晶体管形成在像素区域内，栅线 11 用于向薄膜晶体管提供开启信号或关断信号，数据线 12 用于向像素电极 13 提供数据信号，像素电极 13 为数个依次排列的电极条，用于与公共电极 14 形成多维空间复合电场，公共电极 14 形成在覆盖数据线 12 的第二绝缘层 8 上，像素电极 13 形成在覆盖公共电极 14 的第三绝缘层 9 上，所述像素电极 13 的边缘部分重合的位于数据线上（如图 2 和图 3 中所示），使像素电极 13 与数据线 12 之间区域变成显示区域，有效提高开口率。具体地，本发明 TFT-LCD 阵列基板包括形成在基板 1 上的栅线 11 和栅电极 2，栅电极 2 与栅线 11 连接；第一绝缘层 3 形成在栅线 11 和栅电极 2 上并覆盖整个基板 1；有源层（包括半导体层 4 和掺杂半导体层 5）形成在第一绝缘层 3 上并位于栅电极 2 的上方；源电极 6 和漏电极 7 形成在有源层上，源电极 6 的一端位于栅电极 2 的上方，另一端与数据线 12 连接，漏电极 7 的一端位于栅电极 2 的上方，另一端与像素电极 13 连接，源电极 6 与漏电极 7 之间形成 TFT 沟道区域，TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉，并刻蚀掉部分厚度的半导体层 4，使 TFT 沟道区域的半导体层 4 暴露出来；第二绝缘层 8 形成在上述构图上，并在栅线接口区域开设有第一过孔，在数据线接口区域开设有第二过孔；公共电极 14、栅连接电极和数据连接电极形成在第二绝缘层 8 上，位于漏电极 7 所在区域的公共电极 14 上开设有第三过孔 23，形成在栅线接口区域的栅连接电极通过第一过孔与栅线 11 连接，形成在数据接口区域的数据连接电极通过第二过孔与数据线 12 连接；第三绝缘层 9 形成在上述构图上，并在漏电极 7 位置开设有暴露出漏电极 7 表面的第四过孔 24，第四过孔 24 的面积小于第三过孔 23 的面积，即第三过孔 23 的所在区域包含了第四过孔 24 的所在区域；数个平行且依次排列电极条结构的像素电极 13 形成在第三绝缘层 9 上，数个

电极条一方面相互连接。另一方面通过第四过孔 24 与漏电极 7 连接。

[0062] 图 4～图 21 为本发明 TFT-LCD 阵列基板制造过程的示意图,可进一步说明本发明的技术方案,以下说明中,本发明所称的构图工艺包括光刻胶涂敷、掩模、曝光、刻蚀和光刻胶剥离等工艺,光刻胶以正性光刻胶为例。

[0063] 图 4 为本发明 TFT-LCD 阵列基板第一次构图工艺后的平面图,所反映的是一个像素单元的结构,图 5 为图 4 中 A2-A2 向的剖面图。首先采用磁控溅射或热蒸发的方法,在基板 1(如玻璃基板或石英基板)上沉积一层栅金属薄膜,采用普通掩模板通过构图工艺形成包括栅线 11 和栅电极 2 的图形,栅电极 2 与栅线 11 连接,如图 4 和图 5 所示。

[0064] 图 6 为本发明 TFT-LCD 阵列基板第二次构图工艺后的平面图,所反映的是一个像素单元的结构,图 7 为图 6 中 A3-A3 向的剖面图,图 8 为图 6 中 B3-B3 向的剖面图。在完成图 4 所示构图的基板上,首先采用旋涂等方法涂敷一层第一绝缘层,之后采用等离子体增强化学气相沉积(简称 PECVD)方法连续沉积半导体薄膜和掺杂半导体薄膜,然后采用磁控溅射或热蒸发的方法沉积一层源漏金属薄膜。采用半色调或灰色调掩模板通过构图工艺,形成包括有源层、数据线 12、源电极 6、漏电极 7 的图形,如图 6～图 8 所示。其中,有源层(包括半导体层 4 和掺杂半导体层 5)形成在第一绝缘层 3 上并位于栅电极 2 的上方,源电极 6 和漏电极 7 形成在有源层上,源电极 6 的一端位于栅电极 2 的上方,另一端与数据线 12 连接,漏电极 7 的一端位于栅电极 2 的上方,与源电极 6 相对设置,源电极 6 与漏电极 7 之间形成 TFT 沟道区域,TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 4,使 TFT 沟道区域的半导体层 4 暴露出来。

[0065] 本次构图工艺是一种采用多步刻蚀方法的构图工艺,与现有技术四次构图工艺中形成有源层、数据线、源电极、漏电极和 TFT 沟道区域图形的过程相同,工艺过程具体为:首先在源漏金属薄膜上涂敷一层光刻胶,采用半色调或灰色调掩模板对光刻胶进行曝光,显影后使光刻胶形成完全曝光区域(光刻胶完全去除区域)、未曝光区域(光刻胶完全保留区域)和部分曝光区域(光刻胶部分保留区域),其中未曝光区域对应于数据线、源电极和漏电极图形所在区域,部分曝光区域对应于 TFT 沟道区域图形所在区域,完全曝光区域对应于上述图形以外的区域。通过第一次刻蚀工艺完全刻蚀掉完全曝光区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜,形成包括有源层和数据线的图形。通过灰化工艺去除部分曝光区域的光刻胶,暴露出该区域的源漏金属薄膜。通过第二次刻蚀工艺完全刻蚀掉部分曝光区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜,使该区域的半导体薄膜暴露出来,形成包括源电极、漏电极和 TFT 沟道区域的图形。最后剥离剩余的光刻胶,完成本发明第二次构图工艺。由于有源层和数据线在同一次构图工艺中形成,因此数据线下方还保留有半导体薄膜和掺杂半导体层薄膜。

[0066] 图 9 为本发明 TFT-LCD 阵列基板第三次构图工艺后的平面图,所反映的是一个像素单元的结构,图 10 为图 9 中 A4-A4 向的剖面图,图 11 为图 9 中 B4-B4 向的剖面图,图 12 为图 9 中栅线接口区域的剖面图,图 13 为图 9 中数据线接口区域的剖面图。在完成图 6 所示构图的基板上,采用旋涂等方法涂敷一层第二绝缘层 8,然后采用普通掩模板通过构图工艺形成包括第一过孔 21 和第二过孔 22 的图形,第一过孔 21 位于栅线接口区域,第一过孔 21 内的第一绝缘层 3 和第二绝缘层 8 被刻蚀掉,暴露出栅线 11 的表面,第二过孔 22 位于数据线接口区域,第二过孔 22 内的第二绝缘层 8 被刻蚀掉,暴露出数据线 12 的表面,如图

9～图 13 所示。

[0067] 图 14 为本发明 TFT-LCD 阵列基板第四次构图工艺后的平面图,所反映的是一个像素单元的结构,图 15 为图 14 中 A5-A5 向的剖面图,图 16 为图 14 中 B5-B5 向的剖面图,图 17 为图 14 中栅线接口区域的剖面图,图 18 为图 14 中数据线接口区域的剖面图。在完成图 9 所示构图的基板上,采用磁控溅射或热蒸发的方法沉积一层第一透明导电薄膜,采用普通掩模板通过构图工艺形成包括公共电极 14、栅连接电极 15 和数据连接电极 16 的图形,公共电极 14 覆盖了整个像素区域,只是在漏电极 7 所在区域形成第三过孔 23,第三过孔 23 内暴露出第二绝缘层 8,栅连接电极 15 形成在栅线接口区域,栅连接电极 15 覆盖住第一过孔 21,并与栅线 11 连接,数据连接电极 16 形成在数据接口区域,数据连接电极 16 覆盖住第二过孔 22,并与数据线 12 连接,如图 14～图 18 所示。

[0068] 图 19 为本发明 TFT-LCD 阵列基板第五次构图工艺后的平面图,所反映的是一个像素单元的结构,图 20 为图 19 中 A6-A6 向的剖面图,图 21 为图 19 中 B6-B6 向的剖面图。在完成图 14 所示构图的基板上,采用旋涂等方法涂敷一层第三绝缘层 9,然后采用普通掩模板通过构图工艺形成包括第四过孔 24 的图形,第四过孔 24 位于漏电极 7 所在位置,且面积小于公共电极 14 上开设的第三过孔 23,第四过孔 24 内的第三绝缘层 9 和第二绝缘层 8 被刻蚀掉,暴露出漏电极 7 的表面,如图 19～图 21 所示。

[0069] 最后,在完成图 19 所示构图的基板上,采用磁控溅射或热蒸发的方法,沉积一层第二透明导电薄膜,采用普通掩模板通过构图工艺在像素区域内形成包括像素电极 13 的图形,像素电极 13 为数个平行且依次排列的电极条,用于与公共电极 14 形成多维空间复合电场,一方面像素电极 13 通过第四过孔 24 与漏电极 7 连接,另一方面每个电极条通过端部的连接条相互连接,如图 1～图 3 所示。由于第四过孔 24 的面积小于第三过孔 23 的面积,因此可以保证像素电极 13 与公共电极 14 之间的绝缘,不会出现像素电极 13 与公共电极 14 之间短路情况。

[0070] 需要说明的是,前述所示结构和制备流程只是本发明 TFT-LCD 阵列基板的结构形式之一,实际使用中,可以通过增加构图工艺、选择不同的材料或材料组合来实现本发明。例如,第一绝缘层、第二绝缘层和第三绝缘层既可以采用前述所示的有机绝缘层,也可以采用无机绝缘层。当采用无机绝缘层(如氧化物、氮化物或氧氮化合物)时,可以采用等离子体增强化学气相沉积(简称 PECVD)方法完成沉积。又如,可以采用第一绝缘层和第二绝缘层为无机绝缘层(如氮化硅)、第三绝缘层为有机绝缘层(如树脂材料)的结构形式。再如,前述第二次构图工艺可以由两个采用普通掩模板的构图工艺完成,即通过一次采用普通掩模板的构图工艺形成有源层图形,通过另一次采用普通掩模板的构图工艺形成数据线、源电极、漏电极和 TFT 沟道区域图形。

[0071] 本发明提供了一种 TFT-LCD 阵列基板,通过在覆盖数据线的第二绝缘层上形成公共电极,在覆盖公共电极的第三绝缘层上形成电极条结构的像素电极,像素电极边缘部分重合的位于数据线上,使像素电极边缘与数据线边缘之间区域的液晶全部由高级超维场开关模式驱动,提高了驱动液晶的效率,使这一区域变成显示区域,因此最大限度地增加了显示区域的面积,有效提高了开口率。与现有技术采用树脂钝化层的技术方案相比,本发明采用现有设备和工艺,可节省投资费用和材料费用,不仅便于实施,而且生产成本低。与现有技术改变公共电极和像素电极的位置的技术方案相比,本发明同样采用六次构图工艺,

在没有增加工艺流程和生产成本的前提下有效提高了开口率。

[0072] 图 22 为本发明 TFT-LCD 阵列基板制造方法的流程图,包括:

[0073] 步骤 1、在基板上形成包括栅线和栅电极的图形;

[0074] 步骤 2、在完成前述步骤的基板上形成包括有源层、数据线、源电极和漏电极的图形;

[0075] 步骤 3、在完成前述步骤的基板上形成包括第一过孔和第二过孔图形的第二绝缘层,所述第一过孔位于栅线接口区域,所述第二过孔位于数据线接口区域;

[0076] 步骤 4、在完成前述步骤的基板上形成包括公共电极、栅连接电极和数据连接电极的图形,漏电极所在位置的公共电极上开设有第三过孔,所述栅连接电极通过第一过孔与栅线连接,所述数据连接电极通过第二过孔与数据线连接;

[0077] 步骤 5、在完成前述步骤的基板上形成第三绝缘层,并在漏电极所在位置形成暴露出漏电极表面的第四过孔,所述第四过孔的面积小于第三过孔的面积;

[0078] 步骤 6、在完成前述步骤的基板上形成包括像素电极的图形,所述像素电极通过第四过孔与漏电极连接。

[0079] 本发明提供了一种 TFT-LCD 阵列基板制造方法,通过在覆盖数据线的第二绝缘层上形成公共电极,在覆盖公共电极的第三绝缘层上形成电极条结构的像素电极,像素电极边缘部分重合的位于数据线上,使像素电极边缘与数据线边缘之间区域的液晶全部由高级超维场开关模式驱动,提高了驱动液晶的效率,使这一区域变成显示区域,因此最大限度地增加了显示区域的面积,有效提高了开口率。

[0080] 在图 22 所示技术方案中,步骤 1 具体包括:在基板上沉积栅金属薄膜,采用普通掩模板通过构图工艺形成包括栅线和栅电极的图形,栅电极与栅线连接。

[0081] 在图 22 所示技术方案中,步骤 2 具体包括:

[0082] 在完成前述步骤的基板上依次形成第一绝缘层、半导体薄膜、掺杂半导体薄膜和源漏金属薄膜;

[0083] 在源漏金属薄膜上涂敷一层光刻胶;

[0084] 采用半色调或灰色调掩模板对光刻胶进行曝光,显影后使光刻胶形成光刻胶完全保留区域、光刻胶完全去除区域和光刻胶部分保留区域;其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于源电极与漏电极之间 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外的区域;

[0085] 通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜,形成包括有源层和数据线的图形;

[0086] 通过灰化工艺去除光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

[0087] 通过第二次刻蚀工艺完全刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜、形成源电极、漏电极和 TFT 沟道区域图形;

[0088] 剥离剩余的光刻胶。

[0089] 在图 22 所示技术方案中,步骤 3 具体包括:在完成前述步骤的基板上,采用旋涂涂敷或 PECVD 沉积方法形成一层第二绝缘层,然后采用普通掩模板通过构图工艺形成包括第一过孔和第二过孔的图形,第一过孔位于栅线接口区域,第一过孔内的第一绝缘层和第二

绝缘层被刻蚀掉,暴露出栅线的表面,第二过孔位于数据线接口区域,第二过孔内的第二绝缘层被刻蚀掉,暴露出数据线的表面。

[0090] 在图 22 所示技术方案中,步骤 4 具体包括:在完成前述步骤的基板上,采用磁控溅射或热蒸发的方法沉积第一透明导电薄膜,采用普通掩模板通过构图工艺形成包括公共电极、栅连接电极和数据连接电极的图形,公共电极覆盖了整个像素区域,只是在漏电极所在区域形成第三过孔,第三过孔内暴露出第二绝缘层,栅连接电极形成在栅线接口区域,栅连接电极覆盖住第一过孔,并与栅线连接,数据连接电极形成在数据接口区域,数据连接电极覆盖住第二过孔,并与数据线连接。

[0091] 在图 22 所示技术方案中,步骤 5 具体包括:在完成前述步骤的基板上,采用旋涂涂敷或 PECVD 沉积方法形成第三绝缘层,采用普通掩模板通过构图工艺形成包括第四过孔的图形,第四过孔位于漏电极位置,且面积小于公共电极上开设的第三过孔,第四过孔内的第三绝缘层和第二绝缘层被刻蚀掉,暴露出漏电极的表面。

[0092] 在图 22 所示技术方案中,步骤 6 具体包括:在完成前述步骤的基板上,采用磁控溅射或热蒸发的方法,沉积第二透明导电薄膜,采用普通掩模板通过构图工艺在像素区域内形成包括像素电极的图形,像素电极为数个平行且依次排列的电极条,一方面像素电极通过第四过孔与漏电极连接,另一方面每个电极条通过端部的连接条相互连接。

[0093] 本发明 TFT-LCD 阵列基板制造方法的制备过程已在前述图 4 ~ 图 13 所示技术方案中详细介绍,这里不再赘述。

[0094] 最后应说明的是:以上发明仅用以说明本发明的技术方案而非限制,尽管参照较佳发明对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的精神和范围。

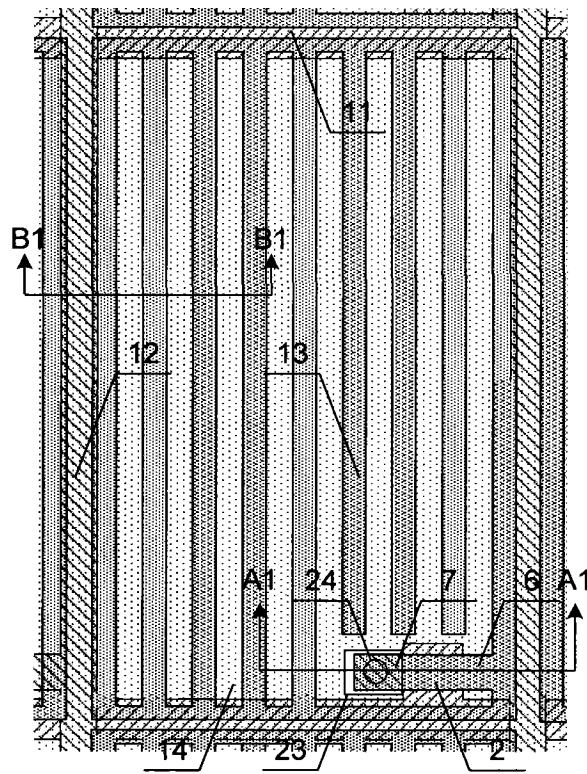


图 1

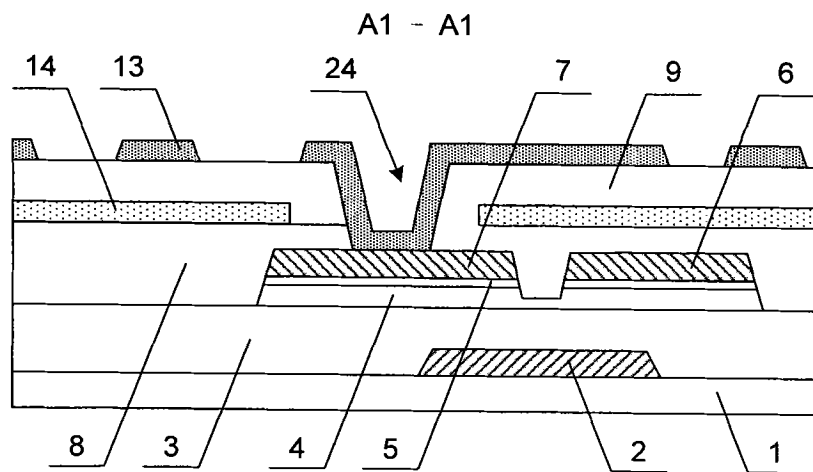


图 2

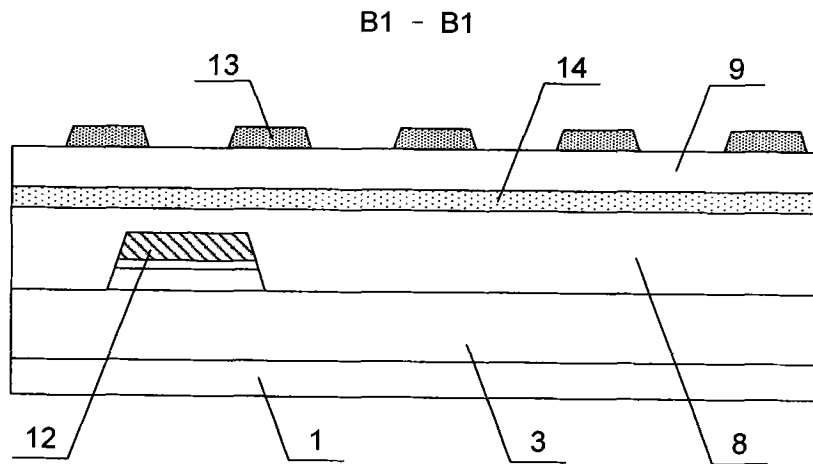


图 3

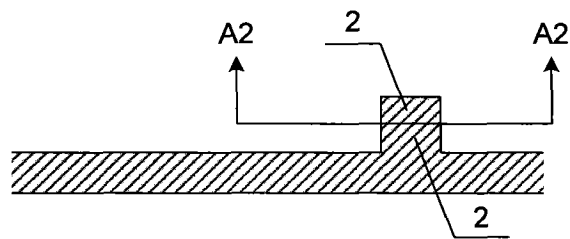
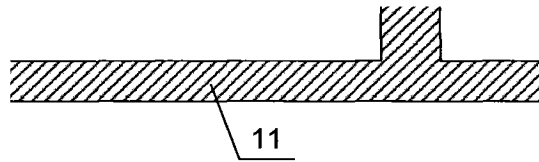


图 4

A2 - A2

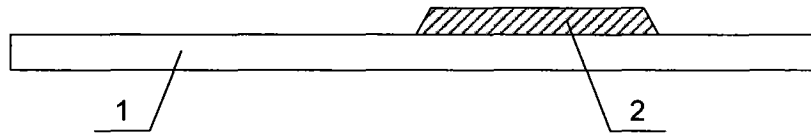


图 5

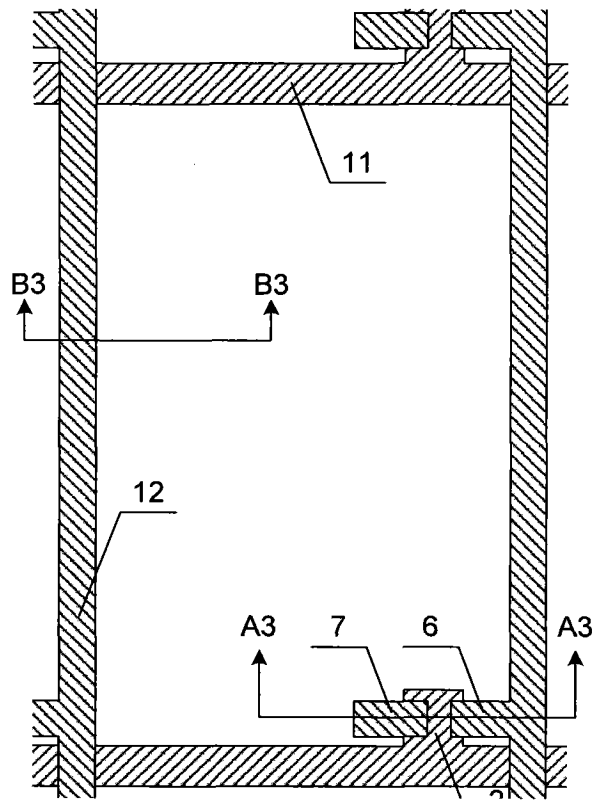


图 6

A3 - A3

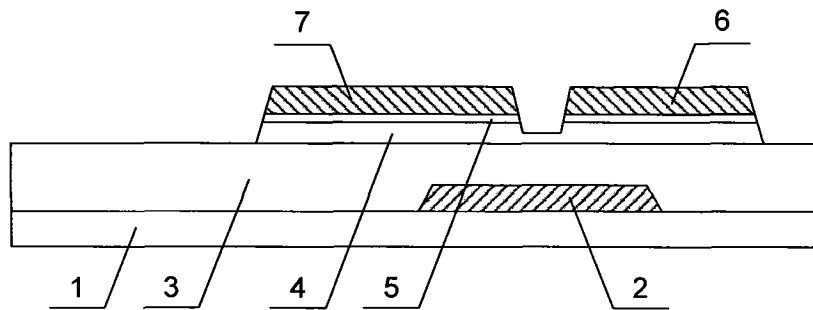


图 7

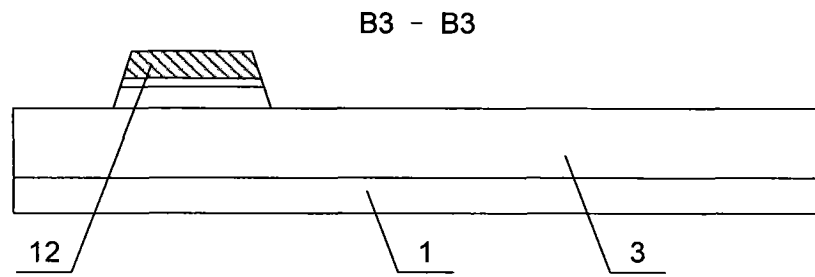


图 8

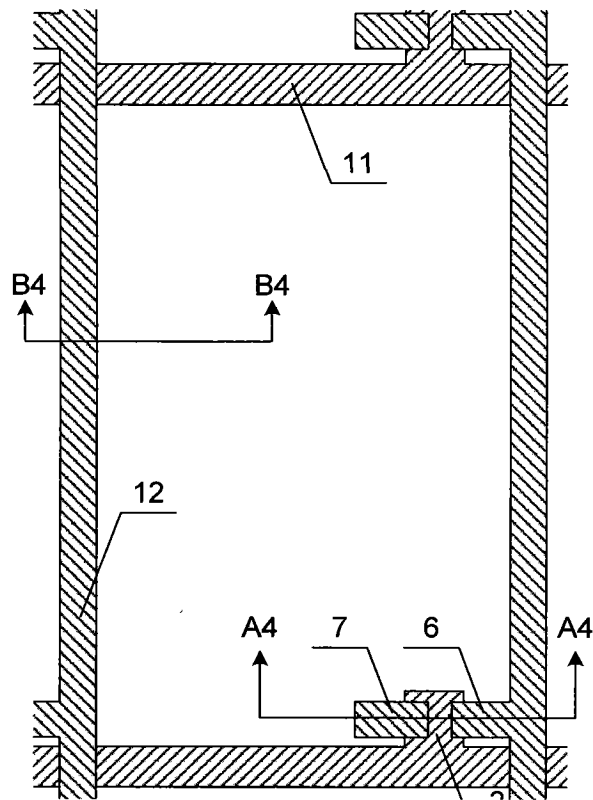


图 9

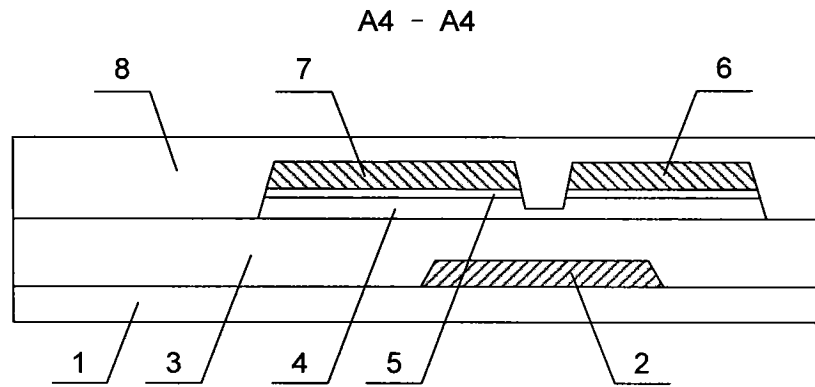


图 10

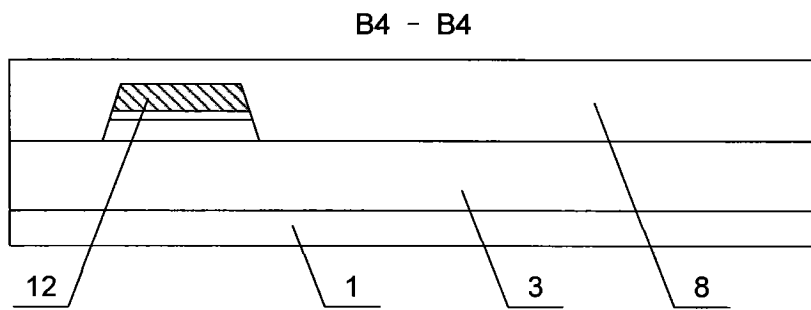


图 11

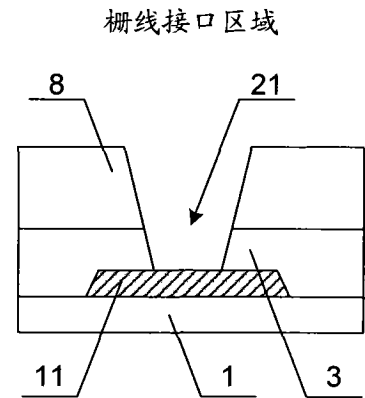


图 12

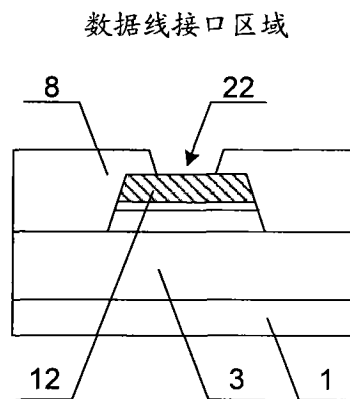


图 13

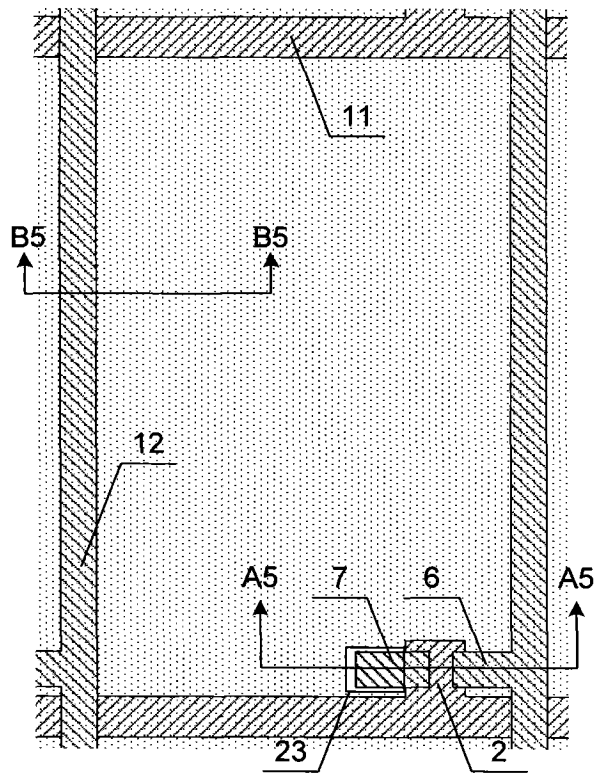


图 14

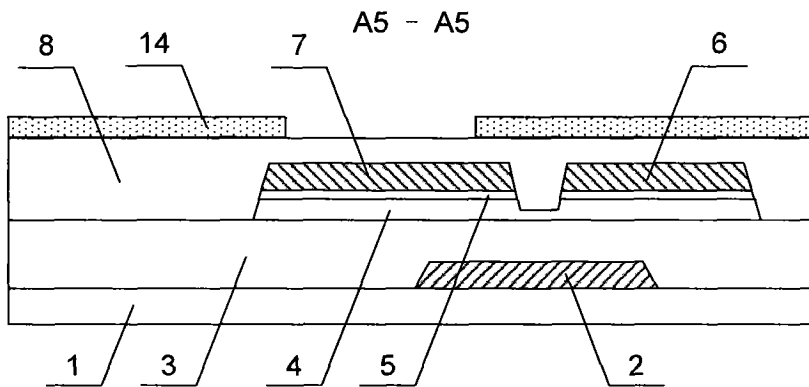


图 15

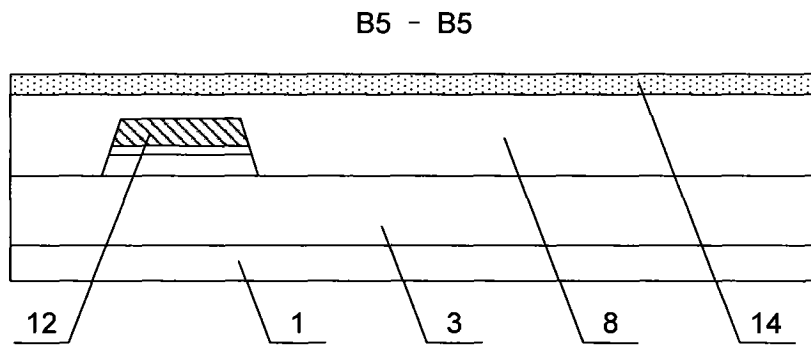


图 16

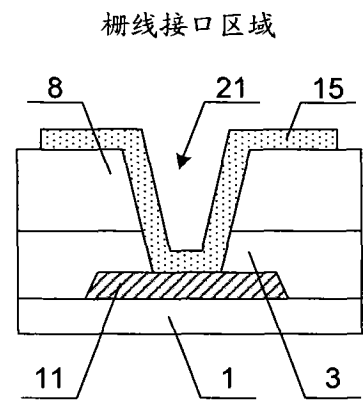


图 17

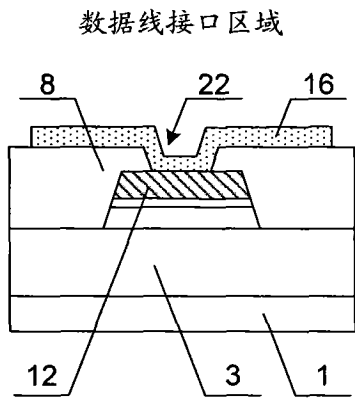


图 18

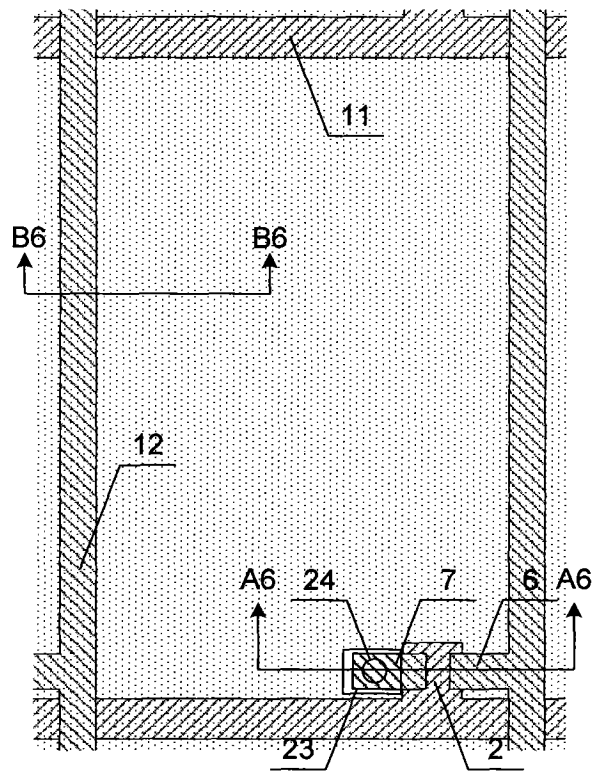


图 19

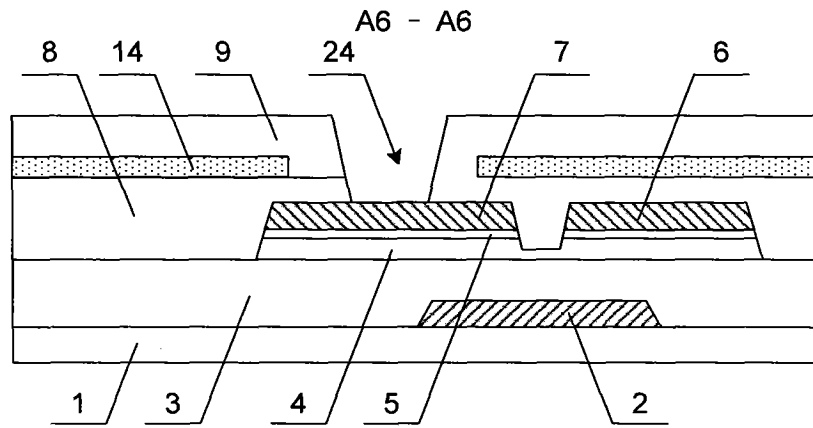


图 20

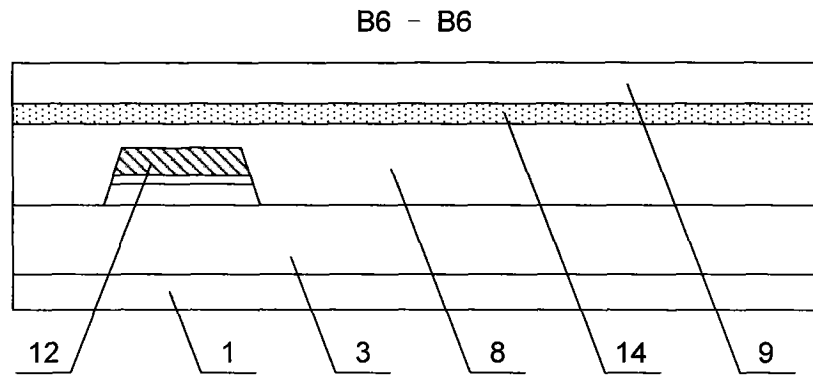


图 21

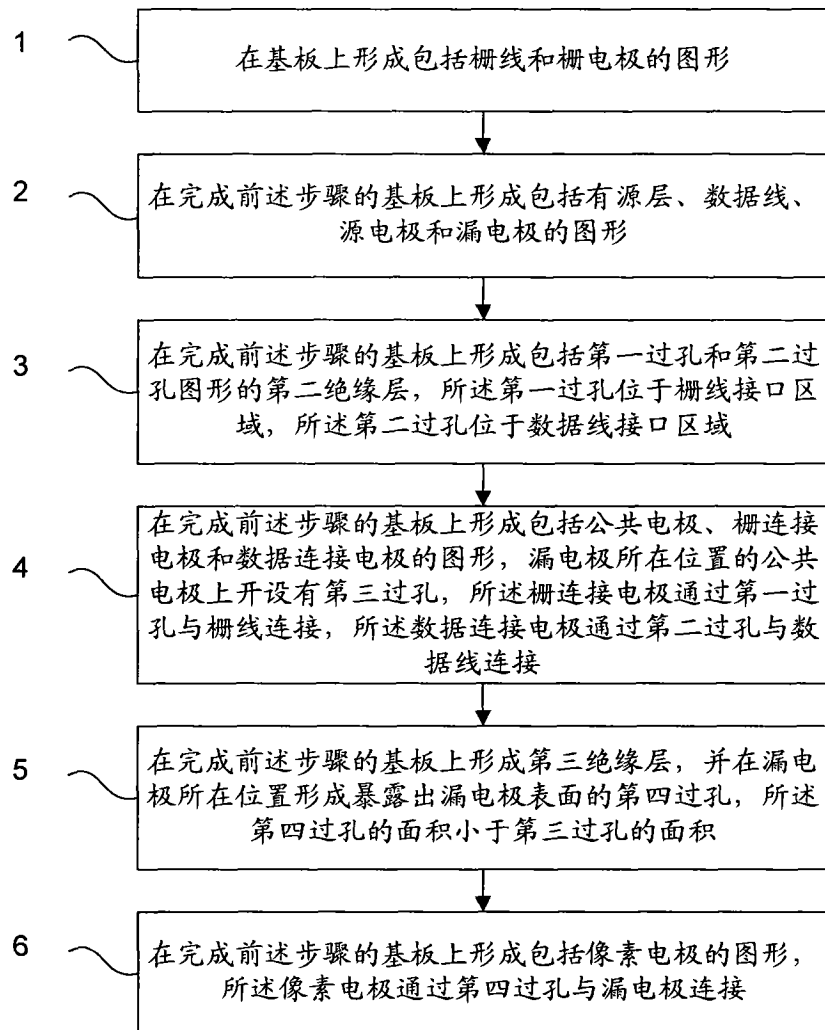


图 22

专利名称(译)	薄膜晶体管液晶显示阵列基板及其制造方法		
公开(公告)号	CN102156369B	公开(公告)日	2013-09-04
申请号	CN201110020246.1	申请日	2011-01-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	金原爽 金秘爽		
发明人	金原爽 金秘爽		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 H01L27/12 H01L21/77		
CPC分类号	G02F2001/134372 H01L27/124 G02F2201/40 G02F1/134363		
代理人(译)	王莹		
审查员(译)	刘燕梅		
其他公开文献	CN102156369A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种薄膜晶体管液晶显示阵列基板及其制造方法。阵列基板包括限定了像素区域的栅线和数据线，所述像素区域内形成有薄膜晶体管以及公共电极和电极条结构的像素电极，所述公共电极形成在覆盖所述数据线的第二绝缘层上，所述像素电极形成在覆盖所述公共电极的第三绝缘层上。本发明通过在覆盖数据线的第二绝缘层上形成公共电极，在覆盖公共电极的第三绝缘层上形成电极条结构的像素电极，使像素电极边缘与数据线边缘之间区域的液晶全部有规律的电场驱动，提高了驱动液晶的效率，使这一区域变成显示区域，最大限度地增加了显示区域的面积，有效提高了开口率。

