



(12) 发明专利申请

(10) 申请公布号 CN 101916017 A

(43) 申请公布日 2010. 12. 15

(21) 申请号 201010243221. 3

(22) 申请日 2010. 07. 30

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 丁天伦 吴育庆 徐文浩 李翊诚

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/133 (2006. 01)

H01L 27/02 (2006. 01)

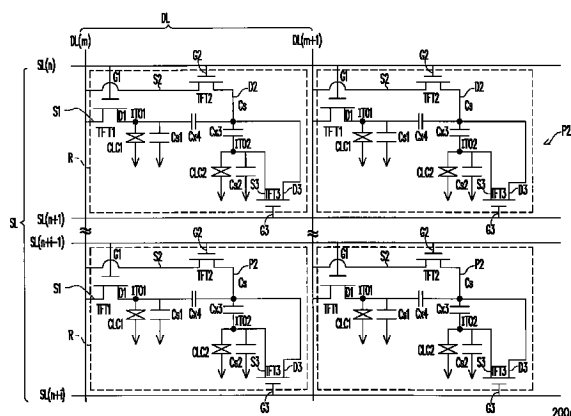
权利要求书 2 页 说明书 6 页 附图 11 页

(54) 发明名称

像素阵列、液晶显示面板以及像素阵列的驱动方法

(57) 摘要

本发明涉及一种像素阵列包括多条扫描线、多条数据线及多个子像素。各子像素分别与对应的扫描线及数据线电性连接。排列于第 n 列中的各子像素包括第一开关、第一像素电极、第二开关、第三开关及第二像素电极。第一开关以及第二开关与第 n 条扫描线及第 m 条数据线电性连接。第一开关与第一像素电极电性连接。第二开关具有第一信号输出端。第三开关与第 $(n+i)$ 条扫描线电性连接, 并具有与第一信号输出端电性连接的信号输入端及第二信号输出端。第一信号输出端与第一像素电极及第二像素电极电性绝缘, 并延伸至第二像素电极下方, 以与第二像素电极形成耦合电容。本发明同时公开一种液晶显示面板及像素阵列的驱动方法。



1. 一种像素阵列,其特征在于,包括:
多条扫描线;
多条数据线,与这些扫描线交错以定义出多个子像素区域;
多个子像素,配置于这些子像素区域内,各该子像素分别与相邻二条扫描线以及这些数据线的其中一条电性连接,其中排列于第 n 列中的各该子像素包括一第一开关、一第一像素电极、一第二开关、一第三开关及一第二像素电极,其中:
该第一开关;
该第一像素电极,与该第一开关电性连接;
该第二开关,该第一开关以及该第二开关与第 n 条扫描线以及第 m 条数据线电性连接,且该第二开关具有一第一信号输出端;
该第三开关,与第 $(n+i)$ 条扫描线电性连接,其中该第三开关具有一与该第一信号输出端电性连接的信号输入端以及一第二信号输出端,且 i 为正整数;以及
该第二像素电极,与该第二信号输出端电性连接,其中该第一信号输出端与该第一像素电极以及该第二像素电极电性绝缘,而该第一信号输出端延伸至该第二像素电极下方,以与该第二像素电极形成一耦合电容。
2. 根据权利要求 1 所述的像素阵列,其特征在于,这些子像素排列成多列,且排列于第 n 列的子像素与第 n 条扫描线以及第 $(n+1)$ 条扫描线电性连接。
3. 根据权利要求 1 所述的像素阵列,其特征在于,排列于第 n 列的子像素中的该第一像素电极与该第二像素电极位于第 n 条扫描线与第 $(n+1)$ 条扫描线之间。
4. 根据权利要求 1 所述的像素阵列,其特征在于,排列于第 n 列中的各该第一开关为一第一薄膜晶体管,而该第一薄膜晶体管具有一与第 n 条扫描线电性连接的第一栅极、一与这些数据线的其中一条电性连接的第一源极以及一与该第一像素电极电性连接的第一漏极。
5. 根据权利要求 1 所述的像素阵列,其特征在于,排列于第 n 列中的各该第二开关为一第二薄膜晶体管,而该第二薄膜晶体管具有一与第 n 条扫描线电性连接的第二栅极、一与这些数据线的其中一条电性连接的第二源极以及该第一信号输出端。
6. 根据权利要求 1 所述的像素阵列,其特征在于,排列于第 n 列中的各该第三开关为一第三薄膜晶体管,而该第三薄膜晶体管具有一与第 $(n+1)$ 条扫描线电性连接的第三栅极、该信号输入端以及该第二信号输出端。
7. 根据权利要求 1 所述的像素阵列,其特征在于,该第一信号输出端更延伸至该第一像素电极下方,以与该第一像素电极形成一第一寄生电容。
8. 根据权利要求 7 所述的像素阵列,其特征在于,更包括至少一耦合导体,与该第一像素电极电性连接,其中该耦合导体延伸至该第二像素电极下方,以与该第二像素电极形成一第二寄生电容。
9. 根据权利要求 8 所述的像素阵列,其特征在于,该耦合导体沿着该第二像素电极的边缘延伸。
10. 根据权利要求 7 所述的像素阵列,其特征在于,更包括至少一耦合导体,与该第二像素电极电性连接,其中该耦合导体延伸至该第一像素电极下方,以与该第一像素电极形成一第二寄生电容。

11. 根据权利要求 10 所述的像素阵列,其特征在于,该耦合导体沿着该第一像素电极的边缘延伸。

12. 一种聚合物稳定配向液晶显示面板,其特征在于,包括:

一第一基板,具有权利要求 1 所述的像素阵列;

一第二基板,配置于该第一基板上方;

二聚合物稳定配向层,分别配置于该第一基板与该第二基板上;以及

一液晶层,配置于这些聚合物稳定配向层之间。

13. 一种像素阵列的驱动方法,其特征在于,适于驱动权利要求 1 所述的像素阵列,该像素阵列的驱动方法包括:

依序开启这些扫描线,并通过这些数据线将影像数据记录于各该子像素中;当第 n 条扫描线被施加一开启电压以开启该第一开关与该第二开关时,排列于第 n 列的各该子像素中的这些第一像素电极以及这些第一信号输出端与对应的数据线导通,且该第二像素电极的电压受到该第一信号输出端耦合而改变;当 $(n+i)$ 条扫描线被施加一开启电压以开启该第三开关时,排列于第 n 列的各该子像素中的这些第二像素电极与该第一信号输出端导通。

14. 根据权利要求 13 所述的像素阵列的驱动方法,其特征在于,当 $(n+i)$ 条扫描线被施加一开启电压以开启该第三开关时,该第二像素电极的电压上升,而该第一信号输出端的电压下降。

像素阵列、液晶显示面板以及像素阵列的驱动方法

技术领域

[0001] 本发明涉及一种像素阵列,且特别是有关于一种具有良好显示品质的像素阵列。

背景技术

[0002] 随着液晶显示器不断地朝向大尺寸的显示规格发展,为了克服大尺寸显示下的视角问题,液晶显示面板的广视角技术也必须不停地进步与突破。其中,多域垂直配向式 (Multi-domain Vertical Alignment, MVA) 液晶显示面板以及聚合物稳定配向 (Polymer stabilized alignment, PSA) 液晶显示面板即为现行常见的广视角技术。为了改善液晶显示面板中的色偏问题 (color washout), 已有进阶型多域垂直配向式 (Advanced-MVA) 液晶显示面板被提出,其主要是将各个子像素区分为主显示区域 (main display region) 以及子显示区域 (sub-display region), 并通过适当的电路设计以及驱动方法,使同一个子像素中的主显示区域以及子显示区域分别具有不同跨压,以改善色偏问题。在现有技术中,将各个子像素区分为主显示区域以及子显示区域的设计概念已被应用于聚合物稳定配向液晶显示面板中。

[0003] 图 1 为一种像素阵列的等效电路图,而图 2 为图 1 中单一子像素的示意图。请参照图 1 与图 2,像素阵列 100 包括多个子像素 P1,且各个子像素 P1 包括一第一薄膜晶体管 TFT1、一第二薄膜晶体管 TFT2、一第三薄膜晶体管 TFT3、与第一薄膜晶体管 TFT1 电性连接的第一像素电极 IT01 以及与第二薄膜晶体管 TFT2 电性连接的第二像素电极 IT02。第一像素电极 IT01 会与一共通线 COM1 耦合而形成一第一储存电容 Cs1,且第一像素电极 IT01 会与对向基板 (如彩色滤光基板) 上的一共通电极 (未标示) 耦合而形成一第一液晶电容 CLC1。类似地,第二像素电极 IT02 会与一共通线 COM2 耦合而形成一第二储存电容 Cs2,且第二像素电极 IT02 会与对向基板 (如彩色滤光基板) 上的共通电极 (未标示) 耦合而形成一第二液晶电容 CLC2。

[0004] 从图 1 与图 2 可知,在与扫描线 SL(n-1) 电性连接的子像素 P1 中,第一薄膜晶体管 TFT1 以及第二薄膜晶体管 TFT2 的栅极 G1、G2 会与扫描线 SL(n-1) 电性连接,而第三薄膜晶体管 TFT3 的栅极 G3 会与下一条扫描线 SL(n) 电性连接。此外,第三薄膜晶体管 TFT3 的源极 S3 与第二像素电极 IT02 电性连接,而第三薄膜晶体管 TFT3 的漏极 D3 与第一像素电极 IT01 耦合形成第一电容 Ccs-a,且第三薄膜晶体管 TFT3 的漏极 D3 与第一像素电极 IT01 下方的共通线 COM1 耦合形成第二电容 Ccs-b。当施加一高电压 (Vgh) 于扫描线 SL(n-1) 时,影像数据可通过数据线 DL(m-1)、DL(m) 写入与扫描线 SL(n-1) 连接的子像素中,此时,第一像素电极 IT01 与第二像素电极 IT02 的电压是相同的。接着,当施加一高电压于扫描线 SL(n) 时,第一电容 Ccs-a 与第二电容 Ccs-b 会使第一像素电极 IT01 的电压与第二像素电极 IT02 的电压不同。

[0005] 由于第二薄膜晶体管 TFT2 的漏极 D2 会跨过第一像素电极 IT01 而与第二像素电极 IT02 连接,因此第二薄膜晶体管 TFT2 的漏极 D2 与第一像素电极 IT01 之间便产生一寄生电容 Cx1。此外,由于第三薄膜晶体管 TFT3 的漏极 D3 会跨过第二像素电极 IT02,因此第

三薄膜晶体管 TFT3 的漏极 D3 与第二像素电极 IT02 之间便产生一寄生电容 Cx2。寄生电容 Cx1、Cx2 会使第一像素电极 IT01 与第二像素电极 IT02 的电压差异拉开幅度减小,导致色偏问题无法有效地改善。承上述,如何避免子像素 P1 中寄生电容 Cx1、Cx2 对于显示品质的影响,实有其必要性。

发明内容

[0006] 本发明提供一种像素阵列、聚合物稳定配向液晶显示面板 (PSA-LCD panel) 以及像素阵列的驱动方法,其具有良好的显示品质。

[0007] 本发明提供一种像素阵列,其包括多条扫描线、多条数据线以及多个子像素。数据线 with 扫描线交错以定义出多个子像素区域。子像素配置于子像素区域内,各个子像素分别与相邻二条扫描线以及数据线的其中一条电性连接。排列于第 n 列中的各个子像素包括一第一开关、一第一像素电极、一第二开关、一第三开关以及一第二像素电极。第一像素电极与第一开关电性连接。第一开关以及第二开关与第 n 条扫描线以及第 m 条数据线电性连接,且第二开关具有一第一信号输出端。第三开关与第 (n+i) 条扫描线电性连接,其中第三开关具有一与第一信号输出端电性连接的信号输入端以及一第二信号输出端,且 i 为正整数。第二像素电极与第二信号输出端电性连接。第一信号输出端与第一像素电极以及第二像素电极电性绝缘。第一信号输出端延伸至第二像素电极下方,以与第二像素电极形成耦合电容。

[0008] 本发明另提供一种聚合物稳定配向液晶显示面板 (PSA-LCD panel),其包括一第一基板、一第二基板、二聚合物稳定配向层以及一液晶层。第一基板具有前述的像素阵列,第二基板配置于第一基板上,二聚合物稳定配向层分别配置于第一基板与第二基板上。液晶层配置于聚合物稳定配向层之间。

[0009] 本发明又提供一种像素阵列的驱动方法,适于驱动前述的像素阵列。像素阵列的驱动方法包括以下步骤。依序开启前述的扫描线,并通过前述的数据线将影像数据记录于各个子像素中。当第 n 条扫描线被施加一开启电压以开启第一开关与第二开关时,排列于第 n 列的各个子像素中的第一像素电极以及第一信号输出端与对应的数据线导通,且第二像素电极的电压受到第一信号输出端耦合而改变。当 (n+i) 条扫描线被施加一开启电压以开启第三开关时,排列于第 n 列的各个子像素中的第二像素电极与第一信号输出端导通。

[0010] 基于上述,由于本发明的第二开关的第一信号输出端与第三开关电性连接,其中第三开关与第二像素电极电性连接,且第一信号输出端与第二像素电极会形成耦合电容,因此第一像素电极与第二像素电极的电压差距可因电容耦合效应而被有效地拉开。

[0011] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0012] 图 1 为一种像素阵列的等效电路图;

[0013] 图 2 为图 1 中单一子像素的示意图;

[0014] 图 3 为本发明第一实施例的像素阵列的示意图;

[0015] 图 4A 为本发明第一实施例的像素阵列的布局示意图;

- [0016] 图 4B 为本发明另一实施例的像素阵列的布局示意图；
- [0017] 图 4C 为本发明另一实施例的像素阵列的布局示意图；
- [0018] 图 5 为第一像素电极、第二像素电极与第一信号输出端的电压变化示意图；
- [0019] 图 6 为本发明第二实施例的像素阵列的布局示意图；
- [0020] 图 7A 为本发明第二实施例的像素阵列的布局示意图；
- [0021] 图 7B 为本发明另一实施例的像素阵列的布局示意图；
- [0022] 图 8 为本发明的聚合物稳定配向液晶显示面板的示意图。
- [0023] 其中,附图标记
- [0024] 100、200a、200b、200c、200'、200":像素阵列
- [0025] 210:耦合导体
- [0026] SL、SL(n)、SL(n+1)、SL(n+i-1)、SL(n+i):扫描线
- [0027] P1、P2:子像素
- [0028] DL、DL(m)、DL(m+1):数据线 R:子像素区域
- [0029] TFT1、TFT2、TFT3:开关元件 G1、G2、G3:栅极
- [0030] S1、S2、S3:源极 D1、D2、D3:漏极
- [0031] D2':第一信号输出端 D3':信号输入端
- [0032] S3':第二信号输出端 Ccs-a、Ccs-c:第一电容
- [0033] Ccs-b:第二电容 Cx1、Cx2、Cx4、Cx5:寄生电容
- [0034] Cx3:耦合电容 Cs1、Cs2:储存电容
- [0035] CLC1、CLC2:液晶电容 IT01:第一像素电极
- [0036] IT02:第二像素电极 COM、COM1、COM2:共通线
- [0037] 300:聚合物稳定配向液晶显示面板 310:第一基板
- [0038] 320:第二基板 330a、330b:聚合物稳定配向层
- [0039] 340:液晶层 400:光电装置
- [0040] AP:开口 BR:分支

具体实施方式

[0041] 【第一实施例】

[0042] 图 3 为本发明第一实施例的像素阵列的示意图,而图 4A 为本发明第一实施例的像素阵列的布局(layout)示意图。请参照图 3 与图 4A,本实施例的像素阵列 200a 包括多条扫描线 SL(图 3 与图 4A 中仅绘示出扫描线 SL(n)、SL(n+1)、SL(n+i-1)、SL(n+i))、多条数据线 DL(图 3 与图 4A 中仅绘示出数据线 DL(m)、DL(m+1))以及多个子像素 P2。前述的数据线 DL 与扫描线 SL 彼此交错,以定义出多个子像素区域 R,且各个子像素 P2 分别配置于子像素区域 R 内。值得注意的是,图 3 与图 4A 中仅绘示出部分的子像素 P2,而成阵列排列的子像素 P2 的数量可依据所需显示的影像解析度而作适当的变化。

[0043] 各个子像素 P2 分别与相邻二条扫描线 SL 以及数据线 DL 的其中一条电性连接。在本实施例中,子像素 P2 排列成多列,且排列于第 n 列的子像素 P2 与第 n 条扫描线 SL(n)、第(n+1)条扫描线 SL(n+1)以及数据线 DL(m)电性连接。详言之,排列于第 n 列中的各个子像素 P2 包括一第一开关 TFT1、一第一像素电极 IT01、一第二开关 TFT2、一第三开关 TFT3 以及

一第二像素电极 IT02。第一开关 TFT1 以及第二开关 TFT2 与第 n 条扫描线 SL(n) 以及第 m 条数据线 DL(m) 电性连接,且第二开关 TFT2 具有一第一信号输出端 D2'。第三开关 TFT3 与第 $(n+i)$ 条扫描线 SL($n+i$) 电性连接,其中第三开关 TFT3 具有一与第一信号输出端 D2' 电性连接的信号输入端 D3' 以及一第二信号输出端 S3',且 i 为正整数。在本实施例中, $i=1$,亦即,第三开关 TFT3 与第 $(n+1)$ 条扫描线 SL($n+1$) 电性连接。

[0044] 第二像素电极 IT02 与第二信号输出端 S3' 电性连接。第一信号输出端 D2' 延伸至第二像素电极 IT02 下方,以与第二像素电极 IT02 形成耦合电容 Cx3。另外,本实施例的第一信号输出端 D2' 更延伸至第一像素电极 IT01 下方,以与第一像素电极 IT01 形成一寄生电容 Cx4。除此之外,在本实施例中,排列于第 n 列的子像素 P2 与第 n 条扫描线 SL(n) 以及第 $(n+1)$ 条扫描线 SL($n+1$) 电性连接。另外,排列于第 n 列的子像素 P2 中的第一像素电极 IT01 与第二像素电极 IT02 例如位于第 n 条扫描线 SL(n) 与第 $(n+1)$ 条扫描线 SL($n+1$) 之间。

[0045] 从图 3 与图 4A 可知,排列于第 n 列中的各个第一开关 TFT1 为一第一薄膜晶体管,而第一薄膜晶体管具有一第一栅极 G1、一第一源极 S1 以及一第一漏极 D1。第一栅极 G1 与第 n 条扫描线 SL(n) 电性连接,第一源极 S1 与数据线 DL 的其中一条电性连接,而第一漏极 D1 则与第一像素电极 IT01 电性连接。

[0046] 此外,排列于第 n 列中的各个第二开关 TFT2 为一第二薄膜晶体管,而第二薄膜晶体管具有一第二栅极 G2、第二源极 S2 以及前述的第一信号输出端 D2'。第二栅极 G2 与第 n 条扫描线 SL(n) 电性连接,而第二源极 S2 与前述数据线 DL 的其中一条电性连接。值得注意的是,第二薄膜晶体管的第二漏极 D2 即为前述的第一信号输出端 D2'。

[0047] 排列于第 n 列中的各个第三开关 TFT3 为一第三薄膜晶体管,而第三薄膜晶体管具有一第三栅极 G3、信号输入端 D3' 以及第二信号输出端 S3'。第三栅极 G3 与第 $(n+1)$ 条扫描线 SL($n+1$) 电性连接,而第三源极 S3 与第二像素电极 IT02 电性连接。值得注意的是,第三薄膜晶体管的信号输入端 D3' 即为第三漏极 D3,而第二信号输出端 S3' 即为第三源极 S3。

[0048] 从图 4A 可以清楚得知,本实施例的像素阵列 200a 可进一步包括多条彼此电性连接的共通线 COM,这些共通线 COM 分布于各个第一像素电极 IT01 以及各个第二像素电极 IT02 下方。详言之,各条共通线 COM 分别沿着列方向延伸。

[0049] 图 5 为第一像素电极的电压 V1、第二像素电极的电压 V2 与第一信号输出端的电压 V_{o1} 的变化示意图。请同时参照图 4A 与图 5,当在时间 $t(n)$ 施加一开启电压 (V_{gh}) 于扫描线 SL(n) 时,影像数据由数据线 DL(m) 通过第一开关 TFT1 写入与扫描线 SL(n) 连接的子像素中,此时,第一像素电极 IT01 的电压会上升。另一方面,影像数据亦会由数据线 DL(m) 通过第二开关 TFT2 写入第一信号输出端 D2' 内,此时,第一信号输出端 D2' 的电压与第一像素电极 IT01 的电压实质上相同。除此之外,由于第一信号输出端 D2' 延伸至第二像素电极 IT02 下方,与第二像素电极 IT02 形成耦合电容 Cx3,故第二像素电极 IT02 的电压会因耦合效应而被同步提升。而当停止施加开启电压 (V_{gh}) 于扫描线 SL(n) 时,第一像素电极 IT01、第二像素电极 IT02 与第一信号输出端 D2' 的电压会因馈通效应 (feed through) 而略为下降。

[0050] 接着,当在时间 $t(n+1)$ 施加开启电压 (V_{gh}) 于扫描线 SL($n+1$) 时,第一像素电极 IT01、第二像素电极 IT02 与第一信号输出端 D2' 的电压会因开启电压的施加而再度被提

升。另一方面,第三开关 TFT3 会被开启,而使得第一信号输出端 D2' 与第二像素电极 IT02 处于导通状态。在电荷重新分配的情况下,第一信号输出端 D2' 的电压会逐渐下降,而第二像素电极 IT02 的电压会逐渐上升,直到第一信号输出端 D2' 的实质上电压等于第二像素电极 IT02 的电压为止。最后,如图 5 所示,当停止施加开启电压于扫描线 SL(n+1) 时,第一像素电极 IT01 与第二像素电极 IT02 会因馈通效应而略为下降,且二者电压不相同。

[0051] 由上述可知,通过耦合电容 Cx3 的耦合效应,第二像素电极 IT02 的电压可被同步提升,但仍小于第一像素电极 IT01 的电压。换言之,第一像素电极 IT01 的电压与第二像素电极 IT02 所呈现的电压不同,而可以改善色偏问题。

[0052] 从另一个角度观看,本发明的实施例亦提供一种驱动像素阵列的方法,其包括以下步骤。依序开启扫描线 SL,并通过数据线 DL 将影像数据记录于各个子像素 P2 中。当第 n 条扫描线 SL(n) 被施加开启电压以开启第一开关 TFT1 与第二开关 TFT2 时,排列于第 n 列的各个子像素 P2 中的第一像素电极 IT01 以及第一信号输出端 D2' 与对应的数据线 DL(m) 导通,且第二像素电极 IT02 的电压受到第一信号输出端 D2' 耦合而改变。当 (n+i) 条扫描线 SL(n+i) 被施加开启电压以开启第三开关 TFT3 时,排列于第 n 列的各个子像素中的第二像素电极 IT02 与第一信号输出端 D2' 导通,其中 i 为正整数且本实施例的 i = 1。另外,在本实施例中,当 (n+i) 条扫描线被施加开启电压以开启第三开关 TFT3 时,第二像素电极 IT02 的电压上升,而第一信号输出端 D2' 的电压下降。

[0053] 图 4B 为本发明另一实施例的像素阵列的布局示意图。本实施例的像素阵列 200b 与图 4A 的像素阵列 200a 类似,但二者主要差异之处在于:位于第一像素电极 IT01 上方的第一信号输出端 D2' 具有一开口 AP,以有效减少图 4A 中第一信号输出端 D2' 与第一像素电极 IT01 所形成的寄生电容 Cx4。亦即,本实施例是通过将第一信号输出端 D2' 上方所对应的第一像素电极 IT01 挖空或第一信号输出端 D2' 与第一像素电极 IT01 之间介电层垫厚以减少寄生电容 Cx4。

[0054] 图 4C 为本发明另一实施例的像素阵列的布局示意图。本实施例的像素阵列 200c 与图 4A 的像素阵列 200a 类似,但二者主要差异之处在于:第一信号输出端 D2' 与信号输入端 D3' 之间具有一分支 BR。分支 BR 使得部分的第一信号输出端 D2' 与第二像素电极 IT02 下方的共通线 COM 会耦合成第一电容 Ccs-c。

[0055] 【第二实施例】

[0056] 图 6 为本发明第二实施例的像素阵列的示意图,而图 7A 为本发明第二实施例的像素阵列的布局示意图。请参照图 6 与图 7A,本实施例的像素阵列 200' 与图 4C 的像素阵列 200c 类似,惟二者主要差异之处在于:像素阵列 200' 进一步包括至少一耦合导体 210(图 7A 仅示意地绘示 2 个)。耦合导体 210 与第一像素电极 IT01 电性连接,其中耦合导体 210 延伸至第二像素电极 IT02 下方,以与第二像素电极 IT02 形成寄生电容 Cx5。

[0057] 从图 7A 可知,本实施例的该耦合导体沿着第二像素电极 IT02 的边缘延伸。在图 6 与图 7A 的像素阵列 200' 中,耦合电容 Cx3 为改善色偏问题的主要电容,而耦合导体 210 与第二像素电极 IT02 的寄生电容 Cx5 可有效降低第一信号输出端 D2' 与第一像素电极 IT01 之间的寄生电容 Cx4,因此第一像素电极 IT01 的电压与第二像素电极 IT02 的电压更可以被有效地拉开,而具有良好的显示品质。

[0058] 图 7B 为本发明另一实施例的像素阵列的布局示意图。本实施例的像素阵列 200''

与图像素阵列 200' 类似,但二者主要差异之处在于:耦合导体 210 与第二像素电极 IT02 电性连接,其中耦合导体 210 延伸至第一像素电极 IT01 下方,以与第一像素电极 IT01 形成寄生电容 C_{x5} 。

[0059] 在另外的实施例中,可以与图 7A 与图 7B 所表示的实施例类似,但二者主要差异之处在于:位于第一像素电极 IT01 上方的第一信号输出端 D2' 具有一开口 AP,以有效减少图 7A 与图 7B 中第一信号输出端 D2' 与第一像素电极 IT01 所形成的寄生电容 C_{x4} 。

[0060] 【第三实施例】

[0061] 图 8 为本发明的聚合物稳定配向液晶显示面板的示意图。请参照图 8,本实施例的聚合物稳定配向液晶显示面板 300 包括一第一基板 310、一第二基板 320、二聚合物稳定配向层 330a、330b 以及一液晶层 340。第一基板 310 具有前述第一实施例或第二实施例中的像素阵列 (200 或 200'), 第二基板 320 配置于第一基板 310 上方,而二聚合物稳定配向层 330a、330b 分别配置于第一基板 310 与第二基板 320 上。此外,液晶层 340 配置于二聚合物稳定配向层 330a、330b 之间。值得注意的是,液晶层 340 在制作上采用包含有能够被能量源聚合的单体的液晶材料,当能量源 (如紫外光) 被施加于液晶层 340 时,这些能够被能量源聚合的单体分别聚合于第一基板 310 与第二基板 320 的表面上,以形成二聚合物稳定配向层 330a、330b。

[0062] 基于上述,由于本发明的第二开关的第一信号输出端与第三开关电性连接,其中第三开关与第二像素电极电性连接,且第一信号输出端与第二像素电极会形成耦合电容,因此第一像素电极与第二像素电极的电压差距可因电容耦合效应而被有效地拉开,进而使本发明的像素阵列能够提供较佳的影像品质。

[0063] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

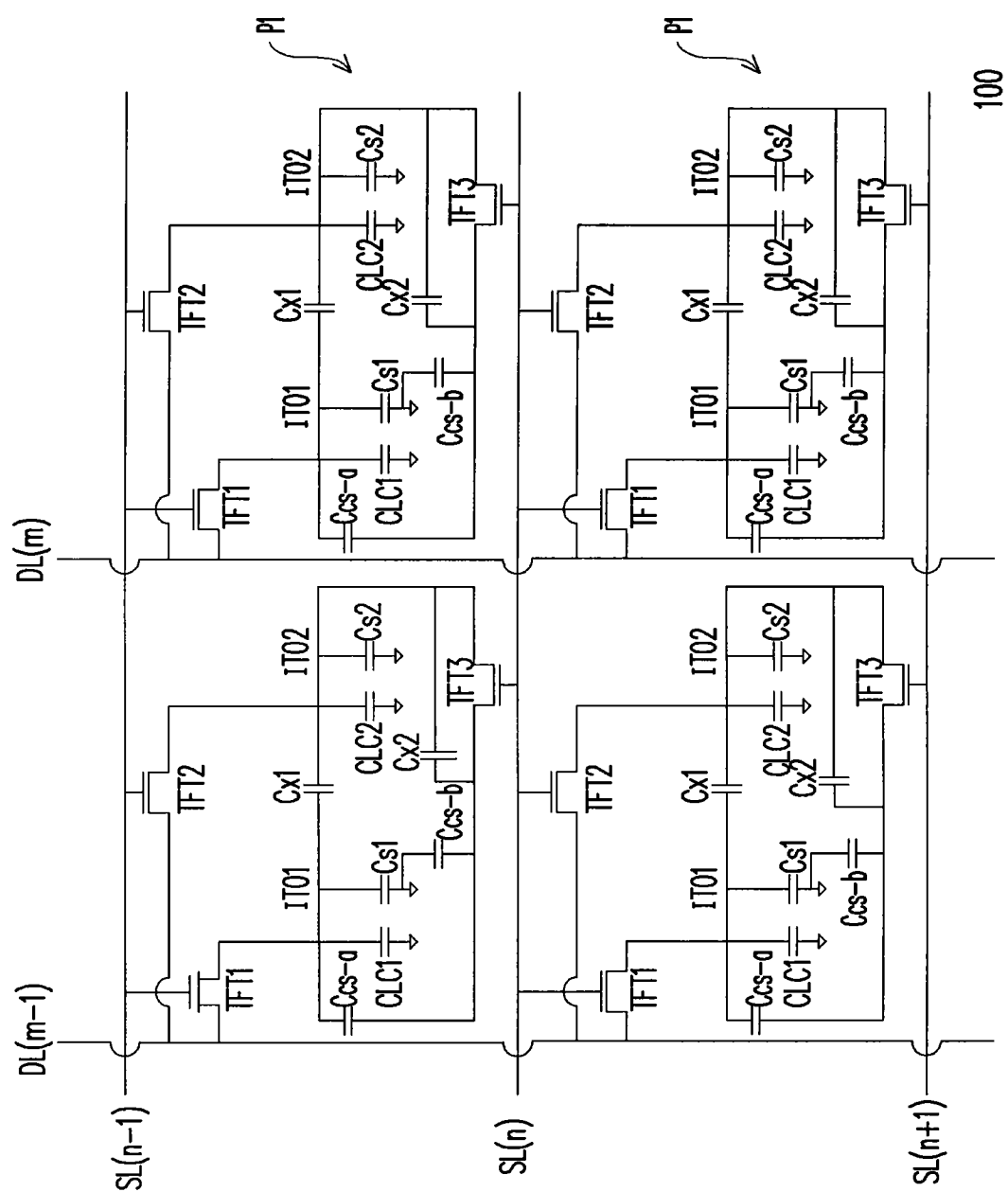


图 1

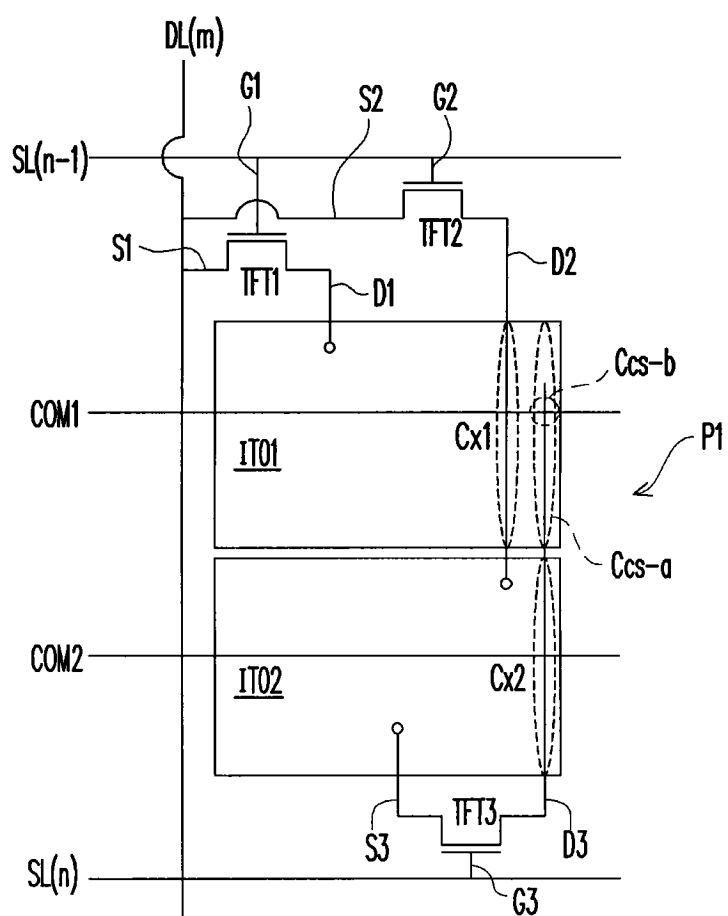


图 2

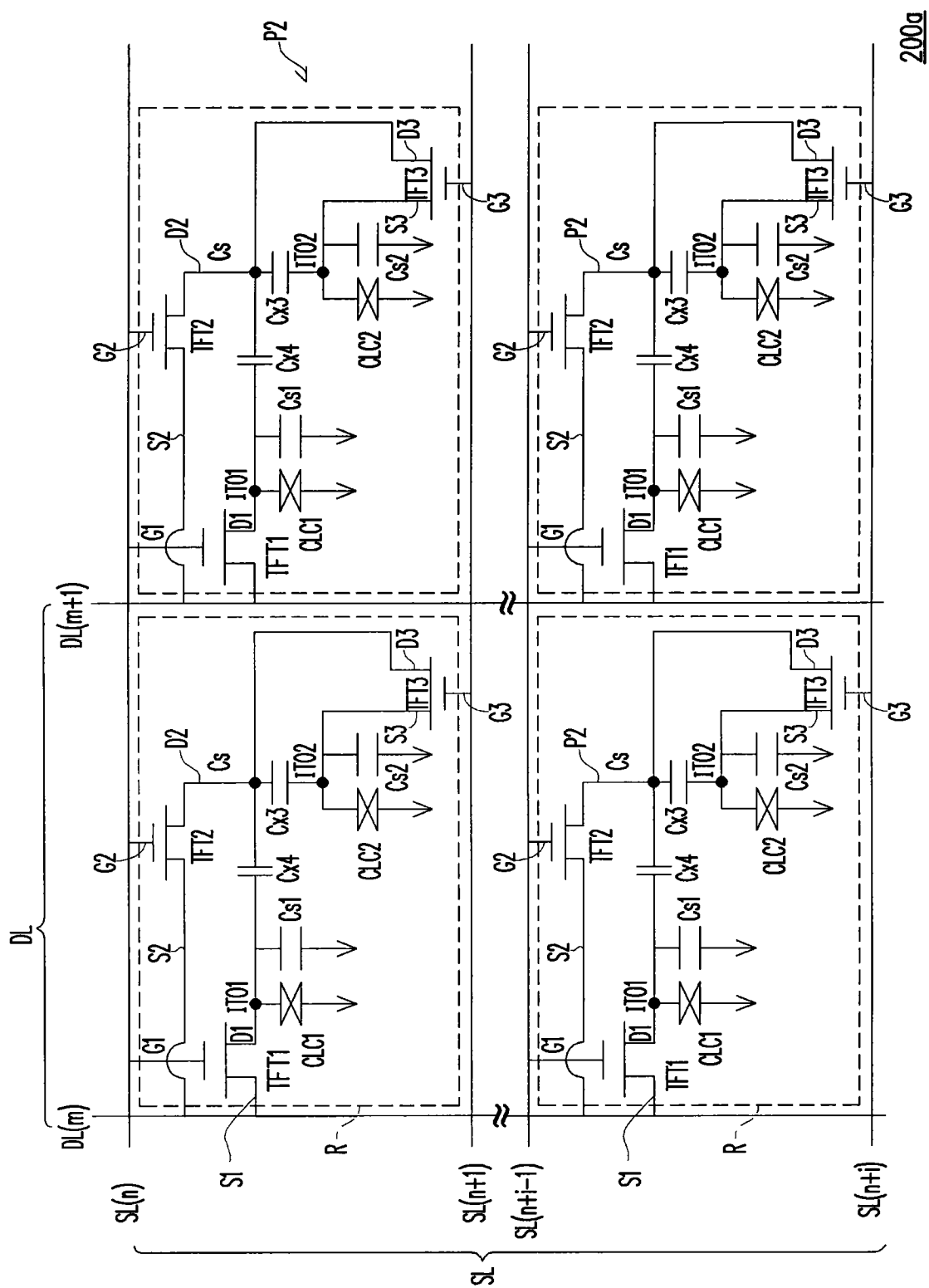


图 3

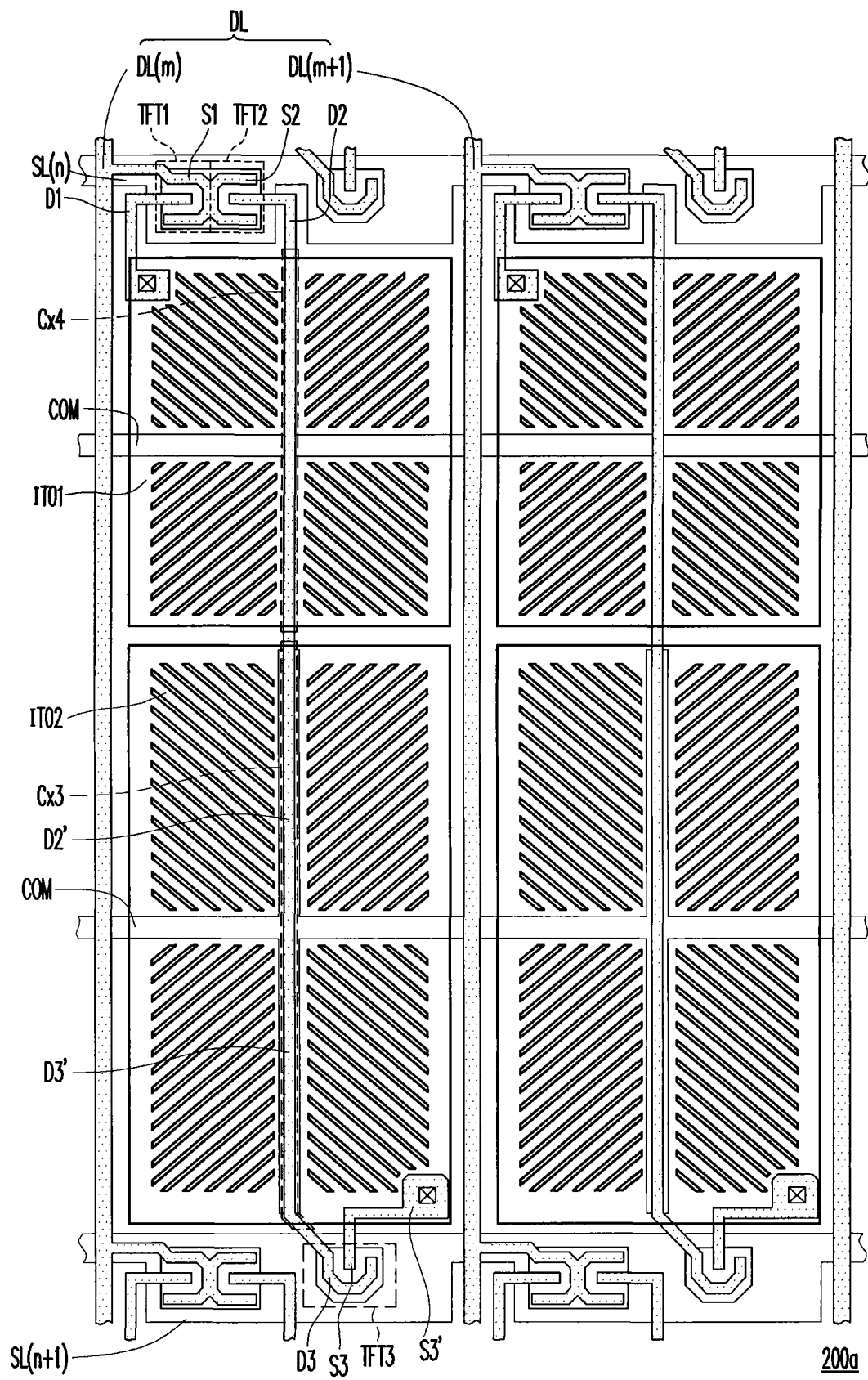


图 4A

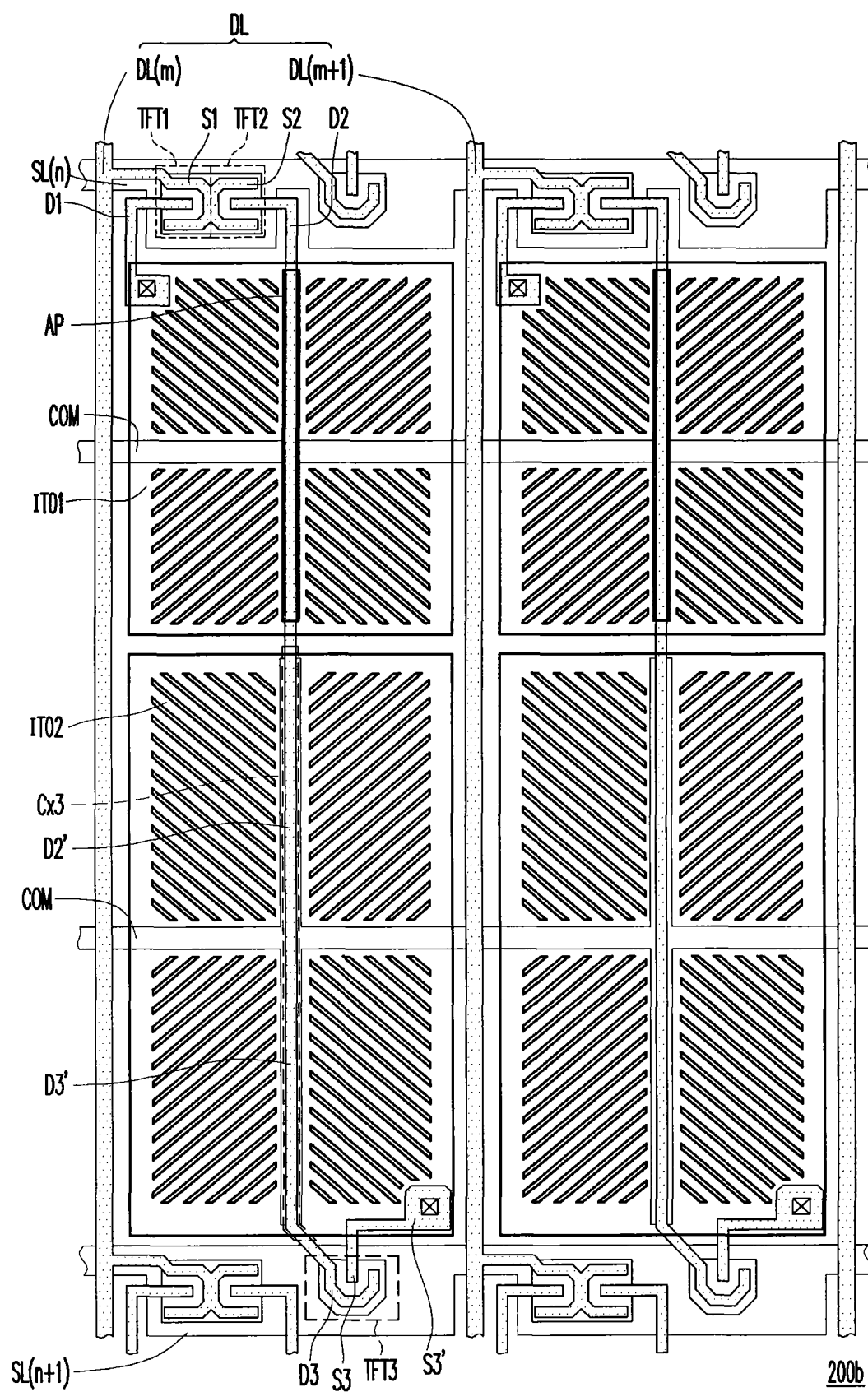


图 4B

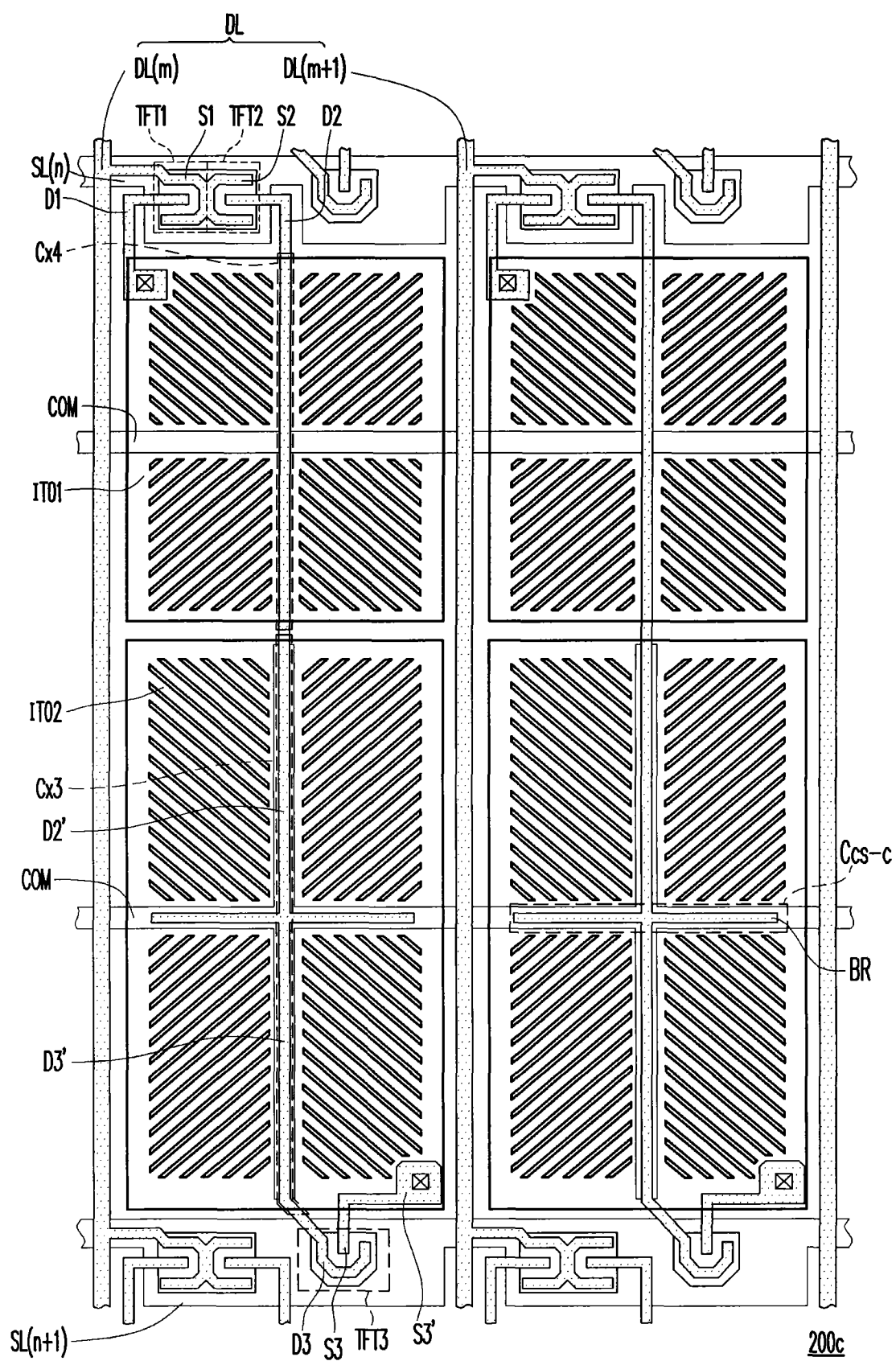


图 4C

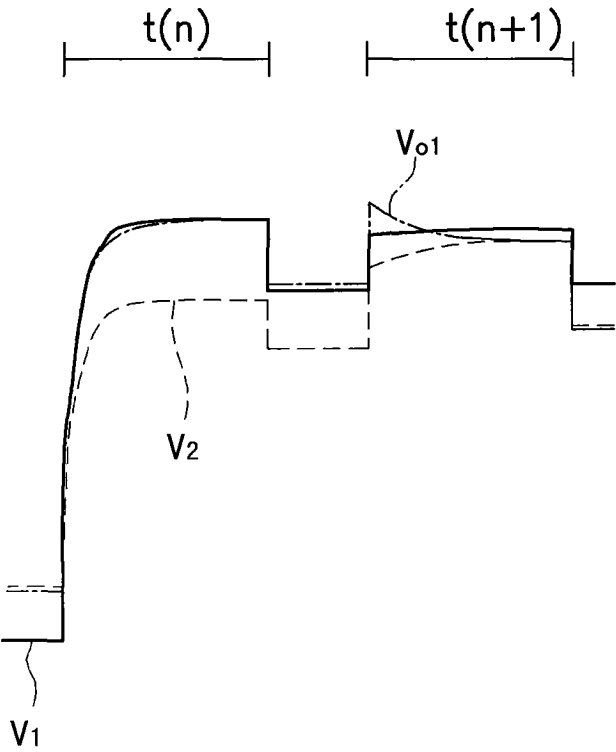


图 5

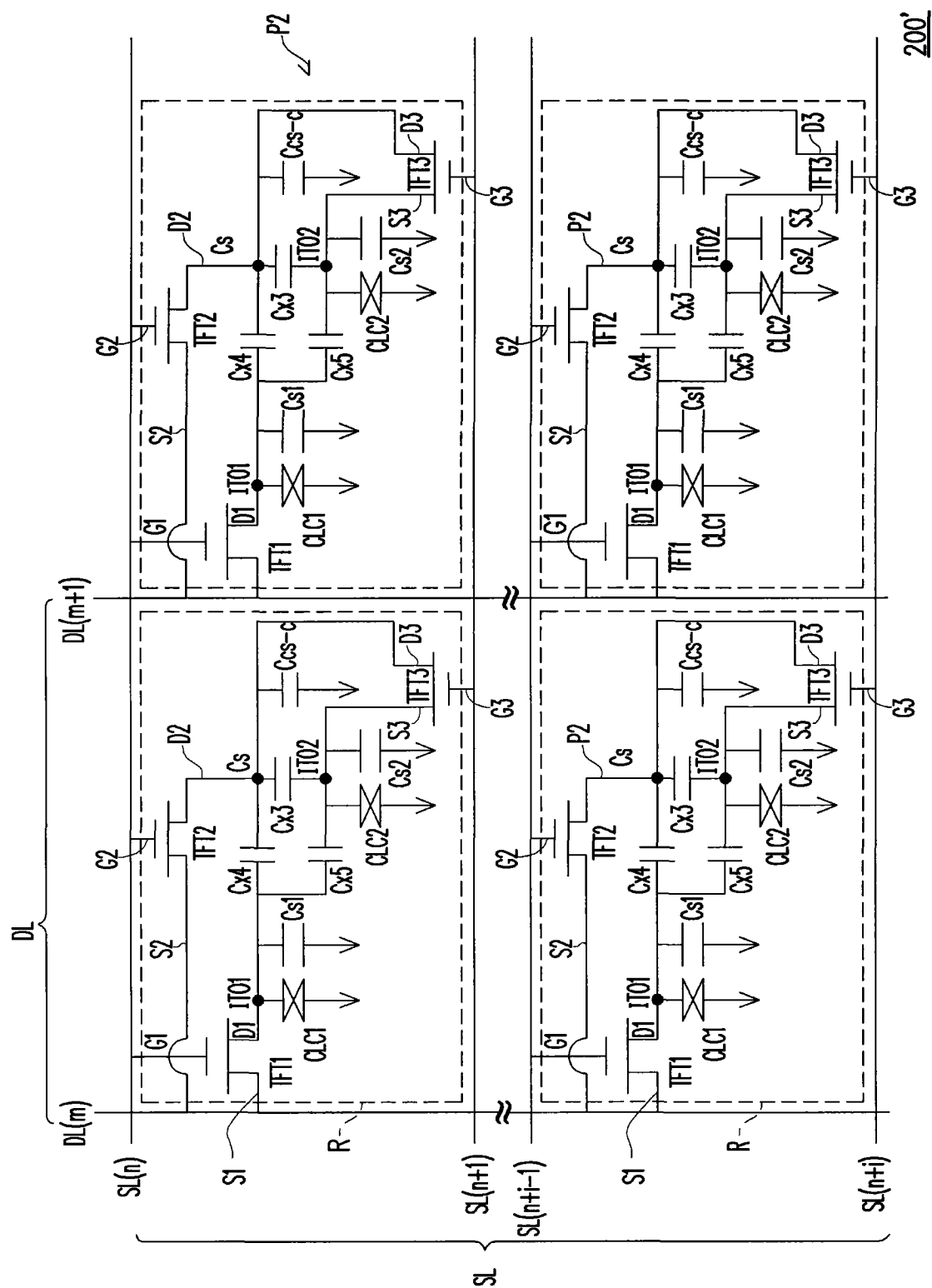


图 6

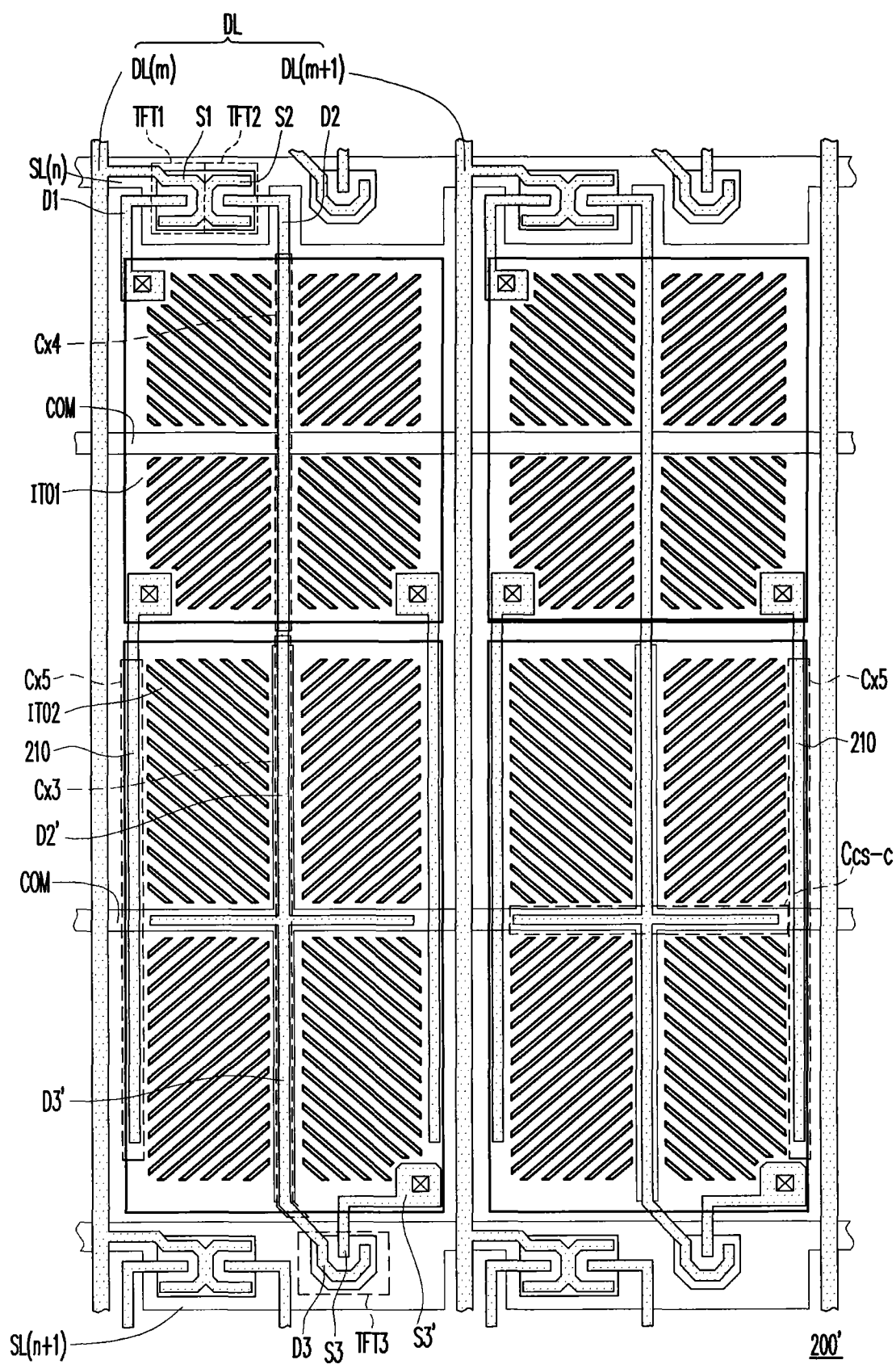


图 7A

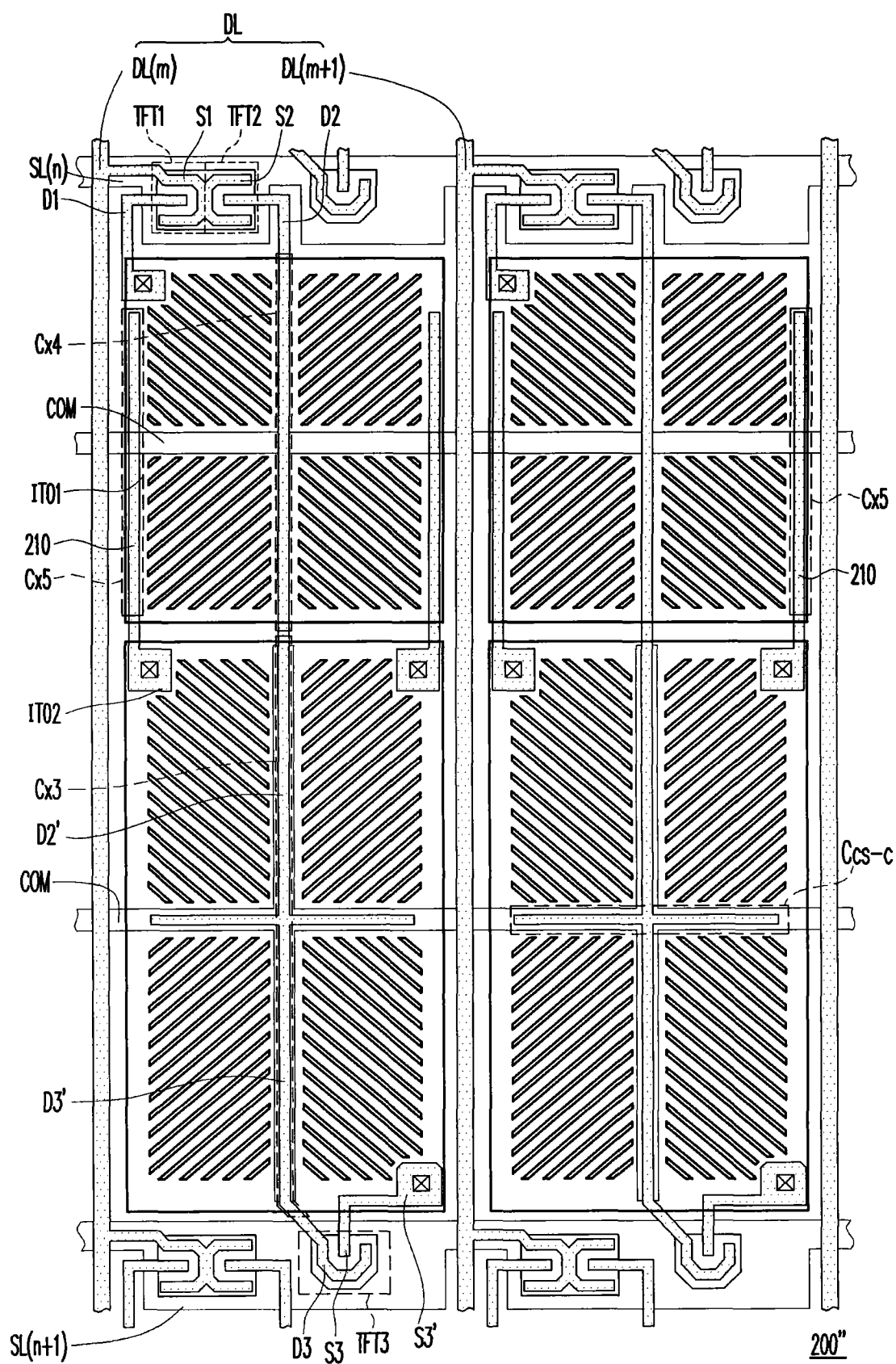


图 7B

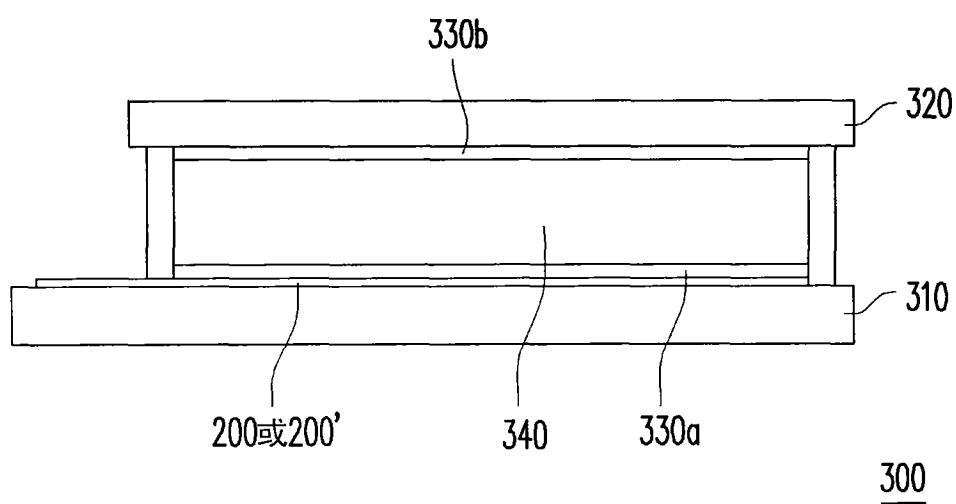


图 8

专利名称(译)	像素阵列、液晶显示面板以及像素阵列的驱动方法		
公开(公告)号	CN101916017A	公开(公告)日	2010-12-15
申请号	CN201010243221.3	申请日	2010-07-30
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	丁天伦 吴育庆 徐文浩 李翊诚		
发明人	丁天伦 吴育庆 徐文浩 李翊诚		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 H01L27/02		
其他公开文献	CN101916017B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种像素阵列包括多条扫描线、多条数据线及多个子像素。各子像素分别与对应的扫描线及数据线电性连接。排列于第n列中的各子像素包括第一开关、第一像素电极、第二开关、第三开关及第二像素电极。第一开关以及第二开关与第n条扫描线及第m条数据线电性连接。第一开关与第一像素电极电性连接。第二开关具有第一信号输出端。第三开关与第(n+i)条扫描线电性连接，并具有与第一信号输出端电性连接的信号输入端及第二信号输出端。第一信号输出端与第一像素电极及第二像素电极电性绝缘，并延伸至第二像素电极下方，以与第二像素电极形成耦合电容。本发明同时公开一种液晶显示面板及像素阵列的驱动方法。

