



(12) 发明专利申请

(10) 申请公布号 CN 101833204 A

(43) 申请公布日 2010.09.15

(21) 申请号 200910079952.6

(22) 申请日 2009.03.13

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 谢振宇 林承武 陈旭 刘翔

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006.01)

H01L 23/528 (2006.01)

H01L 21/768 (2006.01)

H01L 21/84 (2006.01)

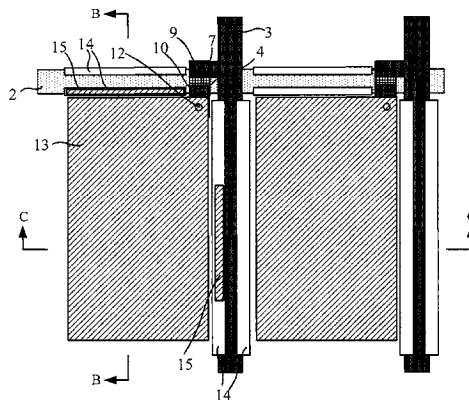
权利要求书 2 页 说明书 7 页 附图 8 页

(54) 发明名称

阵列基板及其制造方法和液晶面板

(57) 摘要

本发明涉及一种阵列基板及其制造方法和液晶面板。该阵列基板的钝化层上形成有沟槽,且沟槽对应形成在相邻的两像素电极之间;沟槽的深度小于钝化层的厚度。该方法包括:在衬底基板上形成多薄膜层的图案;在形成多薄膜层的衬底基板上形成钝化层;在钝化层上形成钝化层过孔和上述沟槽;在形成沟槽的钝化层上沉积透明导电膜层;采用构图工艺形成矩阵形式的多个像素电极。本发明的液晶面板包括本发明的阵列基板。本发明在像素电极区域之外的钝化层上形成沟槽,使得像素电极材料层可以在沟槽的边缘处形成断层,减少或避免相邻像素电极的连通短路,从而提高成品率。



1. 一种阵列基板,包括衬底基板及其上的多薄膜层,所述多薄膜层包括栅极扫描线、数据扫描线和薄膜晶体管,在所述多薄膜层上覆盖有钝化层,所述钝化层上有矩阵形式的多个像素电极,其特征在于:所述钝化层上形成有沟槽,且所述沟槽对应形成在相邻的两个像素电极之间;所述沟槽的深度小于所述钝化层的厚度。

2. 根据权利要求1所述的阵列基板,其特征在于:所述沟槽沿栅极扫描线和/或数据扫描线方向呈条状分布。

3. 根据权利要求1所述的阵列基板,所述矩阵形式的多个像素电极中,每个像素电极图案具有多个条状缝隙,其特征在于:沟槽还形成在一个像素电极图案中对应所述缝隙的区域上。

4. 根据权利要求1所述的阵列基板,其特征在于:所述沟槽的侧壁垂直于所述衬底基板或所述沟槽的敞口向所述沟槽的中心方向收拢。

5. 一种阵列基板的制造方法,其特征在于,包括:

在衬底基板上形成多薄膜层的图案,所述多薄膜层包括栅极扫描线、数据扫描线和薄膜晶体管;

在形成所述多薄膜层的衬底基板上形成钝化层;

在所述钝化层上形成钝化层过孔和沟槽,所述沟槽的深度小于所述钝化层的厚度;

在形成所述沟槽的钝化层上沉积透明导电膜层;

采用构图工艺刻蚀透明导电膜层以形成矩阵形式的多个像素电极,所述沟槽对应形成在相邻的两个像素电极之间。

6. 根据权利要求5所述的阵列基板的制造方法,其特征在于,采用构图工艺刻蚀透明导电膜层以形成矩阵形式的多个像素电极,所述沟槽对应形成在相邻的两个像素电极之间具体为:

采用构图工艺刻蚀透明导电膜层以形成矩阵形式的多个像素电极中,每个像素电极图案具有多个条状缝隙,所述沟槽还形成在一个像素电极图案中对应所述缝隙的区域上。

7. 根据权利要求5所述的阵列基板的制造方法,其特征在于,在衬底基板上形成多薄膜层的图案具体包括:

在所述衬底基板上沉积栅金属层,通过构图工艺在所述衬底基板上形成栅极扫描线和栅电极的图案;

在形成所述栅极扫描线和栅电极的衬底基板上沉积栅极绝缘层、半导体膜层、掺杂半导体膜层和源漏金属膜层,采用构图工艺在所述栅极绝缘层上形成数据扫描线、半导体层、掺杂半导体层、源电极和漏电极的图案,与所述栅极扫描线和栅电极共同作为所述多薄膜层,所述源电极和漏电极之间形成薄膜晶体管沟道。

8. 根据权利要求5~7任一所述的阵列基板的制造方法,其特征在于,在所述钝化层上形成钝化层过孔和沟槽具体包括:

在所述钝化层上涂覆光刻胶;

以灰色调掩模板或半色调掩模板对所述光刻胶进行曝光显影操作,形成完全去除区域、半保留区域和完全保留区域,对应所述沟槽的区域为半保留区域,对应钝化层过孔的区域为完全去除区域,完全去除区域的光刻胶全部显影去除,半保留区域的光刻胶保留设定厚度,完全保留区域的光刻胶全部保留;

采用干法刻蚀钝化层,完全去除区域的钝化层被部分刻蚀;

对剩余光刻胶进行灰化处理,去掉设定厚度的光刻胶,所述半保留区域的光刻胶被完全去除,所述完全保留区域的光刻胶保留设定厚度;

采用干法刻蚀钝化层,完全保留区域的钝化层被刻蚀设定厚度以形成所述沟槽,同时完全去除区域的钝化层被完全刻蚀掉以形成钝化层过孔;

剥离剩余光刻胶。

9. 一种包括权利要求 1 ~ 4 任一所述阵列基板的液晶面板,其特征在于:还包括彩膜基板,所述阵列基板和彩膜基板对盒设置,其间填充有液晶层。

阵列基板及其制造方法和液晶面板

技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种阵列基板及其制造方法和液晶面板。

背景技术

[0002] 液晶显示器在平板显示器中占据重要地位,其中,薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display;以下简称:TFT-LCD)是广泛使用的一种液晶显示器。

[0003] TFT-LCD 的液晶面板由阵列基板和彩膜基板对盒而成,图 1 为现有技术中一种薄膜晶体管液晶显示器阵列基板的局部俯视结构示意图,图 2 为图 1 中的 A-A 向剖视图。如图 1 和图 2 所示,典型的 TFT-LCD 阵列基板结构主要包括:衬底基板 1;在衬底基板 1 上形成栅电极 4 和栅极扫描线 2 的图案,并形成公共电极 5 的图案;在栅电极 4 和栅极扫描线 2 上形成栅极绝缘层 6;栅极绝缘层 6 上形成半导体层 7、掺杂半导体层 8、源电极 9、漏电极 10 和数据扫描线 3 的图案;在上述图案上再形成钝化层 11;在钝化层 11 上形成像素电极 13 的图案,且像素电极 13 通过钝化层过孔 12 与漏电极 10 连通。

[0004] 由图 1 所示可以看出,像素电极的图案是呈矩阵形式排列的,分别对应各个像素区,但是现有 TFT-LCD 存在着如下缺陷:在制造过程中,像素电极通常是在钝化层上首先沉积一层透明导电膜层,而后采用曝光刻蚀工艺刻蚀出各块像素电极的图案。在刻蚀过程中,由于铟锡氧化物(Indium Tin Oxides;以下简称:ITO)的透明导电膜层与下层钝化层薄膜之间存在界面扩散等影响,刻蚀工艺后可能会在下层钝化层表面残留 ITO。残留 ITO 可能会导致相邻像素电极连通短路,呈现到液晶显示器上即表现为出现亮点或暗点的缺陷,若存在大面积残留 ITO,则可能出现多个亮点连成一片的“群辉”现象,使产品报废。现有技术中一般可以通过调整工艺过程中的工艺参数来降低 ITO 残留的发生几率,但是无法有效地解决 ITO 残留带来的不良影响,尤其是像素电极之间的较小间隔处受到 ITO 残留的影响更显著。

发明内容

[0005] 本发明的目的是提供一种阵列基板及其制造方法和液晶面板,以降低像素电极材料刻蚀后残留物对产品的影响,提高成品率。

[0006] 为实现上述目的,本发明提供了一种阵列基板,包括衬底基板及其上的多薄膜层,所述多薄膜层包括栅极扫描线、数据扫描线和薄膜晶体管,在所述多薄膜层上覆盖有钝化层,所述钝化层上有矩阵形式的多个像素电极,其中:所述钝化层上形成有沟槽,且所述沟槽对应形成在相邻的两个像素电极之间;所述沟槽的深度小于所述钝化层的厚度。

[0007] 为实现上述目的,本发明还提供了一种阵列基板的制造方法,包括:

[0008] 在衬底基板上形成多薄膜层的图案,所述多薄膜层包括栅极扫描线、数据扫描线和薄膜晶体管;

[0009] 在形成所述多薄膜层的衬底基板上形成钝化层;

[0010] 在所述钝化层上形成钝化层过孔和沟槽,所述沟槽的深度小于所述钝化层的厚度;

[0011] 在形成所述沟槽的钝化层上沉积透明导电膜层;

[0012] 采用构图工艺刻蚀透明导电膜层以形成矩阵形式的多个像素电极,所述沟槽对应形成在相邻的两个像素电极之间。

[0013] 为实现上述目的,本发明又提供了一种包括本发明阵列基板的液晶面板,还包括彩膜基板,所述阵列基板和彩膜基板对盒设置,其间填充有液晶层。

[0014] 由以上技术方案可知,本发明采用在两像素电极之间区域的钝化层上形成沟槽的技术手段,使得在沉积透明导电膜层时,可以在沟槽的边缘处形成断层或增加两像素电极图案之间的距离,则刻蚀像素电极图案后,即使有透明导电材料残留物,但是由于断层的存在或距离的增加,也会减少或避免相邻像素电极的连通短路,因此能够降低像素电极材料刻蚀后残留物对产品的影响,提高成品率,改善画面显示品质。

附图说明

[0015] 图 1 为现有技术中一种薄膜晶体管液晶显示器阵列基板的局部俯视结构示意图;

[0016] 图 2 为图 1 中的 A-A 向剖视图;

[0017] 图 3 为本发明阵列基板第一实施例的局部俯视结构示意图;

[0018] 图 4 为图 3 中的 B-B 向剖视图;

[0019] 图 5 为图 3 中的 C-C 向剖视图;

[0020] 图 6 为本发明阵列基板第一实施例中沟槽的纵向截面示意图一;

[0021] 图 7 为本发明阵列基板第一实施例中沟槽的纵向截面示意图二;

[0022] 图 8 为本发明阵列基板第一实施例中沟槽的纵向截面示意图三;

[0023] 图 9 为本发明阵列基板第二实施例的局部俯视结构示意图;

[0024] 图 10 为图 9 中的 D-D 向剖视图;

[0025] 图 11 为本发明阵列基板的制造方法第一实施例的流程图;

[0026] 图 12 为本发明阵列基板的制造方法第二实施例的流程图;

[0027] 图 13 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图一;

[0028] 图 14 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图二;

[0029] 图 15 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图三;

[0030] 图 16 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图四;

[0031] 图 17 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图五;

[0032] 图 18 为本发明阵列基板的制造方法第二实施例中阵列基板的局部纵向剖视图六。

[0033] 图中:

[0034]	1- 衬底基板	2- 栅极扫描线	3- 数据扫描线
[0035]	4- 栅电极	5- 公共电极	6- 栅极绝缘层
[0036]	7- 半导体层	8- 掺杂半导体层	9- 源电极
[0037]	10- 漏电极	11- 钝化层	12- 钝化层过孔
[0038]	13- 像素电极	14- 沟槽	15- 像素电极材料残留物
[0039]	16- 光刻胶	17- 掩模板	18- 完全去除区域
[0040]	19- 半保留区域	20- 完全保留区域	

具体实施方式

[0041] 下面通过具体实施例并结合附图对本发明做进一步的详细描述。

[0042] 阵列基板第一实施例

[0043] 图 3 为本发明阵列基板第一实施例的局部俯视结构示意图,图 4 为图 3 中的 B-B 向剖视图,图 5 为图 3 中的 C-C 向剖视图。本实施例的阵列基板具体为 TFT-LCD 中的阵列基板,其主要结构包括:衬底基板 1 及其上的多薄膜层,在多薄膜层上覆盖有钝化层 11,钝化层 11 上对应各像素区形成有矩阵形式的多个像素电极 13。衬底基板 1 一般是玻璃基板。多薄膜层是用于控制各像素电极 13 上的电压以便呈现相应图像的结构,在 TFT-LCD 中,多薄膜层具体为薄膜晶体管驱动阵列,其结构一般包括栅极扫描线 2、数据扫描线 3、栅电极 4、半导体层 7、掺杂半导体层 8、源电极 9 和漏电极 10。如图 3 所示为薄膜晶体管驱动阵列结构中的一种形式。其中数条数据扫描线 3 呈纵向设置,数条栅极扫描线 2 呈横向设置,数据扫描线 3 和栅极扫描线 2 交叉围设出各个像素区。在每个像素区中,分别形成有与栅极扫描线 2 相连的栅电极 4,本实施例中将栅极扫描线 2 中的部分作为栅电极 4;与数据扫描线 3 相连的源电极 9;以及通过钝化层过孔 12 与像素电极 13 相连的漏电极 10。源电极 9 和漏电极 10 形成在栅电极 4 的上方,其间设有半导体层 7,且在源电极 9 和漏电极 10 与半导体层 7 之间设置有掺杂半导体层 8,源电极 9 与漏电极 10 之间即形成 TFT 沟道,数据扫描线 3 与半导体层 7 和掺杂半导体层 8 的图案是利用同一掩模板刻蚀形成的,因此在数据扫描线 3 下也有半导体层 7 和掺杂半导体层 8,这并不影响数据扫描线 3 的功能。在阵列基板上一般还设有公共电极,公共电极可以采用透明导电材质制成,作为存储电容电极来提供公共电压,与像素电极 13 的电压形成电场,公共电极的具体图案多样,可以根据具体情况来设计,也可以不设置公共电极。

[0044] 钝化层 11 形成在整个衬底基板 1 上,覆盖上述多薄膜层,用于将像素电极 13 和多薄膜层隔离绝缘。像素电极 13 阵列形成在钝化层 11 上,分别对应各个像素区,钝化层 11 对应漏电极 10 的上方形形成有钝化层过孔 12,用于使像素电极 13 与漏电极 10 相连。在本实施例中,钝化层 11 上还形成有沟槽 14,且沟槽 14 对应形成在相邻的两像素电极 13 之间,沟槽 14 可以沿栅极扫描线 2 和 / 或数据扫描线 3 方向呈条状分布,例如,沟槽 14 可以形成在数据扫描线 3 的正上方或侧边上方,或形成在栅极扫描线 2 的正上方或侧边上方,为避免各行、各列像素电极 13 之间连通短路,较佳的是在栅极扫描线 2 和数据扫描线 3 的正上方或侧边上方均形成沟槽 14。沟槽 14 可以分段对应设置在每个像素区中,或者也可以是在整个阵列基板上连通成一线的。沟槽 14 的深度小于钝化层 11 的厚度,即未贯穿该钝化层 11。

[0045] 沟槽 14 的纵向截面形状具体可以为沟槽 14 的侧壁垂直于衬底基板 1,例如沟槽

14 的纵向截面形状为矩形,如图 4 所示,垂直侧壁的沟槽 14 可以通过干法刻蚀钝化层 11 来形成。

[0046] 本实施例的阵列基板,由于在像素电极 13 之间的钝化层 11 上形成有垂直侧壁的沟槽 14,所以即使钝化层 11 上有透明导电膜层的残留物,即像素电极材料残留物 15,由于沟槽 14 侧壁垂直,在沟槽 14 侧壁边缘处会形成透明导电膜层的断层,如图 4 所示,沟槽 14 的深度应至少满足形成像素电极 13 材料断层的要求,钝化层 11 (PVX) 的厚度通常可以为 3000 埃($\text{\AA}$),所以像素电极材料残留物 15 无法将相邻的像素电极 13 连通短路,因此能够降低甚至消除像素电极材料残留物 15 对液晶显示器产品的影响,从而提高成品率。

[0047] 在本实施例中,沟槽的形状并不限于侧壁垂直,还可以为沟槽的敞口向沟槽的中心方向收拢。如图 6 所示为本发明阵列基板第一实施例中沟槽的纵向截面示意图一,沟槽的纵向截面形状可以为正置的梯形,如图 7 所示为本发明阵列基板第一实施例中沟槽的纵向截面示意图二,沟槽的纵向截面形状还可以为满足敞口向沟槽的中心方向收拢的圆冠形。当采用不同的技术手段形成上述形状的沟槽时,即可使钝化层上的透明导电膜层在沟槽边缘处形成断层,避免像素电极材料残留物使各块像素电极连通短路。

[0048] 或者,沟槽的形状也可以为倒置的梯形,如图 8 所示为本发明阵列基板第一实施例中沟槽的纵向截面示意图三。由于沟槽的设置,相当于增加了沟槽两侧像素电极图案之间的距离,因此在刻蚀像素电极图案时有利于避免两像素电极图案之间的连通短路。

[0049] 阵列基板第二实施例

[0050] 图 9 为本发明阵列基板第二实施例的局部俯视结构示意图,图 10 为图 9 中的 D-D 向剖视图。本实施例的阵列基板中,多薄膜层的结构仍包括栅极扫描线 2、数据扫描线 3、栅电极 4、公共电极 5、半导体层 7、掺杂半导体层 8、源电极 9 和漏电极 10。与上述第一实施例的区别在于:栅电极 4 从栅极扫描线 2 中向像素电极 13 方向突出,在栅电极 4 的突出端上形成有半导体层 7 和掺杂半导体层 8,源电极 9 和漏电极 10 分别位于掺杂半导体层 8 之上,源电极 9 与漏电极 10 之间形成 TFT 沟道。

[0051] 采用不同的制作工艺流程就可以形成不同的多薄膜层结构,多薄膜层上各个功能部件能发挥本身作用即可,其相对位置关系并不惟一。多薄膜层的具体结构并不限于本发明实施例中所描述的栅极扫描线、数据扫描线等图案结构,能够驱动像素电极导通即可。

[0052] 在本实施例中,该阵列基板具体为采用边缘场开关(Fringe Field Switching;以下简称:FFS)技术的一种宽视角液晶显示器中的阵列基板。该阵列基板的特点是各块像素电极 13 如图 9 和图 10 所示具有多条平行的条状缝隙,像素电极 13 通过钝化层过孔 12 与漏电极 10 相连。钝化层 11 上的沟槽 14 还形成在一个像素电极 13 图案中对应各缝隙的区域上,以免像素电极 13 应以缝隙隔开的像素电极条因像素电极材料残留物 15 的存在而连通。在 FFS 结构的阵列基板上应设置有公共电极 5,公共电极 5 的图案设计形式多样,本实施例中的公共电极 5 具体可以采用透明导电材料形成在衬底基板 1 上,形状为对应像素区的块状,且与栅极扫描线 2 的图案相互隔离开。

[0053] 采用本实施例的技术方案,不仅可以防止像素电极材料的残留物在各块像素区的像素电极之间形成连通短路,还可以避免任何像素电极本应隔开的部分被连通。从而保证液晶显示器的成品率,避免发生“亮点”等产品的显示不良现象。

[0054] 本发明阵列基板上的像素电极图案并不限于上述两种,可以根据需要设计像素电

极的图案。在矩阵形式排列的多个像素电极中,矩阵点上的像素电极图案具有缝隙,则沟槽形成在缝隙中,以避免本应隔开的像素电极连通。

[0055] 本发明阵列基板上的多薄膜层也不限于为上述薄膜晶体管驱动阵列,还可以采用按照其他驱动原理设计的多薄膜层,这对本发明钝化层上的沟槽设计并没有影响。

[0056] 阵列基板的制造方法第一实施例

[0057] 图 11 为本发明阵列基板的制造方法第一实施例的流程图,包括如下步骤:

[0058] 步骤 100、在衬底基板上形成多薄膜层的图案,多薄膜层包括栅极扫描线、数据扫描线、栅电极、半导体层、掺杂半导体层、源电极和漏电极;

[0059] 步骤 200、在形成多薄膜层的衬底基板上形成钝化层;

[0060] 步骤 300、在钝化层上形成钝化层过孔和沟槽,沟槽的深度小于钝化层的厚度,较佳的是沟槽的侧壁可以垂直于衬底基板,或沟槽的敞口向沟槽的中心方向收拢,沟槽的纵向截面形状可以为矩形、正置的梯形、倒置的梯形或圆冠形等;

[0061] 步骤 400、在形成有沟槽的钝化层上沉积透明导电膜层;

[0062] 步骤 500、采用构图工艺刻蚀透明导电膜层以形成矩阵形式的多个像素电极,沟槽对应形成在相邻的两个像素电极之间。

[0063] 本实施例的技术方案,在钝化层上对应相邻的两像素电极之间的区域形成有沟槽,且沟槽的侧壁垂直,或沟槽的敞口向沟槽的中心方向收拢,则沉积透明导电膜层时,透明导电膜层在沟槽的边缘处形成断层,可参见图 4,则即使存在像素电极材料残留物,但是由于断层的出现,像素电极材料不会使像素电极连通短路,或者,沟槽的存在增加了像素电极图案之间的距离,有利于刻蚀断开相邻的像素电极图案,也可以有效避免像素电极图案之间的连通短路。因此可以提高液晶显示器的成品率,避免出现“亮点”等产品的显示不良现象。

[0064] 阵列基板的制造方法第二实施例

[0065] 图 12 为本发明阵列基板的制造方法第二实施例的流程图,本实施例具体以上述第一实施例为基础,且具体为制造 TFT-LCD 中的阵列基板,则上述步骤 100 具体包括:

[0066] 步骤 110、在衬底基板 1 上沉积栅金属层,采用掩膜和刻蚀等构图工艺在衬底基板 1 上形成栅极扫描线 2 和栅电极 4 的图案,如图 13 所示。栅电极 4 和栅极扫描线 2 可以为钨铝 (AlNd)、铝 (Al)、铜 (Cu)、钼 (Mo)、钼钨 (MoW) 或铬 (Cr) 的单层膜,或者为 AlNd、Al、Cu、Mo、MoW 或 Cr 之一或任意组合所构成的复合膜;

[0067] 步骤 120、在完成步骤 110,形成栅极扫描线 2 和栅电极 4 的衬底基板 1 上沉积栅极绝缘层 6、半导体膜层、掺杂半导体膜层和源漏金属膜层,采用掩膜和刻蚀等构图工艺在栅极绝缘层 6 上刻蚀形成数据扫描线 3、半导体层 7、掺杂半导体层 8、源电极 9 和漏电极 10 的图案作为多薄膜层,在源电极 9 和漏电极 10 之间形成 TFT 沟道,如图 13 所示。栅极绝缘层 6 可以为氮化硅 (SiN_x)、氧化硅 (SiO_x) 或氮氧化硅 (SiO_xNy) 的单层膜,或者为 SiN_x 、 SiO_x 或 SiO_xNy 之一或任意组合所构成的复合膜,源电极 9 和漏电极 10 可以为 Mo、MoW 或 Cr 的单层膜,或者为 Mo、MoW 或 Cr 之一或任意组合所构成复合膜,半导体层 7 为 α -Si 半导体材质的未掺杂非晶硅层,掺杂半导体层 8 为掺杂的 α -Si 半导体,即 n^+ α -Si 半导体材质的重掺杂非晶硅层;

[0068] 而后执行步骤 200,在完成步骤 120 的衬底基板 1 上沉积钝化层 11 的材料,形成钝

化层 11,如图 13 所示。

[0069] 步骤 300 可以为采用灰色调掩膜 (Gray Tone Mask ;以下简称 :GTM) 或者半色调掩膜 (Half Tone Mask ;以下简称 :HTM) 技术在钝化层 11 上刻蚀形成沟槽 14,步骤 300 具体可以包括下述步骤:

[0070] 步骤 310、在钝化层 11 上涂覆光刻胶 16,本文以正性光刻胶为例进行说明;

[0071] 步骤 320、以灰色调或半色调掩模板 17 对光刻胶 16 进行曝光显影操作,形成完全去除区域 18、半保留区域 19 和完全保留区域 20,对应即将形成沟槽 14 的区域形成半保留区域 19,或者当所要形成的像素电极 13 图案具有缝隙时,则对应缝隙的区域也可以形成半保留区域 19,并且,可以对应在漏电极 10 上方的钝化层过孔 12 的区域形成完全去除区域 18,其他位置形成完全保留区域 20,完全去除区域 18 的光刻胶 16 全部显影去除,半保留区域 19 的光刻胶 16 保留设定厚度,其他的完全保留区域 20 则保留完整厚度的光刻胶 16,如图 13 所示;

[0072] 步骤 330、采用干法刻蚀钝化层 11,则完全去除区域 18 的钝化层 11 没有光刻胶 16 的保护,完全去除区域 18 的钝化层 11 被部分刻蚀,从而可以形成部分深度的钝化层过孔 12,如图 14 所示;

[0073] 步骤 340、对剩余光刻胶 16 进行灰化处理,去掉设定厚度光刻胶 16,则可以将半保留区域 19 的光刻胶 16 完全去除,而完全保留区域 20 的光刻胶 16 因为比半保留区域 19 的厚度大,所以保留设定厚度的光刻胶 16,如图 15 所示;

[0074] 步骤 350、采用干法刻蚀钝化层 11,则半保留区域 19 的钝化层 11 没有光刻胶 16 的保护,被刻蚀掉设定厚度的钝化层 11 以形成沟槽 14,同时,完全去除区域 18 的钝化层 11 被完全刻蚀掉,形成钝化层过孔 12,以便后续形成的像素电极 13 能够通过钝化层过孔 12 与漏电极 10 连接。对钝化层 11 的刻蚀厚度一般可以由刻蚀时间来控制,则通过步骤 330 和步骤 350 分两次将钝化层过孔 12 完全刻蚀形成,步骤 330 中仅刻蚀部分深度的钝化层过孔 12,能够避免步骤 350 刻蚀时对钝化层 11 下金属膜层的刻蚀。干法刻蚀的沟槽 14 的侧壁是大致垂直的,且沟槽 14 的深度小于钝化层 11 的厚度,如图 16 所示,沟槽 14 的深度一般应满足使像素电极材料残留物能够在边缘处形成断层的要求;

[0075] 步骤 360、剥离剩余光刻胶 16,如图 17 所示。

[0076] 而后执行步骤 400:

[0077] 步骤 400、在形成有沟槽 14 的钝化层 11 上沉积透明导电膜层,例如沉积 ITO 层;

[0078] 步骤 500、采用掩膜和刻蚀等构图工艺在像素电极区域形成矩阵形式的多个像素电极 13,如图 18 所示,由于沟槽 14 的侧壁垂直,所以像素电极材料残留物在侧壁边缘处形成断层,不会将像素电极 13 连通短路。

[0079] 当制造 FFS 结构的阵列基板时,通过采用适当图案的掩模板,可以在钝化层上形成相应图案的像素电极,每个像素电极图案具有多个条状缝隙,沟槽对应形成在相邻的两个像素电极之间,且沟槽还形成在一个像素电极图案中对应缝隙的区域上。

[0080] 本实施例的技术方案,可以利用 HTM 或 GTM 技术在钝化层上刻蚀形成沟槽,无需增加掩膜次数,因此工序简单,易于在现有技术工艺中改进。干法刻蚀的沟槽具有垂直的侧壁,能够使残留的像素电极材料形成断层,因此可以避免像素电极连通短路,从而提高液晶显示器的成品率,避免出现“亮点”等产品的显示不良现象。

[0081] 本发明阵列基板的制造方法各实施例可以用于制作本发明的阵列基板任一实施例的技术方案,能够有效降低像素电极材料残留物连通像素电极造成的不良影响,提高成品率,且实现方法简单,易于推广。

[0082] 液晶面板实施例

[0083] 本发明液晶面板实施例包括本发明的阵列基板,且还包括彩膜基板,阵列基板和彩膜基板对盒设置,其间填充有液晶层。液晶面板配合其他必要的控制模组和背光模组即可构成液晶显示器。

[0084] 采用本发明阵列基板的液晶面板,不易出现像素电极连通短路的缺陷,则液晶显示器不会出现“亮点”等显示不良问题,画面品质显著提高。

[0085] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

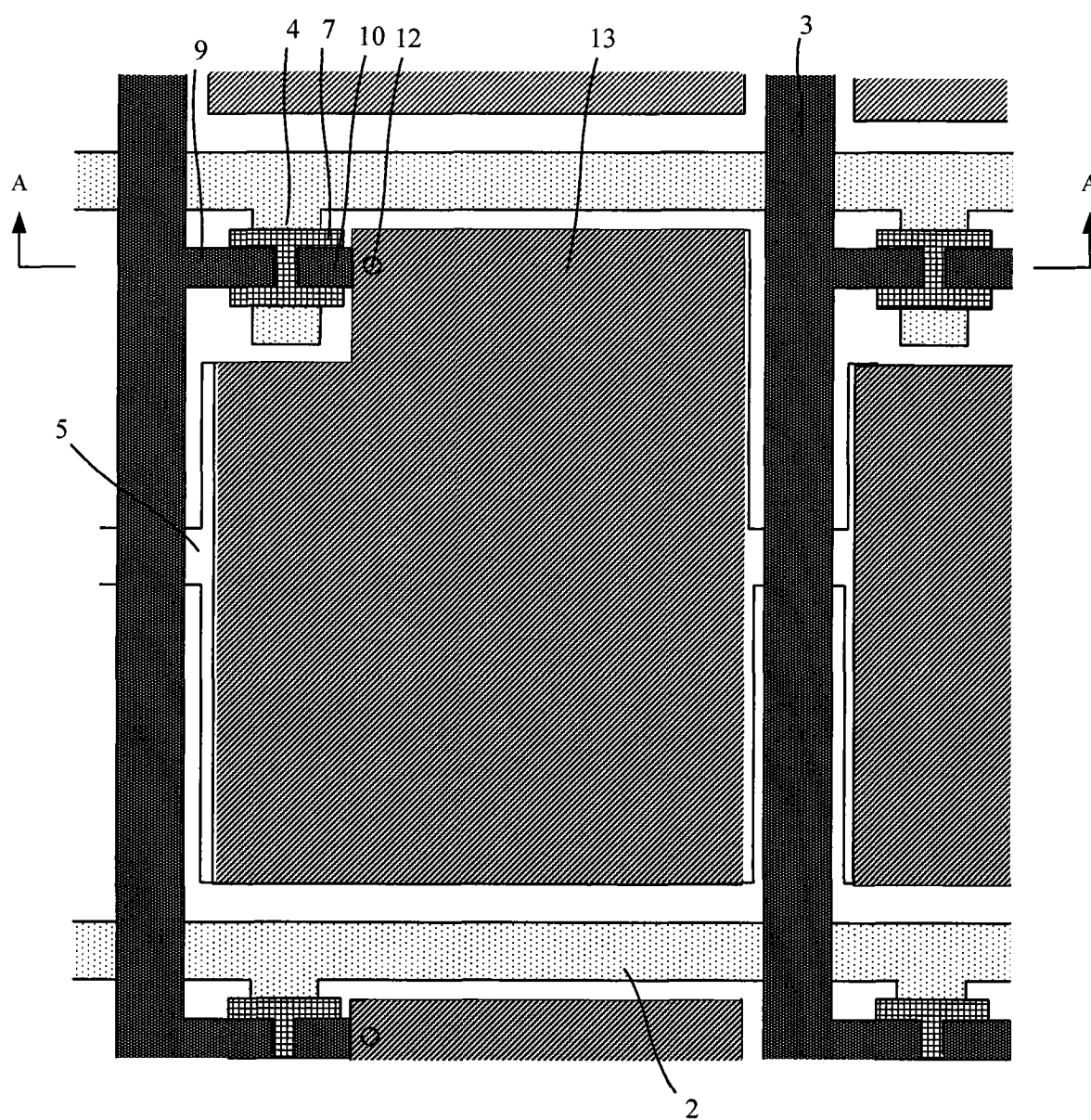


图 1

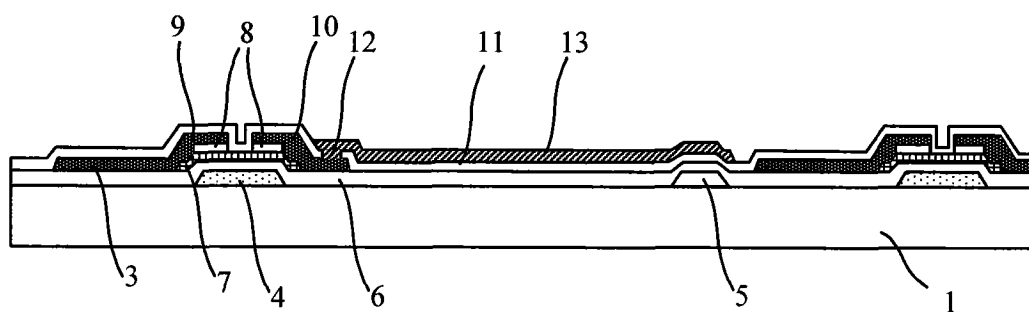


图 2

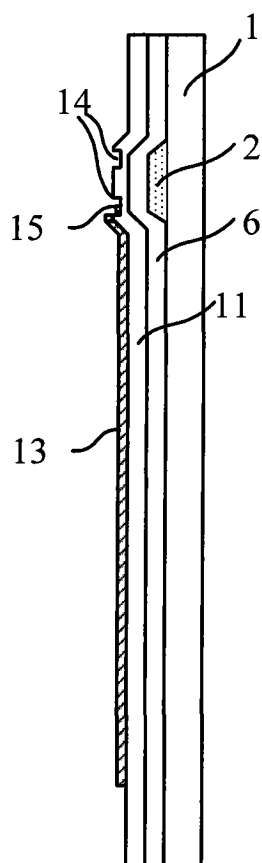


图 4

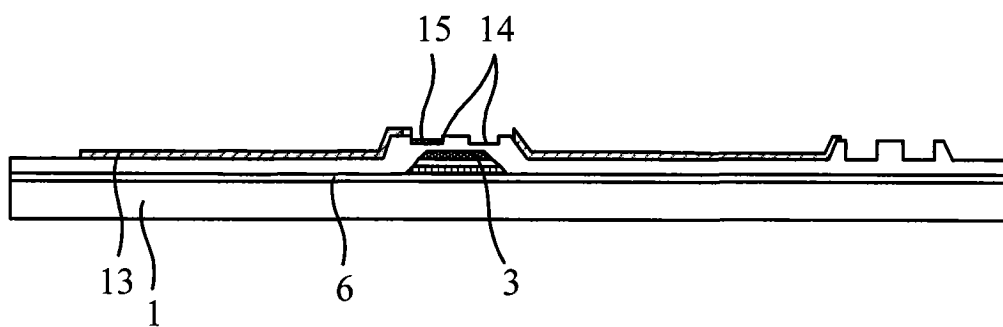


图 5

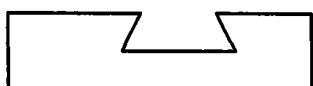


图 6

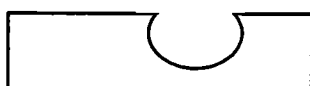


图 7

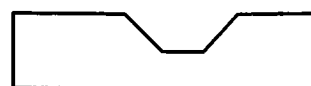


图 8

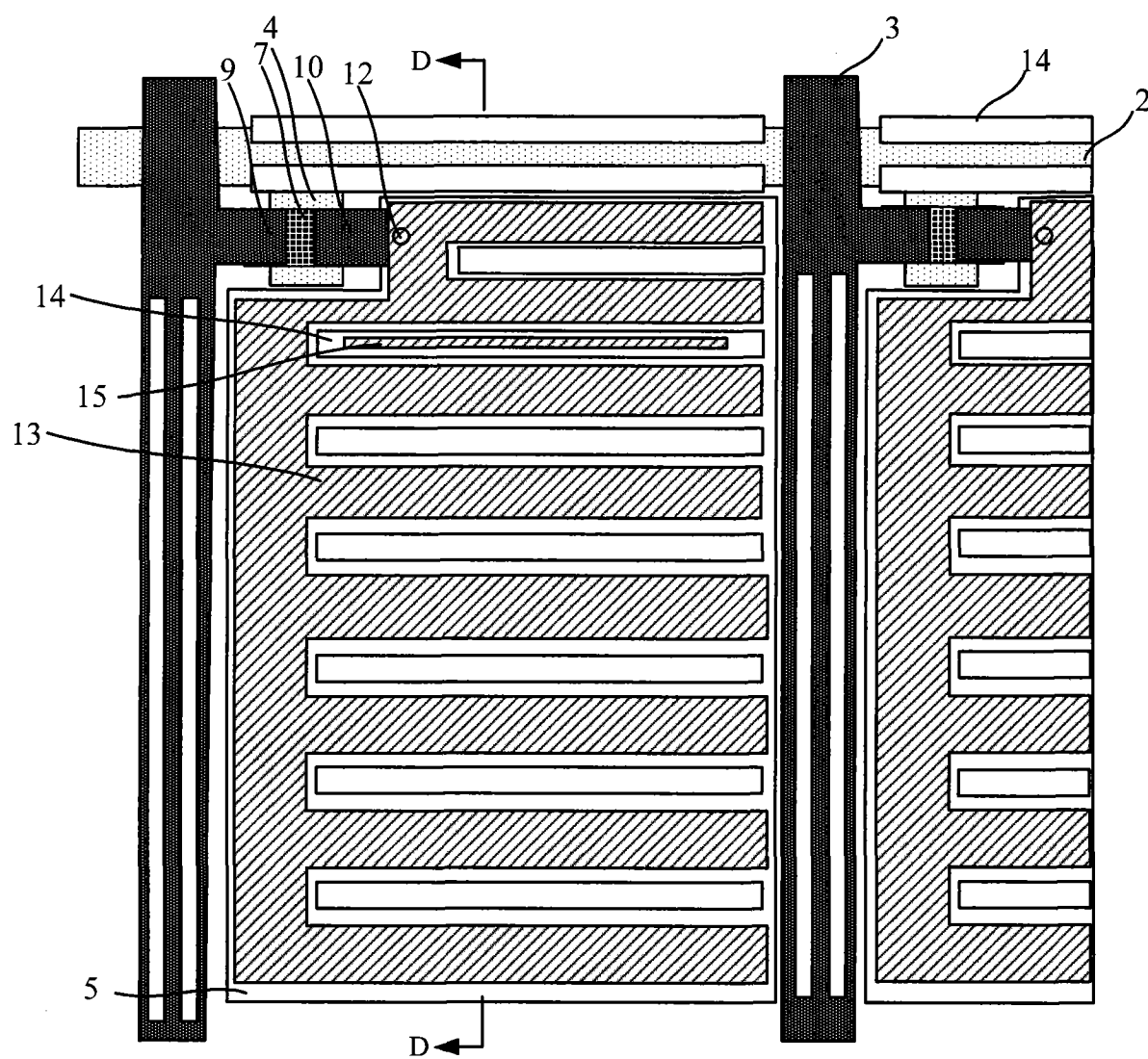


图 9

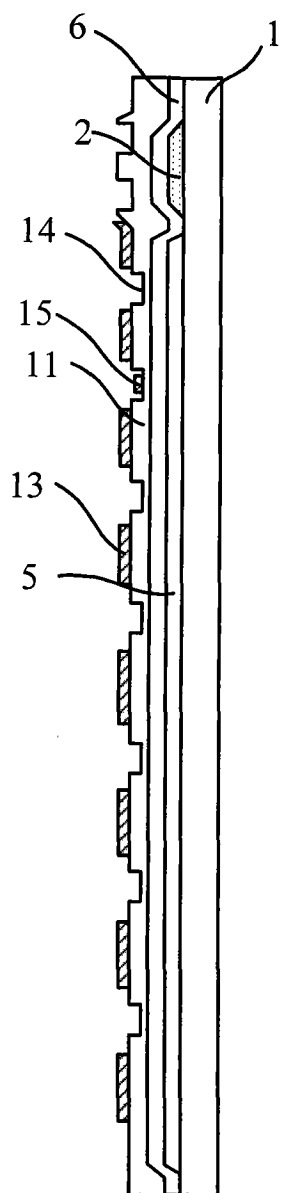


图 10

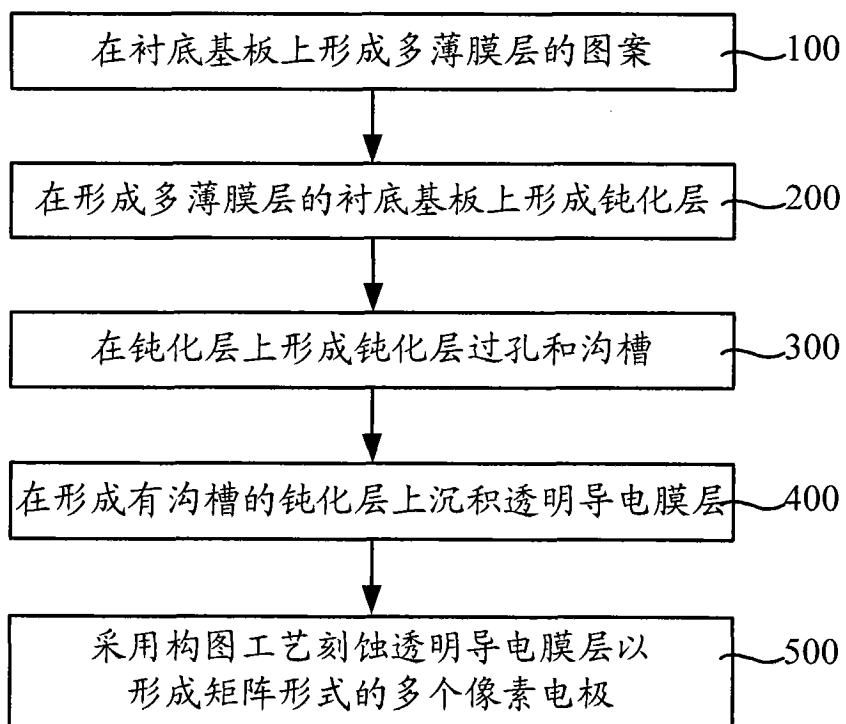


图 11

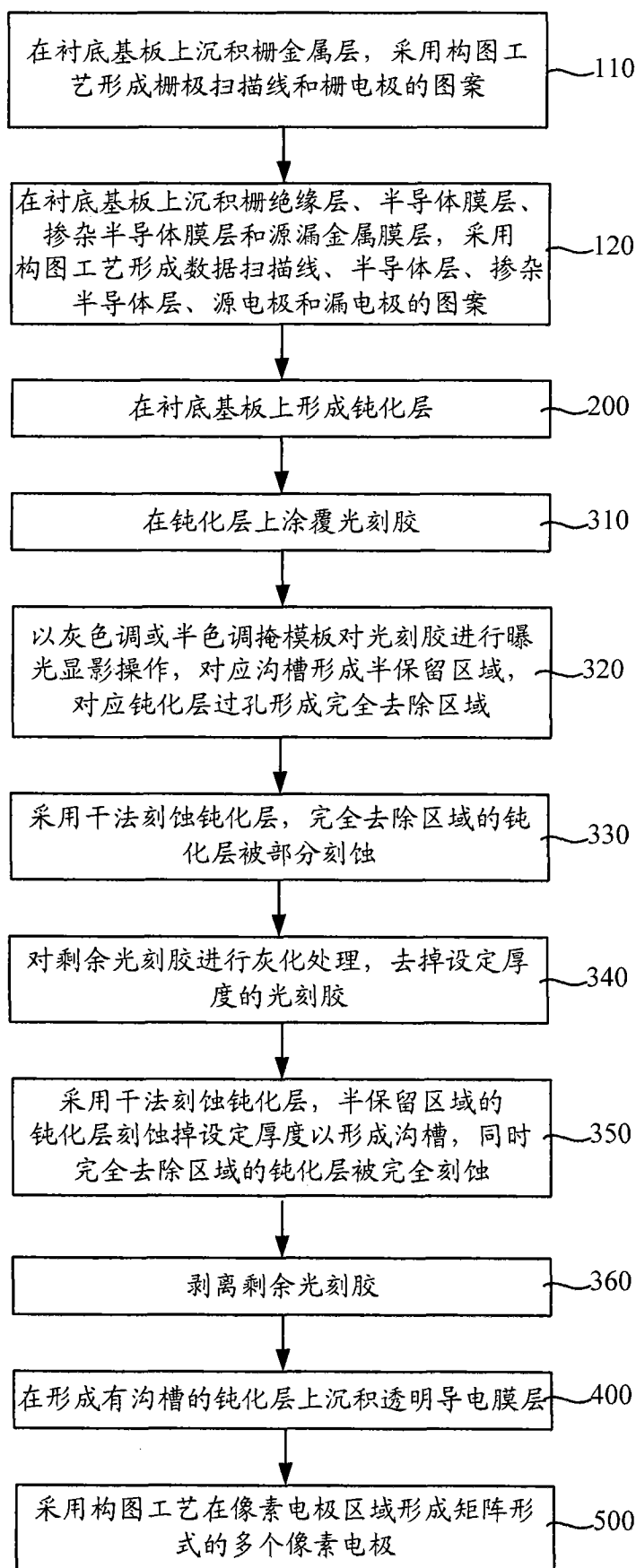


图 12

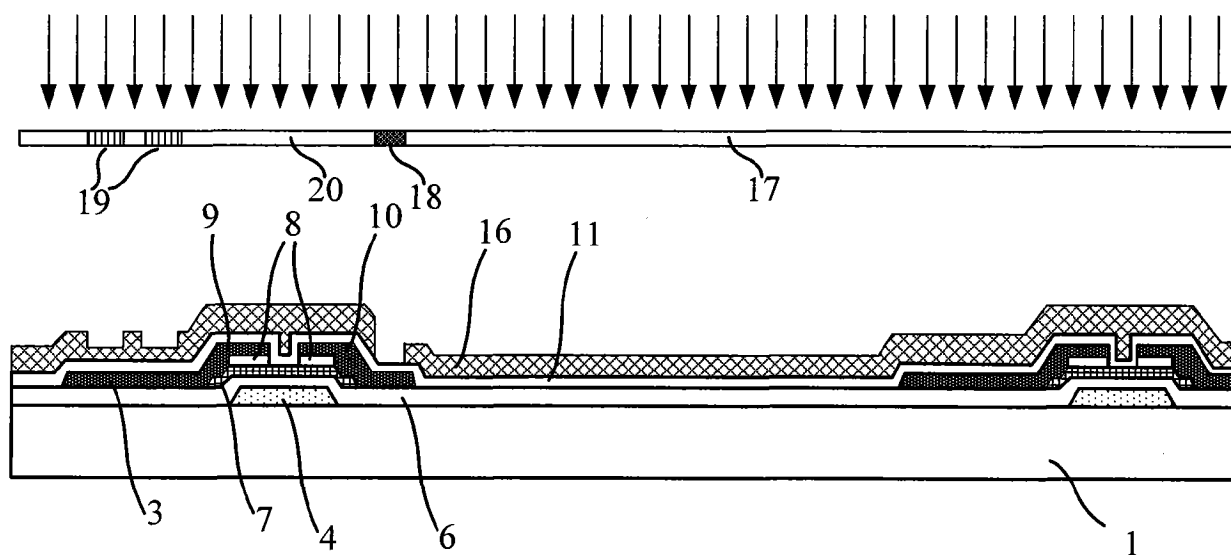


图 13

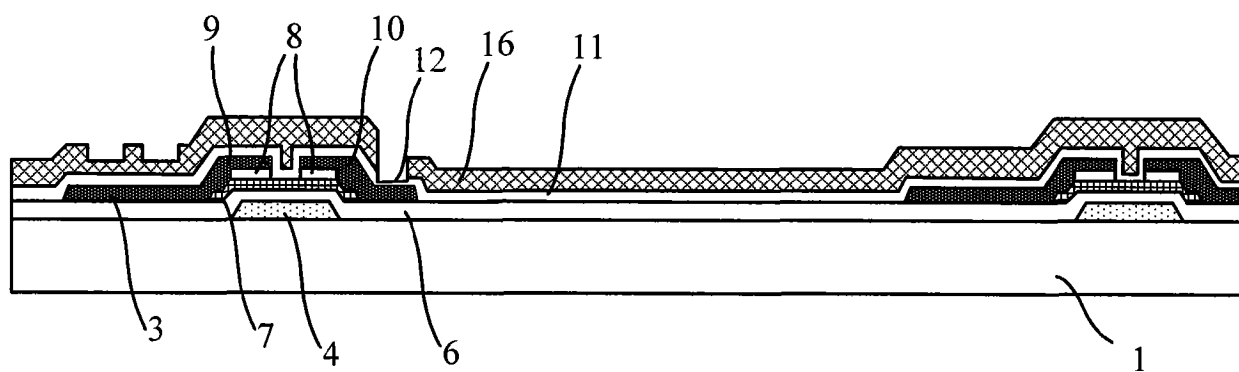


图 14

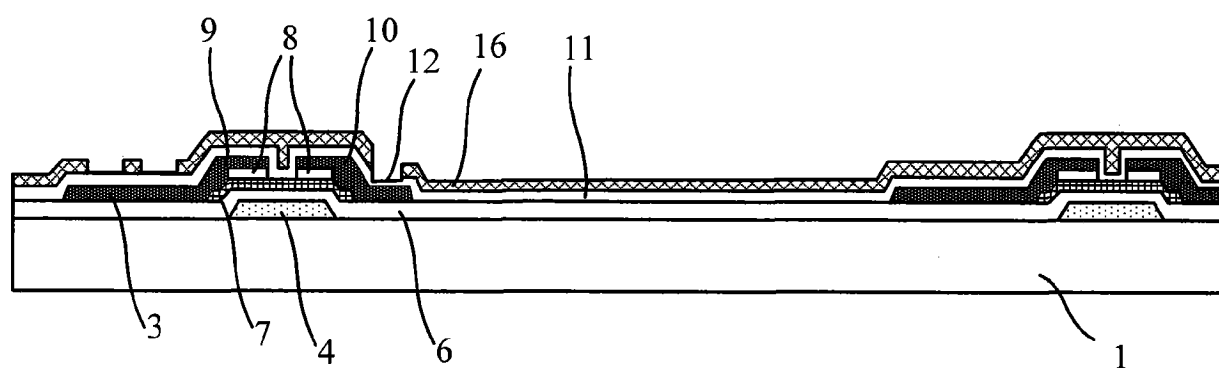


图 15

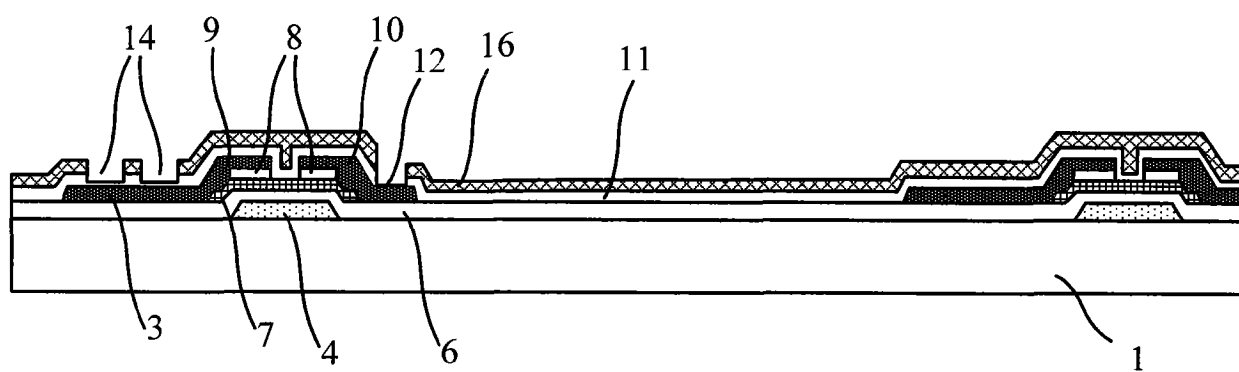


图 16

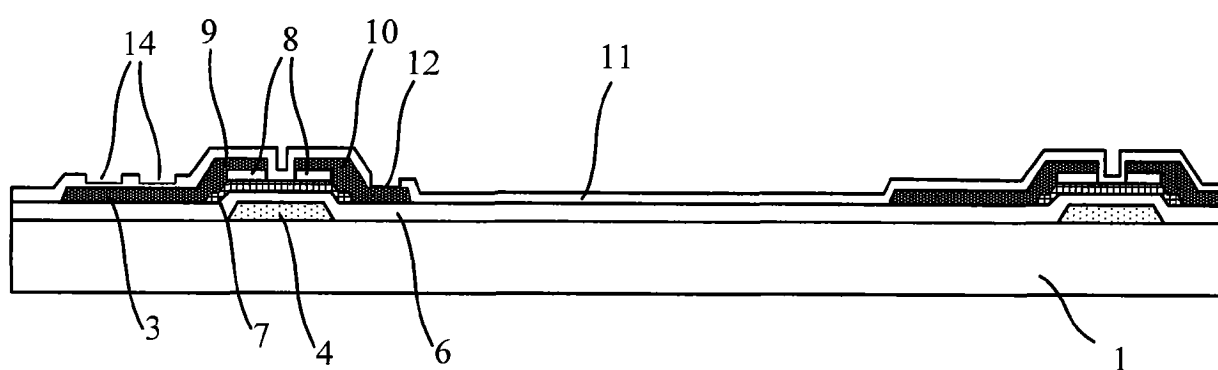


图 17

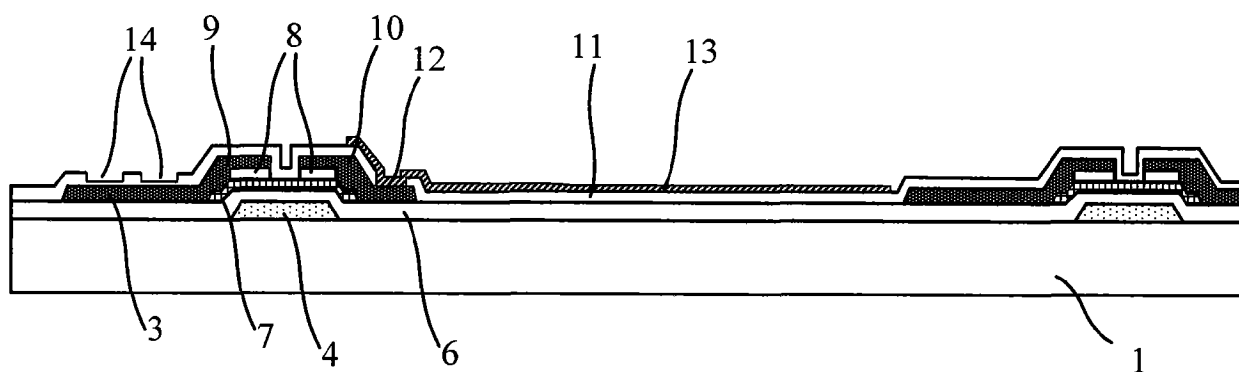


图 18

专利名称(译)	阵列基板及其制造方法和液晶面板		
公开(公告)号	CN101833204A	公开(公告)日	2010-09-15
申请号	CN200910079952.6	申请日	2009-03-13
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	谢振宇 林承武 陈旭 刘翔		
发明人	谢振宇 林承武 陈旭 刘翔		
IPC分类号	G02F1/1362 H01L23/528 H01L21/768 H01L21/84		
代理人(译)	刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种阵列基板及其制造方法和液晶面板。该阵列基板的钝化层上形成有沟槽，且沟槽对应形成在相邻的两像素电极之间；沟槽的深度小于钝化层的厚度。该方法包括：在衬底基板上形成多薄膜层的图案；在形成多薄膜层的衬底基板上形成钝化层；在钝化层上形成钝化层过孔和上述沟槽；在形成沟槽的钝化层上沉积透明导电膜层；采用构图工艺形成矩阵形式的多个像素电极。本发明的液晶面板包括本发明的阵列基板。本发明在像素电极区域之外的钝化层上形成沟槽，使得像素电极材料层可以在沟槽的边缘处形成断层，减少或避免相邻像素电极的连通短路，从而提高成品率。

