



(12) 发明专利

(10) 授权公告号 CN 101604102 B

(45) 授权公告日 2012. 10. 03

(21) 申请号 200810186998. 3

(22) 申请日 2008. 12. 12

(30) 优先权数据

10-2008-0055370 2008. 06. 12 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 申东旭 朴景台

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G02F 1/1362 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/84 (2006. 01)

(56) 对比文件

US 2005/0219436 A1, 2005. 10. 06, 说明书 [0063] - [0066]、附图 4-6.

US 2005/0099579 A1, 2005. 05. 12, 全文.

审查员 孙寒

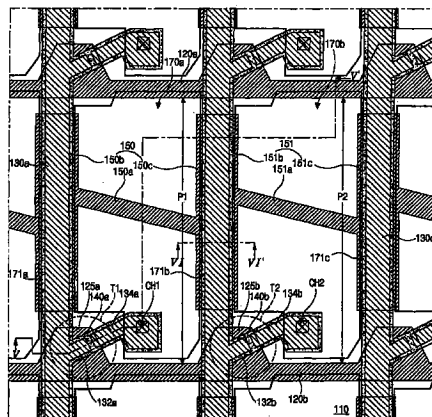
权利要求书 2 页 说明书 12 页 附图 11 页

(54) 发明名称

液晶显示装置的阵列基板及其制造方法

(57) 摘要

本发明提供液晶显示装置的阵列基板及其制造方法。该液晶显示装置的阵列基板包括：基板；在基板上沿第一方向的第一和第二选通线；沿第二方向的第一、第二及第三数据线，它们与第一和第二选通线交叉以限定第一和第二像素区域；第一和第二薄膜晶体管，它们分别位于第二选通线与第一数据线的交叉部分处，和第二选通线与第二数据线的交叉部分处；分别在第一和第二像素区域中的第一和第二像素电极，第一像素电极连接至第一薄膜晶体管，第二像素电极连接至第二薄膜晶体管；以及在第一和第二选通线之间的第一和第二公共线，第一和第二公共线分别与第一和第二像素电极交叠，并在第二数据线下方向相互连接以覆盖该第二数据线在第一和第二选通线之间的一部分。



1. 一种液晶显示装置的阵列基板,所述阵列基板包括:

基板;

在所述基板上沿第一方向的第一和第二选通线;

沿第二方向的第一、第二及第三数据线,它们与所述第一和第二选通线交叉以限定第一和第二像素区域;

第一和第二薄膜晶体管,它们分别位于所述第二选通线与所述第一数据线的交叉部分处,和所述第二选通线与所述第二数据线的交叉部分处;

第一和第二像素电极,它们分别在所述第一和第二像素区域中,所述第一像素电极连接至所述第一薄膜晶体管,所述第二像素电极连接至所述第二薄膜晶体管;以及

在所述第一和第二选通线之间的第一和第二公共线,该第一和第二公共线分别与所述第一和第二像素电极交叠,所述第一公共线的垂直部分和所述第二公共线的垂直部分与所述第二数据线交叠以覆盖所述第二数据线的除了与所述第一选通线和所述第二选通线交叉的部分以外的部分。

2. 根据权利要求1所述的阵列基板,其中,所述第一公共线和所述第二公共线中的每一个都包括水平部分、第一垂直部分和第二垂直部分,所述水平部分沿所述第一方向布置,所述第一和第二垂直部分沿所述第二方向从所述水平部分延伸,其中所述第一公共线的所述第一和第二垂直部分与所述第一和第二数据线交叠,而所述第二公共线的所述第一和第二垂直部分与所述第二和第三数据线交叠。

3. 根据权利要求2所述的阵列基板,其中所述第一公共线的第二垂直部分在所述第二数据线下与方与所述第二公共线的第一垂直部分交叠。

4. 根据权利要求2所述的阵列基板,其中,作为第一电极的所述第一公共线的水平部分以及第一和第二垂直部分、作为第二电极的所述第一像素电极、以及插入所述第一电极与所述第二电极之间的绝缘层,组成第一存储电容器。

5. 根据权利要求4所述的阵列基板,其中,作为第一电极的所述第二公共线的水平部分以及第一和第二垂直部分,作为第二电极的所述第二像素电极,以及插入所述第一电极与所述第二电极之间的绝缘层,组成第二存储电容器。

6. 一种液晶显示装置的阵列基板的制造方法,所述方法包括下列步骤:

在基板上限定第一和第二开关区域、第一和第二像素区域、第一和第二公共区域、以及第一、第二及第三数据区域;

在所述基板上形成第一和第二选通线、第一和第二栅极、以及第一和第二公共线,其中所述第一和第二选通线沿第一方向形成,所述第一和第二栅极连接至所述第二选通线,并且所述第一和第二公共线分别布置在所述第一和第二公共区域中;

在所述第一和第二选通线、所述第一和第二栅极、以及所述第一和第二公共线上形成栅绝缘层;

在所述栅绝缘层上覆盖所述第一和第二栅极的位置上形成第一和第二半导体层;

在所述第一和第二半导体层上形成第一、第二及第三数据线、第一和第二源极、以及第一和第二漏极,其中所述第一、第二及第三数据线沿第二方向形成,并与所述第一和第二选通线交叉以限定所述第一和第二像素区域,所述第一源极和漏极在所述第一半导体层上方相互间隔开,并且所述第二源极和漏极在所述第二半导体层上方相互间隔开;

在所述第一、第二及第三数据线、所述第一和第二源极、以及所述第一和第二漏极上形成钝化层,该钝化层包括分别暴露所述第一和第二漏极的第一和第二接触孔;以及

在所述钝化层上形成第一和第二像素电极,所述第一像素电极通过所述第一接触孔连接至所述第一漏极,所述第二像素电极通过所述第二接触孔连接至所述第二漏极,

其中,所述第一和第二公共线分别与所述第一和第二像素电极交叠,并且,所述第一公共线的垂直部分和所述第二公共线的垂直部分与所述第二数据线交叠以覆盖所述第二数据线的除了与所述第一选通线和所述第二选通线交叉的部分以外的部分。

7. 根据权利要求6所述的方法,其中,所述第一公共线和所述第二公共线中的每一个都包括水平部分、第一垂直部分和第二垂直部分,该水平部分沿所述第一方向布置,该第一和第二垂直部分沿所述第二方向从所述水平部分延伸,其中所述第一公共线的第一和第二垂直部分与所述第一和第二数据线交叠,而所述第二公共线的第一和第二垂直部分与所述第二和第三数据线交叠。

8. 根据权利要求7所述的方法,其中,作为第一电极的所述第一公共线的水平部分以及第一和第二垂直部分、作为第二电极的所述第一像素电极、以及插入在所述第一电极与所述第二电极之间的绝缘层,组成第一存储电容器。

9. 根据权利要求8所述的方法,其中,作为第一电极的所述第二公共线的水平部分以及第一和第二垂直部分、作为第二电极的所述第二像素电极、以及插入在所述第一电极与所述第二电极之间的绝缘层,组成第二存储电容器。

10. 根据权利要求6所述的方法,其中,形成第一和第二半导体层的步骤与所述形成第一、第二及第三数据线、第一和第二源极、以及第一和第二漏极的步骤是同一工序。

11. 一种液晶显示装置的阵列基板,所述阵列基板包括:

基板;

在所述基板上沿第一方向的选通线;

沿第二方向的数据线,其与所述选通线交叉以限定像素区域;

位于所述选通线与所述数据线的交叉部分处的薄膜晶体管;

在所述像素区域中的像素电极,该像素电极连接至所述薄膜晶体管;以及

在相邻选通线之间的公共线,该公共线与所述像素电极交叠,并包括沿所述第一方向的水平部分和沿所述第二方向的第一和第二垂直部分,其中,所述公共线的第一垂直部分和下一像素区域中的公共线的第二垂直部分与所述数据线交叠以覆盖所述数据线的除了分别与相邻选通线交叉的部分以外的部分。

液晶显示装置的阵列基板及其制造方法

技术领域

[0001] 本发明涉及液晶显示装置,具体而言涉及液晶显示装置的阵列基板及其制造方法。

背景技术

[0002] 液晶显示(LCD)装置利用液晶层中液晶分子的光学各向异性和偏振特性来产生图像。液晶分子具有细长的形状,并且能沿特定方向排列。可以通过改变施加到液晶层上的电场强度来控制这些液晶分子的排列方向。因此,液晶分子的排列方向可以通过电场来改变。根据液晶分子的排列方向可以透射并折射光以显示图像。

[0003] 液晶显示装置包括具有公共电极的滤色器基板、具有像素电极的阵列基板,以及插入在该两个基板之间的液晶层。液晶显示装置由公共电极和像素电极之间感生的垂直电场驱动,并且具有较高的透光性和孔径比。

[0004] 阵列基板的像素电极和滤色器基板的公共电极形成液晶电容器。顺便说一下,在提供下一个信号之前,施加到液晶电容器上的电压不会被保持,并且会泄漏并消失。因此,为了保持所施加的电压,该液晶电容器连接有存储电容器。

[0005] 通常来说,存储电容器可通过两种方法来形成。一种方法可称为公共电极上存储(storage-on-common)或独立存储电容器型,其中进一步形成有存储电容器的电极,并将其连接至公共电极。另一种方法可称为选通线上存储(storage-on-gate)或前选通线(previous gate)型,其中把第(n-1)条选通线的一部分用作第n个像素的存储电容器的电极。

[0006] 选通线上存储型的优点是:因为针对存储电容器的信号是通过选通线施加的,所以不需要外部的存储线。但是,选通线上存储型具有因与选通信号相耦合而存在信号干扰的缺点。

[0007] 另一方面,公共电极上存储(SOC)型的优点是:不存在选通信号方面的信号干扰,因此能够保证足够的存储电容。然而,另外形成有存储线,这会导致孔径比变小。

[0008] 下面将参照附图对现有技术中的SOC型液晶显示(LCD)装置进行说明。

[0009] 图1是例示了根据现有技术的用于SOC型LCD装置的阵列基板的平面图。

[0010] 在图1中,在基板10上以矩阵形式形成有第一和第二选通线20a、20b,以及第一、第二及第三数据线30a、30b及30c。所述第一、第二及第三数据线30a、30b及30c与所述第一和第二选通线20a、20b交叉,从而限定了第一和第二像素区域P1、P2。将扫描信号施加给所述第一和第二选通线20a、20b,并且将数据信号施加给所述第一、第二及第三数据线30a、30b及30c。

[0011] 第一和第二公共线50、51形成在所述第一和第二选通线20a、20b之间。所述第一和第二公共线50、51中的每一个都具有H状形状。

[0012] 第一公共线50包括水平部分50a,以及第一和第二垂直部分50b、50c。在图中所示的情况下,水平部分50a沿水平方向布置在第一像素区域P1中。在图中所示的情况下,

所述第一和第二垂直部分 50b、50c 沿垂直方向分别从水平部分 50a 的各端部延伸。所述第一和第二垂直部分 50b、50c 与所述数据线 30a、30b 及 30c 平行,并分别与所述第一和第二数据线 30a、30b 相邻。

[0013] 第二公共线 51 也包括水平部分 51a 和第一、第二垂直部分 51b、51c。在图中所示的情况下,该水平部分 51a 沿所述水平方向布置在第二像素区域 P2 中。在图中所示的情况下,所述第一、第二垂直部分 51b、51c 沿垂直方向分别从水平部分 51a 的各端部延伸。所述第一和第二垂直部分 51b、51c 与所述数据线 30a、30b 及 30c 平行,并分别与所述第二、第三数据线 30b、30c 相邻。

[0014] 第一公共线 50 的第二垂直部分 50c 通过第一和第二公共桥接线(bridge line) 53、54 连接至第二公共线 51 的第一垂直部分 51b。该第一和第二公共桥接线 53、54 重复形成在相邻像素区域之间,并且连接相邻像素区域中的公共线。因此,基板 10 上的所有公共线都通过第一和第二公共桥接线 53、54 相互电连接,并且来自公共信号发生单元(未显示)的公共信号被施加到基板 10 上的所有公共线。

[0015] 第一薄膜晶体管 T1 形成在第二选通线 20b 和第一数据线 30a 的交叉部分处。第二薄膜晶体管 T2 形成在第二选通线 20b 和第二数据线 30b 的交叉部分处。

[0016] 第一薄膜晶体管 T1 包括第一栅极 25a、第一半导体层(未显示)、第一源极 32a 以及第一漏极 34a。第一栅极 25a 从第二选通线 20b 延伸进入第一像素区域 P1。第一半导体层(未显示)与第一栅极 25a 交叠且布置在第一栅极 25a 上。第一源极 32a 从第一数据线 30a 延伸并布置在第一半导体层上。第一漏极 34a 与第一源极 32a 间隔开。

[0017] 第二薄膜晶体管 T2 包括第二栅极 25b、第二半导体层(未显示)、第二源极 32b 以及第二漏极 34b。第二栅极 25b 从第二选通线 20b 延伸进入第二像素区域 P2。第二半导体层(未显示)与第二栅极 25b 交叠且布置在第二栅极 25b 上。第二源极 32b 从第二数据线 30b 延伸并布置在第二半导体层上。第二漏极 34b 与第二源极 32b 间隔开。

[0018] 第一半导体层包括本征非晶硅(a-Si:H)的第一有源层 40a 和掺杂非晶硅(n+a-Si:H)的第一欧姆接触层(未显示)。第二半导体层包括本征非晶硅(a-Si:H)的第二有源层 40b 和掺杂非晶硅(n+a-Si:H)的第二欧姆接触层(未显示)。

[0019] 第一和第二接触孔 CH1、CH2 分别暴露所述第一和第二漏极 34a、34b。

[0020] 第一和第二像素电极 70a、70b 分别形成在第一和第二像素区域 P1、P2 中。第一像素电极 70a 通过第一漏极接触孔 CH1 接触第一漏极 34a。第二像素电极 70b 通过第二漏极接触孔 CH2 接触第二漏极 34b。第一和第二像素电极 70a、70b 由从包括氧化铟锡(ITO)和氧化铟锌(IZO)的透明导电材料组中选择的一种材料形成。

[0021] 下面将参照附图对根据现有技术的 SOC 型 LCD 装置的阵列基板的截面结构进行说明。

[0022] 图 2 是沿图 1 的 II-II' 线截取的截面图。

[0023] 在图 2 中,在基板 10 上限定有第一和第二像素区域 P1、P2、第一开关区域 S1、第一和第二公共区域 C1、C2、以及第二数据区域 D2。

[0024] 图 1 中从第二选通线 20b 延伸的第一栅极 25a 形成在包括区域 P1、P2、S1、C1、C2 以及 D2 的基板 20 上。另外,第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 分别形成在第一和第二公共区域 C1、C2 中。第二公共桥接线 54 形成在第

一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 之间。该第二公共桥接线 54 把第一公共线 50 的第二垂直部分 50c 电连接至第二公共线 51 的第一垂直部分 51b。

[0025] 在第一栅极 25a、第一公共线 50 的第二垂直部分 50c、第二公共线 51 的第一垂直部分 51b 以及第二公共桥接线 54 上形成有栅绝缘层 45。该栅绝缘层 45 由从包括氧化硅 (SiO_2) 和氮化硅 (SiN_x) 的无机绝缘材料组中选择的一种材料形成。

[0026] 在栅绝缘层 45 上与第一栅极 25a 交叠处顺序形成有本征非晶硅的第一有源层 40a 和掺杂非晶硅的第一欧姆接触层 41a。该第一有源层 40a 和第一欧姆接触层 41a 呈岛状形状并构成第一半导体层 42a。

[0027] 在第一半导体层 42a 上形成有第一源极 32a 和第一漏极 34a。该第一源极 32a 从图 1 中的第一数据线 30a 延伸。该第一漏极 34a 与第一源极 32a 间隔开。另外,第二数据线 30b 形成在第二数据区域 D2 中,并与第二公共桥接线 54 交叠。

[0028] 在第一源极 32a、第一漏极 34a 以及第二数据线 30b 上形成有钝化层 55。钝化层 55 具有用于暴露第一漏极 34a 的第一漏极接触孔 CH1。

[0029] 第一像素电极 70a 和第二像素电极 70b 形成在钝化层 55 上。第一像素电极 70a 布置在第一像素区域 P1 中,并通过第一漏极接触孔 CH1 连接至第一漏极 34a。第二像素电极 70b 布置在第二像素区域 P2 中,并通过图 1 中的第二漏极接触孔 CH2 连接至图 1 中的第二漏极 34b。

[0030] 在此,第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 被布置得尽量靠近第二数据线 30b,并且第二公共桥接线 54 连接第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b。第一像素电极 70a 部分地与图 1 中的第一公共线 50 的第一垂直部分 50b 和第二垂直部分 50c 交叠,并且第二像素电极 70b 部分地与图 1 中的第二公共线 51 的第一垂直部分 51b 和第二垂直部分 51c 交叠。

[0031] 然而,在上述阵列基板中,在增加孔径比方面存在局限性。

[0032] 图 3 是根据现有技术的 SOC 型 LCD 装置的截面图,并且对应于沿着图 1 中的 III-III' 线截取的截面。

[0033] 在图 3 中,滤色器基板 5 和阵列基板 10 彼此面对,并且以在它们之间具有单元间隙 (cell gap) g 的方式贴合。所述滤色器基板 5 和阵列基板 10 各包括显示区 AA 和非显示区 NAA。在滤色器基板 5 和阵列基板 10 之间插入有液晶层 15。该液晶层 15 的厚度对应于单元间隙 g。滤色器基板 5、阵列基板 10 以及液晶层 15 构成液晶板 30。背光单元 90 布置在阵列基板 10 的后表面作为光源。

[0034] 虽然在图中未显示,但是在滤色器基板 5 与阵列基板 10 之间沿周边形成有密封图案。该密封图案可以由热固树脂形成。

[0035] 滤色器基板 5 包括透明基板 1、黑底 12、滤色器层 16、外涂 (overcoat) 层 14 以及公共电极 80。黑底 12 形成在透明基板 1 的下表面,用于阻止入射到非显示区 NAA 上的光。滤色器层 16 形成在黑底 12 上,其包括顺序构图形成的红色子滤色器 16a、绿色子滤色器 16b 以及蓝色子滤色器 (未显示)。外涂层 14 形成在滤色器层 16 上。公共电极 80 形成在外涂层 14 上,并由透明导电材料形成。

[0036] 阵列基板 10 包括透明基板 2、第一公共线的第二垂直部分 50c、第二公共线 51 的

第一垂直部分 51b、栅绝缘层 45、第二数据线 30b、钝化层 55 以及第一和第二像素电极 70a、70b。第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 形成在透明基板 2 的上表面上,并相互间隔开以使得第二数据区域 D2 能够布置在其间。栅绝缘层 45 覆盖第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b。第二数据线 30b 布置在栅绝缘层 45 上的第二数据区域 D2 中。钝化层 55 覆盖第二数据线 30b。第一和第二像素电极 70a、70b 以分别位于第一和第二像素区域 P1、P2 中的方式形成在钝化层 55 上,从而使第二数据线 30b 能够布置在其间。

[0037] 在 SOC 型 LCD 装置中,由于第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 形成在第二数据线 30b 下方,因此即使是在第一和第二像素电极 70a、70b 与第二数据线 30b 接近的情况下,也不存在劣质图像问题,诸如由第一和第二像素电极 70a、70b 与第二数据线 30b 之间的寄生电容所引起的数据信号的变化而导致的色度亮度干扰。然而,由于第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 相互间隔开,因而降低了孔径比。

[0038] 此外,布置在滤色器基板 5 的透明基板 1 的下表面上的非显示区 NAA 中的黑底 12 被设计成在两端具有约 $2\mu\text{m}$ 的贴合边缘(attachment margin),以便通过考虑在对滤色器基板 5 和阵列基板 10 进行贴合时的贴合误差,来覆盖第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b。因此,孔径比因这种贴合边缘而被进一步缩小。

[0039] 此外,在小尺寸(例如小于 10 英寸)的 SOC 型 LCD 装置中,已通过增大液晶板 30 的孔径比和去除背光 90 的光板(optical sheet)来尝试降低成本。

[0040] 但是,第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 在第二数据线 30b 的两侧互相间隔开,并且通过图 1 中的与所述第二数据线 30b 交叠的第一和第二公共桥接线 53、54 而相互连接。由于曝光装置的分辨率的限制,制约了第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 之间的距离的减少。因此,难以增加孔径比。

发明内容

[0041] 提供了一种用于液晶显示装置的阵列基板,其包括:基板;在所述基板上沿第一方向的第一和第二选通线;沿第二方向的第一、第二及第三数据线,它们与所述第一和第二选通线交叉以限定第一和第二像素区域;分别在所述第二选通线与所述第一数据线的交叉部分处,和所述第二选通线与所述第二数据线的交叉部分处的第一和第二薄膜晶体管;分别在所述第一和第二像素区域中的第一和第二像素电极,该第一像素电极连接至所述第一薄膜晶体管,该第二像素电极连接至所述第二薄膜晶体管;以及在所述第一和第二选通线之间的第一和第二公共线,该第一和第二公共线分别与所述第一和第二像素电极交叠,所述第一公共线的垂直部分和所述第二公共线的垂直部分与所述第二数据线交叠以覆盖所述第二数据线的除了与所述第一选通线和所述第二选通线交叉的部分以外的部分。

[0042] 另一方面,提供一种液晶显示装置的阵列基板的制造方法,所述方法包括下列步骤:在基板上限定第一和第二开关区域、第一和第二像素区域、第一和第二公共区域、以及第一、第二及第三数据区域;在所述基板上形成第一和第二选通线、第一和第二栅极、以及第一和第二公共线,其中所述第一和第二选通线沿第一方向形成,所述第一和第二栅极连

接至所述第二选通线,并且所述第一和第二公共线分别布置在所述第一和第二公共区域中;在所述第一和第二选通线、第一和第二栅极、以及第一和第二公共线上形成栅绝缘层;在所述栅绝缘层的覆盖所述第一和第二栅极的位置处形成第一和第二半导体层;在所述第一和第二半导体上形成第一、第二及第三数据线、第一和第二源极、以及第一和第二漏极,其中所述第一、第二及第三数据线沿第二方向形成,并与所述第一和第二选通线交叉以限定所述第一和第二像素区域,所述第一源极和第一漏极在所述第一半导体层上方相互间隔开,并且所述第二源极和第二漏极在所述第二半导体层上方相互间隔开;在所述第一、第二及第三数据线、第一和第二源极、以及第一和第二漏极上形成钝化层,该钝化层包括分别暴露所述第一和第二漏极的第一和第二接触孔;以及在所述钝化层上形成第一和第二像素电极,所述第一像素电极通过所述第一接触孔连接至所述第一漏极,所述第二像素电极通过所述第二接触孔连接至所述第二漏极,其中,所述第一和第二公共线分别与所述第一和第二像素电极交叠,并且,所述第一公共线的垂直部分和所述第二公共线的垂直部分与所述第二数据线交叠以覆盖所述第二数据线的除了与所述第一选通线和所述第二选通线交叉的部分以外的部分。

[0043] 另一方面,提供一种用于液晶显示装置的阵列基板,其包括:基板;在所述基板上沿第一方向的选通线;沿第二方向的数据线,其与所述选通线交叉以限定像素区域;位于所述选通线与所述数据线的交叉部分处的薄膜晶体管;在所述像素区域中的像素电极,该像素电极连接至所述薄膜晶体管;以及在相邻选通线之间且与所述像素电极交叠的公共线,所述公共线包括沿所述第一方向的水平部分和沿所述第二方向的第一和第二垂直部分,其中,所述公共线的第一垂直部分和下一像素区域中的公共线的第二垂直部分与所述数据线交叠以覆盖所述数据线的除了分别与相邻选通线交叉的部分以外的部分。

[0044] 应该理解,前面的概括描述和后面的详细描述都是示例性和解释性的,意在提供对本发明的进一步解释。

附图说明

[0045] 包括在此以提供对本发明的进一步说明,并且被并入说明书且构成说明书的一部分的附图,例示了本发明的实施方式并且与书面描述一起用于解释本发明的原理。

[0046] 在附图中:

[0047] 图1是例示根据现有技术的SOC型LCD装置的阵列基板的平面图;

[0048] 图2是沿图1的II-II'线截取的截面图;

[0049] 图3是根据现有技术的SOC型LCD装置的截面图,其对应于沿图1的III-III'线截取的截面;

[0050] 图4是例示根据本发明的示例性实施方式的SOC型LCD装置的阵列基板的平面图;

[0051] 图5A到图5H是与图4中的V-V'线相对应的阵列基板的截面图;以及

[0052] 图6是根据本发明的SOC型LCD装置的截面图,其对应于沿图4中的VI-VI'线截取的截面。

具体实施方式

[0053] 下面将参照附图详细描述本发明的实施方式,其实施例在附图中示出。

[0054] 在本发明中,数据线在相邻选通线之间的一部分与公共线完全交叠。

[0055] 图4是例示根据本发明的示例性实施方式的SOC型LCD装置的阵列基板的平面图。

[0056] 图4中,在基板110上以矩阵形式形成有第一和第二选通线120a、120b、以及第一、第二及第三数据线130a、130b及130c。所述第一、第二及第三数据线130a、130b及130c与所述第一和第二选通线120a、120b交叉,从而限定了第一和第二像素区域P1、P2。扫描信号被施加到所述第一和第二选通线120a、120b,并且数据信号被施加到所述第一、第二及第三数据线130a、130b及130c。

[0057] 第一和第二公共线150、151形成在所述第一和第二选通线120a、120b之间。所述第一和第二公共线150、151中的每一个都具有H状形状。

[0058] 第一公共线150包括水平部分150a,以及第一和第二垂直部分150b、150c。水平部分150a布置在第一和第二选通线120a、120b之间,以及第一和第二数据线130a、130b之间。也就是说,在图示情况下,水平部分150a沿水平方向布置在第一像素区域P1中。在图示情况下,所述第一和第二垂直部分150b、150c沿垂直方向分别从水平部分150a的各端部延伸。所述第一和第二垂直部分150b、150c与所述数据线130a、130b及130c平行,并分别与所述第一和第二数据线130a、130b相邻。

[0059] 第二公共线151也包括水平部分151a以及第一、第二垂直部分151b、151c。该水平部分151a布置在第一和第二选通线120a、120b之间,以及第二和第三数据线130b、130c之间。也就是说,在图示情况下,该水平部分151a沿所述水平方向布置在第二像素区域P2中。在图示情况下,所述第一、第二垂直部分151b、151c沿所述垂直方向分别从水平部分151a的各端部延伸。所述第一和第二垂直部分151b、151c与所述数据线130a、130b及130c平行,并分别与所述第二和第三数据线130b、130c相邻。

[0060] 第一公共线150的水平部分150a和第二公共线151的水平部分151a相对于第一和第二选通线120a、120b倾斜。

[0061] 这里,第一公共线150的第二垂直部分150c和第二公共线151的第一垂直部分151b与在第一选通线120a与第二选通线120b之间的第二数据线130b交叠。该第一公共线150的第二垂直部分150c和第二公共线151的第一垂直部分151b覆盖所述第二数据线130b的除了与第一选通线120a和第二选通线120b交叉的部分以外的部分。

[0062] 虽然描述了第一和第二像素区域P1、P2,但在没有连接相邻像素区域的公共线的公共桥接线的情况下,第一和第二公共线150、151覆盖了第一、第二及第三数据线130a、130b及130c的除了与像素区域的薄膜晶体管相对应的部分以外的部分。来自于公共信号发生单元(未显示)的公共信号被稳定地施加至所述像素区域的公共线。

[0063] 第一薄膜晶体管T1形成在第二选通线120b和第一数据线130a的交叉部分处。第二薄膜晶体管T2形成在第二选通线120b和第二数据线130b的交叉部分处。

[0064] 第一薄膜晶体管T1包括第一栅极125a、第一半导体层(未显示)、第一源极132a以及第一漏极134a。第一栅极125a从第二选通线120b延伸进入第一像素区域P1。第一半导体层(未显示)与第一栅极125a交叠且布置在第一栅极125a上。第一源极132a从第一数据线130a延伸并布置在第一半导体层上。第一漏极134a与第一源极132a间隔开。

[0065] 第二薄膜晶体管 T2 包括第二栅极 125b、第二半导体层(未显示)、第二源极 132b 以及第二漏极 134b。第二栅极 125b 从第二选通线 120b 延伸进入第二像素区域 P2。第二半导体层(未显示)与第二栅极 125b 交叠且布置在第二栅极 125b 上。第二源极 132b 从第二数据线 130b 延伸并布置在第二半导体层上。第二漏极 134b 与第二源极 132b 间隔开。

[0066] 第一半导体层包括本征非晶硅(a-Si:H)的第一有源层 140a 和掺杂非晶硅(n+a-Si:H)的第一欧姆接触层(未显示)。第二半导体层包括本征非晶硅(a-Si:H)的第二有源层 140b 和掺杂非晶硅(n+a-Si:H)的第二欧姆接触层(未显示)。

[0067] 第一、第二及第三本征非晶硅图案 171a、171b 及 171c 和第一、第二及第三掺杂非晶硅图案(未显示)也可形成在第一、第二及第三数据线 130a、130b 及 130c 的下方。该第一、第二及第三本征非晶硅图案 171a、171b 及 171c 与第一和第二有源层 140a、140b 由相同材料形成在同一层上。该第一、第二及第三掺杂非晶硅图案与第一和第二欧姆接触层由相同材料形成在同一层上。

[0068] 第一、第二及第三本征非晶硅图案 171a、171b 及 171c 具有比第一、第二及第三数据线 130a、130b 及 130c 宽的宽度,因而第一、第二及第三本征非晶硅图案 171a、171b 及 171c 的一部分暴露在第一、第二及第三数据线 130a、130b 及 130c 的边缘之外。

[0069] 第一和第二接触孔 CH1、CH2 分别暴露所述第一和第二漏极 134a、134b。

[0070] 第一和第二像素电极 170a、170b 分别形成在第一和第二像素区域 P1、P2 中。第一像素电极 170a 通过第一漏极接触孔 CH1 接触第一漏极 134a。第二像素电极 170b 通过第二漏极接触孔 CH2 接触第二漏极 134b。第一和第二像素电极 170a、170b 由从包括氧化铟锡(ITO)和氧化铟锌(IZO)的透明导电材料组中选择的一种材料形成。该第一和第二像素电极 170a、170b 部分地与所述第一选通线 120a 交叠。

[0071] 第一存储电容器 Cst1 被形成为:其中第一公共线 150 的水平部分 150a 以及第一和第二垂直部分 150b、150c 用作第一存储电容器 Cst1 的第一电极,与该第一电极交叠的第一像素电极 170a 用作第一存储电容器 Cst1 的第二电极,并且插入在第一电极与第二电极之间的绝缘层(未示出)用作介电层。

[0072] 另外,第二存储电容器 Cst2 被形成为:其中第二公共线 151 的水平部分 151a 以及第一和第二垂直部分 151b、151c 用作第二存储电容器 Cst2 的第一电极,与该第一电极交叠的第二像素电极 170b 用作第二存储电容器 Cst2 的第二电极,并且插入在第二存储电容器 Cst2 的第一电极与第二电极之间的绝缘层(未示出)用作介电层。

[0073] 下面将参照附图对根据本发明的 SOC 型 LCD 装置的阵列基板的制造方法进行说明。

[0074] 图 5A 到图 5H 是与图 4 中的 V-V' 线相对应的阵列基板的截面图,并显示了根据本发明的 SOC 型 LCD 装置的阵列基板的制造步骤中的截面。

[0075] 图 5A 显示了第一掩模处理中的阵列基板。在图 5A 中,在基板 110 上限定第一开关区域 S1、第一和第二像素区域 P1、P2、第一和第二公共区域 C1、C2、第一栅区域 G1 以及第二数据区域 D2。通过淀积栅金属层(未显示)并对所述栅金属层进行构图,在包括区域 S1、P1、P2、C1、C2、G1 以及 D2 的基板 110 上形成图 4 中的第一选通线 120a、第二选通线 120b、第一栅极 125a 和第二栅极 125b。同时,在基板 110 上形成第一公共线 150 和第二公共线 151。沿第一方向形成第一选通线 120a 和第二选通线 120b。第一选通线 120a 和第二选通

线 120b 相互间隔开并彼此平行。图 4 中的第一栅极 125a 和第二栅极 125b 从第二选通线 120b 延伸。另外,栅极(未显示)从第一选通线 120a 延伸。第一公共线 150 对应于第一公共区域 C1,而第二公共线 151 对应于第二公共区域 C2。

[0076] 第一公共线 150 包括水平部分 150a、图 4 的第一垂直部分 150b 以及第二垂直部分 150c。水平部分 150a 沿着第一方向形成并且布置在第一选通线 120a 与第二选通线 120b 之间的第一像素区域 P1 内。图 4 的第一垂直部分 150b 和第二垂直部分 150c 沿着第二方向分别从水平部分 150a 的各端部延伸。第二垂直部分 150c 布置在第二数据区域 D2 中。

[0077] 第二公共线 151 包括图 4 的水平部分 151a、图 4 的第一垂直部分 151b 以及第二垂直部分 151c。水平部分 151a 沿着第一方向形成,并且被布置在第一选通线 120a 与第二选通线 120b 之间的第二像素区域 P2 中。图 4 的第一垂直部分 151b 和第二垂直部分 151c 沿着第二方向分别从水平部分 151a 的各端部延伸。第一垂直部分 151b 布置在第二数据区域 D2 中。

[0078] 这里,第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b 完全覆盖第二数据区域 D2 中的除了第一选通线 120a 与稍后形成的第二数据线的交叉区域、以及第二选通线 120b 与所述第二数据线的交叉区域(即第一开关区域 S1 和另一开关区域(未显示))以外的区域。更具体的是,第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b 在第二数据区域 D2 中相互接触。

[0079] 因此,第一和第二公共线 150、151 电连接至与第一和第二像素区域 P1、P2 相邻的像素区域中的其他公共线。来自公共信号发生单元(未显示)的公共信号可被稳定地施加到这些公共线。

[0080] 接着,在包括第一选通线 120a、第二选通线 120b、第一栅极 125a、第二栅极 125b、第一公共线 150 以及第二公共线 151 的基板 110 的基本整个表面上形成栅绝缘层 145。该栅绝缘层 145 可由从包括氧化硅(SiO_2)和氮化硅(SiN_x)的无机绝缘材料组中选择的一种材料形成。

[0081] 图 5B 到 5H 显示了第二掩模步骤中的阵列基板。

[0082] 图 5B 中,在包括栅绝缘层 145 的基板 110 上顺序形成本征非晶硅层 140a 和掺杂非晶硅层 141a。本征非晶硅层 140a 由本征非晶硅(a-Si:H)形成,而掺杂非晶硅层 141a 由含有杂质的掺杂非晶硅(n+a-Si:H)形成。通过淀积金属材料,在包括本征非晶硅层 140a 和掺杂非晶硅层 141a 的基板 110 上形成源极和漏极金属层 175。该金属材料可以从包含铜(Cu)、钼(Mo)、钼合金(MoNd)、铝(Al)以及铝合金(AlNd)的导电金属材料组中选择。

[0083] 也就是说,所述本征非晶硅层 140a、掺杂非晶硅层 141a、源极和漏极金属层 175 通过淀积工艺顺序形成在栅绝缘层 145 上。

[0084] 接着通过将光刻胶施加到包括本征非晶硅层 140a、掺杂非晶硅层 141a、源极和漏极金属层 175 的基板 110 上来形成光刻胶层(photoresist layer) 190,并且,在光刻胶层 190 上设置掩模 HTM。

[0085] 掩模 HTM 包括透光部分 M1、半透光部分 M2 和阻光部分 M3。所述半透光部分 M2 可包括半透明层或用于减小透射光的强度和量的缝隙,从而使得光刻胶层能部分地暴露于光。包括半透明层的掩模 HTM 可称为半色调掩模(halftone mask),而包括缝隙的掩模 HTM 可以称为缝隙掩模(slits mask)。所述阻光部分 M3 完全地屏蔽光。所述透光部分 M1 透射

光,并且光刻胶层完全地暴露于光下从而发生化学变化。

[0086] 半透光部分 M2 和阻光部分 M3 对应于第一开关区域 S1,从而使得半透光部分 M2 位于相邻的阻光部分 M3 之间。该阻光部分 M3 也对应于第二数据区域 D2。透光部分 M1 对应于除了第一开关区域 S1 和第二数据区域 D2 之外的其他区域。同时,按照与图 5B 中的第一开关区域 S1 和第二数据区域 D2 同样的方式,将掩模 HTM 设置在对应于图 4 中第二薄膜晶体管 T2 的第二开关区域(未显示)、对应于第一数据线 130a 的第一数据区域(未显示)、以及对应于第三数据线 130c 的第三数据区域(未显示)之上。下文中,将省略有关第二开关区域和第一、第三数据区域的说明。

[0087] 图 5C 中,通过图 5B 中的掩模 HTM,将图 5B 中的光刻胶层 190 暴露在光中,随之显影,以形成第一、第二、第三及第四光刻胶图案 191、192、193 及 194。第一和第二光刻胶图案 191、192 与图 5B 中的阻光部分 M3 相对应地形成在第一开关区域 S1 中。第三光刻胶图案 193 与图 5B 中的半透光部分 M2 相对应地形成在第一开关区域 S1 中。第四光刻胶图案 194 形成在第二数据区域 D2 中。第一、第二及第四光刻胶图案 191、192 及 194 具有与图 5B 中的光刻胶层 190 的厚度基本相同的第一厚度。第三光刻胶图案 193 具有小于所述第一厚度的第二厚度。所述第二厚度可以是第一厚度的一半。在除了第一开关区域 S1 和第二数据区域 D2 之外的其他区域中,去除图 5B 中的光刻胶层 190 部分,从而暴露出源极和漏极金属层 175。

[0088] 图 5D 中,利用第一、第二、第三及第四光刻胶图案 191、192、193 及 194 作为刻蚀掩模对图 5C 中暴露出的源极和漏极金属层 175 进行构图,从而分别在第一开关区域 S1 和第二数据区域 D2 上形成第一源极和漏极金属图案 174a 和第二数据线 130b。该第二数据线 130b 与所述第一和第二选通线 120a、120b 交叉。

[0089] 这里,在除了第一源极和漏极金属层 175 和第二数据线 130b 以外的区域中,去除图 5C 中的源极和漏极金属层 175,从而暴露出图 5C 中的掺杂非晶硅层 141a。

[0090] 接着,通过干法刻蚀方法对图 5C 中暴露出的掺杂非晶硅层 141a 和本征非晶硅层 140a 进行去除和构图,从而形成第一有源层 140a、第一欧姆接触层 141a、第二本征非晶硅图案 171b 和第二掺杂非晶硅图案 172b。此时,所述第一有源层 140a 和第一欧姆接触层 141a 被布置在第一开关区域 S1 中的第一源极和漏极金属图案 174a 之下,并具有与第一源极和漏极金属图案 174a 相同的尺寸和形状。第二本征非晶硅图案 171b 和第二掺杂非晶硅图案 172b 被布置在第二数据区域 D2 中的第二数据线 130b 之下,并具有与第二数据线 130b 相同的尺寸和形状。

[0091] 第一有源层 140a 和第一欧姆接触层 141a 构成第一半导体层 142a。第二本征非晶硅图案 171b 和第二掺杂非晶硅图案 172b 构成第二半导体图案 173b。这里,在除了第一半导体层 142a 和第二半导体图案 173b 以外的其它区域中,去除图 5C 中的本征非晶硅层 140a 和掺杂非晶硅层 141a。同时,尽管未在图中示出,但在图 4 中的第一数据线 130a 和图 4 中的第三数据线 130c 的下方形成有第一半导体图案和第三半导体图案。

[0092] 在图 5E 中,对图 5D 中的第一、第二、第三及第四光刻胶图案 191、192、193 及 194 执行灰化处理,并且去除图 5D 中的第三光刻胶图案 193 以暴露出在第一、第二光刻胶图案 191、192 之间的第一源极和漏极金属图案 174a。此时,部分地去除第一、第二及第四光刻胶图案 191、192 及 194,以将该第一、第二及第四光刻胶图案 191、192 及 194 的所述第一厚度

减半。

[0093] 同时,也去除第一、第二及第四光刻胶图案 191、192 及 194 的边缘,以暴露出第一源极和漏极金属图案 174a 和第二数据线 130b 的边缘 F。另外,第一光刻胶图案 191 与第二光刻胶图案 192 之间的距离变得大于图 5D 中第三光刻胶图案 193 的宽度。

[0094] 在图 5F 中,通过利用图 5E 中的第一、第二及第四光刻胶图案 191、192 及 194 作为刻蚀掩模对图 5E 中的第一源极和漏极金属图案 174a 进行构图来形成第一源极 132a 和第一漏极 134a。该第一源极 132a 和第一漏极 134a 相互间隔开。图 5E 中的第一源极和漏极金属图案 174a 可以通过湿法刻蚀方法进行构图。然后,通过利用第一源极 132a 和第一漏极 134a 作为刻蚀掩模来去除在第一源极 132a 与第一漏极 134a 之间的第一欧姆接触层 141a,由此形成第一欧姆接触层 141a 的分离的两部分,并且暴露出在第一欧姆接触层 141a 的所述两部分之间的第一有源层 140a。所暴露的第一有源层 140a 用作第一沟道 ch1。也可以部分地去除所暴露的第一有源层 140a。

[0095] 这时,也可去除第一源极和漏极金属图案 174a 和第二数据线 130b 以及它们下面的第一欧姆接触层 141a 和第一掺杂非晶硅图案 172 的边缘 F,并且第一有源层 140a 和第一本征非晶硅图案 171a 的边缘暴露在第一源极 132a、第一漏极 134a 以及第二数据线 130b 之外。第一栅极 125a、第一半导体层 142a、第一源极 132a 以及第一漏极 134a 构成第一薄膜晶体管 T1。

[0096] 接着,通过剥起(strip)处理来去除图 5E 中剩余的第一、第二及第四光刻胶图案 191、192 及 194。

[0097] 图 5G 显示了第三掩模处理中的阵列基板。

[0098] 在图 5G 中,在包括第二数据线 130b 和第一薄膜晶体管 T1 的基板 110 的基本整个表面上形成了钝化膜 155。钝化膜 155 可由从包括氮化硅(SiN_x)和氧化硅(SiO_2)的无机绝缘材料组中或者从包括苯并环丁烯(BCB)、光丙烯的有机绝缘材料组中选择的一种材料形成。

[0099] 对与图 4 中的第一漏极 134a 和第二漏极 134b 相对应的钝化膜 155 进行选择构图,以形成图 4 中的第一漏极接触孔 CH1 和第二漏极接触孔 CH2。第一漏极接触孔 CH1 暴露第一漏极 134a,图 4 中的第二漏极接触孔 CH2 暴露图 4 中的第二漏极 134b。

[0100] 图 5H 显示了第四掩模处理中的阵列基板。

[0101] 在图 5H 中,通过淀积透明导电层(未显示),并随后对该透明导电层进行构图,在具有图 4 中的第一漏极接触孔 CH1 和第二漏极接触孔 CH2 的钝化膜 155 上形成第一像素电极 170a 和第二像素电极 170b。第一像素电极 170a 被布置在第一像素区域 P1 中,并通过第一漏极接触孔 CH1 连接至第一漏极 134a。第二像素电极 170b 被布置在第二像素区域 P2 中,并通过图 4 中的第二漏极接触孔 CH2 连接至图 4 中的第二漏极 134b。所述透明导电层可从包括氧化铟锡(ITO)和氧化铟锌(IZO)的透明导电材料组中选择。

[0102] 现在,参照图 4 和图 5H,形成了第一存储电容器 Cst1 和第二存储电容器 Cst2。第一存储电容器 Cst1 包括:用作第一电极的第一公共线 150 的水平部分 150a 以及第一和第二垂直部分 150b、150c;用作第二电极的与该第一电极交叠的第一像素电极 170a;以及用作介电层的被插在所述第一电极与第二电极之间的栅绝缘层 145 和钝化层 155。

[0103] 另外,第二存储电容器 Cst2 包括:用作第一电极的第二公共线 151 的水平部分

151a 以及第一和第二垂直部分 151b、151c；用作第二电极的与该第一电极交叠的第二像素电极 170b；以及用作介电层的被插在所述第一电极与第二电极之间的栅绝缘层 145 和钝化层 155。

[0104] 这样，可以通过四个掩模处理来制造根据本发明的 SOC 型 LCD 装置的阵列基板。

[0105] 图 6 是根据本发明的 SOC 型 LCD 装置的截面图，其对应于沿图 4 中的 VI-VI' 线截取的截面。

[0106] 在图 6 中，滤色器基板 105 和阵列基板 110 彼此面对，并且以在它们之间具有单元间隙 g 的方式贴合。所述滤色器基板 105 和阵列基板 110 中的每一个都包括显示区 AA 和非显示区 NAA。在滤色器基板 105 和阵列基板 110 之间插入有液晶层 115。该液晶层 115 的厚度对应于单元间隙 g。滤色器基板 105、阵列基板 110 和液晶层 115 构成液晶板 130。背光单元 190 设置在阵列基板 110 的后表面作为光源。

[0107] 虽然在图中未示出，但是在滤色器基板 105 和阵列基板 110 之间沿周边形成有密封图案。该密封图案可以由热固树脂形成。

[0108] 滤色器基板 105 包括透明基板 101、黑底 112、滤色层 116、外涂层 114 以及公共电极 180。黑底 112 形成在透明基板 101 的下表面上，用于屏蔽入射到非显示区 NAA 上的光。滤色层 116 形成在黑底 112 上并且包括顺序构图的红色子滤色器 116a、绿色子滤色器 116b 以及蓝色子滤色器 116c（未示出）。外涂层 114 形成在滤色层 116 上。公共电极 180 形成在外涂层 114 上，并且由透明导电材料形成。

[0109] 阵列基板 110 包括透明基板 102、第一公共线 150 的第二垂直部分 150c、第二公共线 151 的第一垂直部分 151b、栅绝缘层 145、第二数据线 130b、钝化层 155 以及第一和第二像素电极 170a、170b。第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b 形成在透明基板 102 的上表面上，并相互接触以覆盖第二数据区域 D2。栅绝缘层 145 覆盖所述第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b。第二数据线 130b 布置在栅绝缘层 145 上的第二数据区域 D2 中。钝化层 155 覆盖第二数据线 130b。所述第一和第二像素电极 170a、170b 分别形成在第一和第二像素区域 P1、P2 中的钝化层 155 上，而使第二数据线 130b 布置在其间。

[0110] 在根据本发明的 SOC 型 LCD 装置中，由于第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b 被设计成在第二数据线 130b 下相互接触，因而不需要公共桥接线。

[0111] 也就是说，在图 3 所示现有技术中，第一公共线 50 的第二垂直部分 50c 和第二公共线 51 的第一垂直部分 51b 被设置在第二数据线 30b 的两侧并相互间隔开，而使得在第二数据线 30b 与第一公共线 50 的第二垂直部分 50c 之间的交叠区域以及在第二数据线 30b 与第二公共线 51 的第一垂直部分 51b 之间的交叠区域最小化。

[0112] 另一方面，在本发明中，由于第一公共线 150 的第二垂直部分 150c 和第二公共线 151 的第一垂直部分 151b 被形成为在第二数据线 130b 下相互接触，因而可减少第一公共线 150 和第二公共线 151 分别占用第一和第二像素区域 P1、P2 中的面积。

[0113] 因此，可将第一像素电极 170a 和第二像素电极 170b 设计得更靠近所述第二数据线 130b，并且能增加第一和第二像素区域 P1、P2 中的第一像素电极 170a 和第二像素电极 170b 的尺寸。与现有技术相比，即使在考虑贴合边缘的情况下，也可使得黑底 112 的宽度减

小。因此，增大了孔径比。

[0114] 具体来说，当将根据本发明的 SOC 型 LCD 装置应用到小于 10 英寸的小尺寸装置上时，能获得显著的效果。

[0115] 表 1 显示了根据现有技术和本发明的 SOC 型 LCD 装置的孔径比和透光率。在此，所述装置的尺寸是 7 英寸。

[0116] [表 1]

[0117]

	现有技术	本发明
L1	42.5%	60.9%
L2	42.5%	58.9%
L3	6.04%	8.36%

[0118] 在表 1 中，L1 和 L2 显示了当把背光单元发出的光提供给液晶板时孔径比的百分比。L1 是现有技术和本发明中的孔径比的最大偏离值，与现有技术相比，本发明中的孔径比增加了 18.5%。L2 是现有技术和本发明的孔径比的平均值，与现有技术相比，本发明中的孔径比增加了 16.4%。

[0119] 同时，L3 显示了具有液晶显示板、偏光器和光板的 LCD 装置的透光率的平均值的百分比。与现有技术相比，本发明的透光率增加了 2.32%。

[0120] 本发明中，第一公共线和第二公共线在数据线处相互接触，因而使得 SOC 型 LCD 装置的孔径比最大化。

[0121] 虽然描述了第一和第二像素作为本发明的实施方式，但是所述第一和第二像素可以具有相同的结构，并且可以重复地包括一个像素结构。更具体的是，选通线和数据线相互交叉以限定像素区域。薄膜晶体管与所述选通线和数据线相连接。像素电极形成在像素区域中，并连接至所述薄膜晶体管。公共线包括水平部分。

[0122] 本领域的技术人员显然应该知道，在不脱离本发明的精神或范围的情况下，可以对本发明进行各种修改和变型。因此，本发明意在覆盖本发明的这些修改和变型，只要它们落入所附权利要求及其等同物的范围内。

[0123] 本发明请求 2008 年 6 月 12 日在韩国提交的韩国专利申请 No. 10-2008-0055370 的优先权，如在此进行全面阐述那样，为了所有目的，通过引用并入其全部内容。

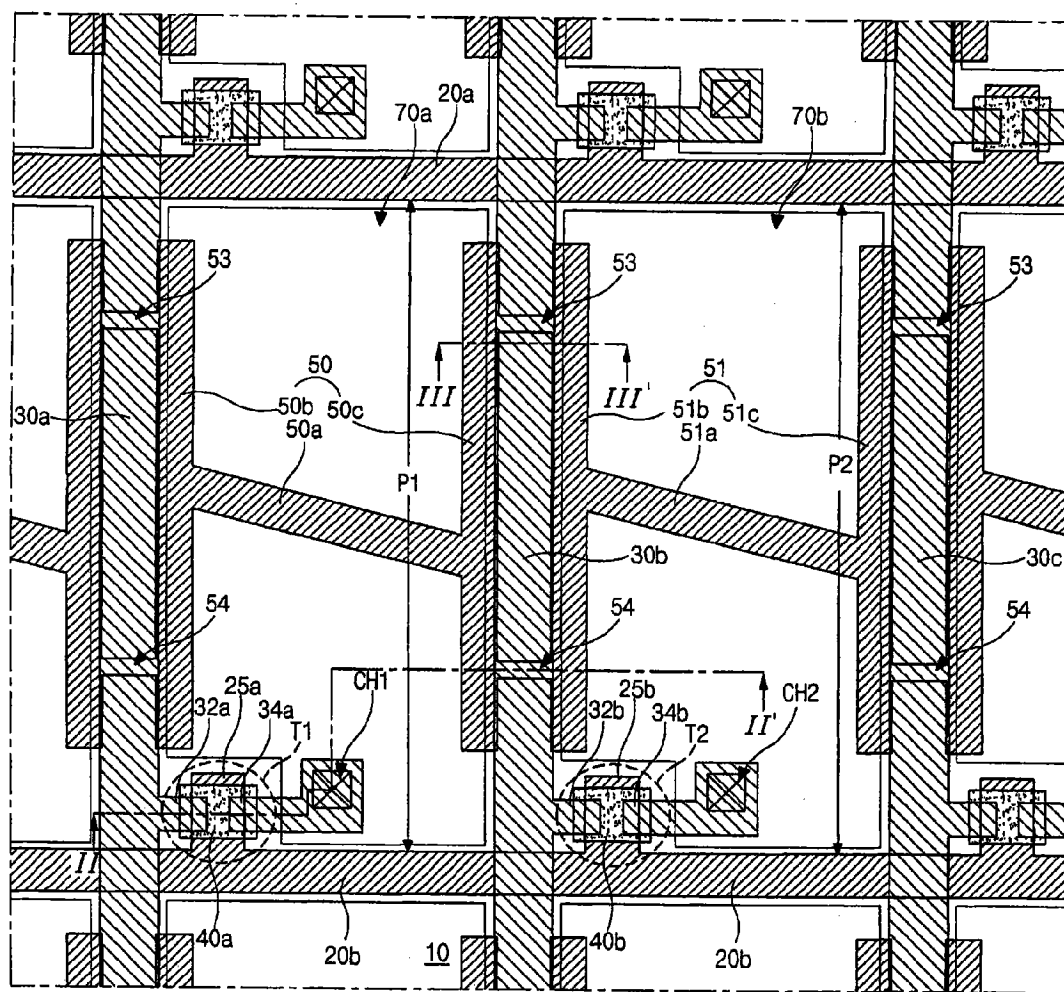
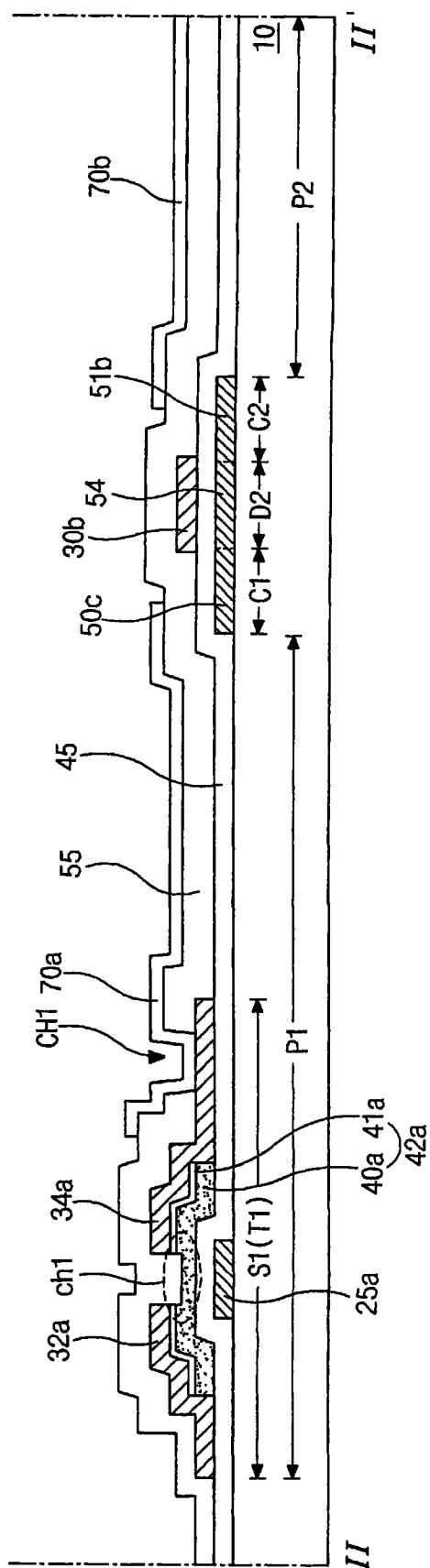


图 1



2
圖

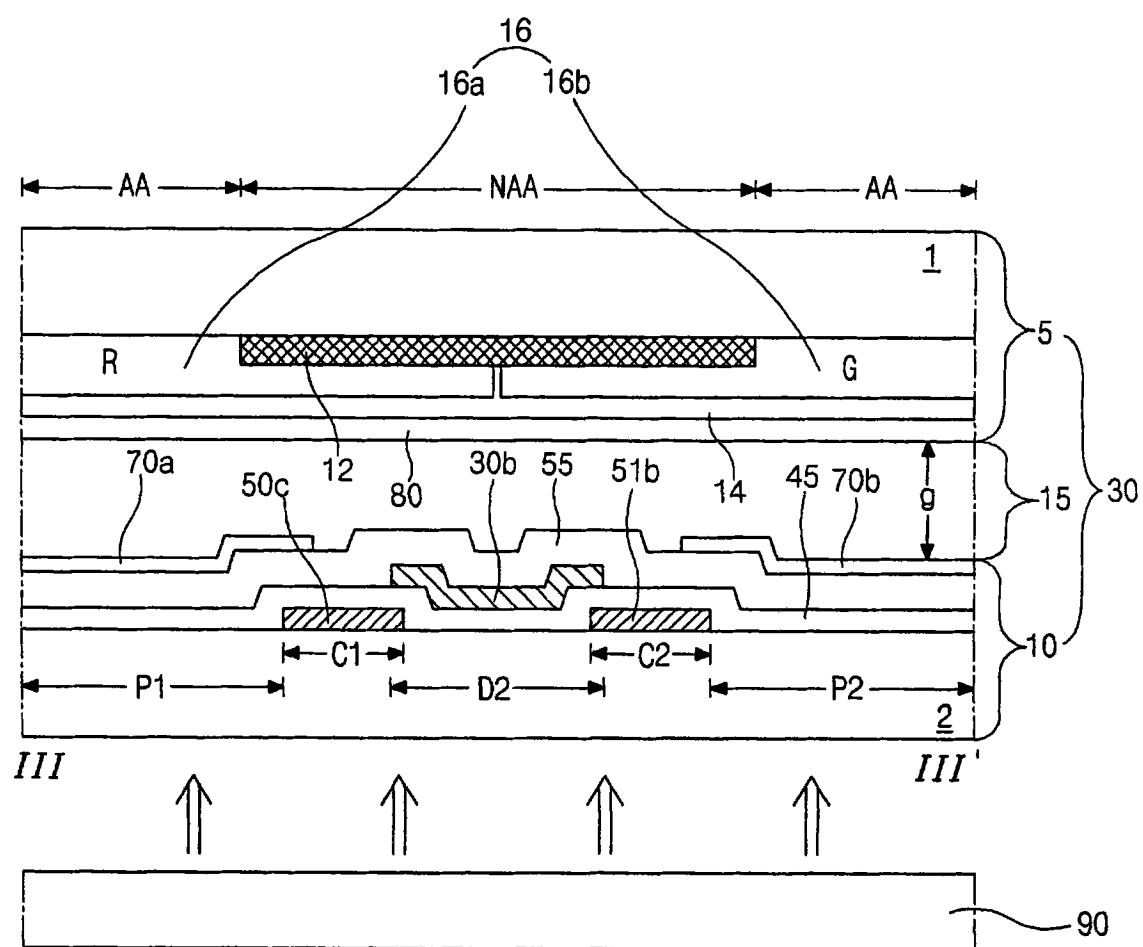


图 3

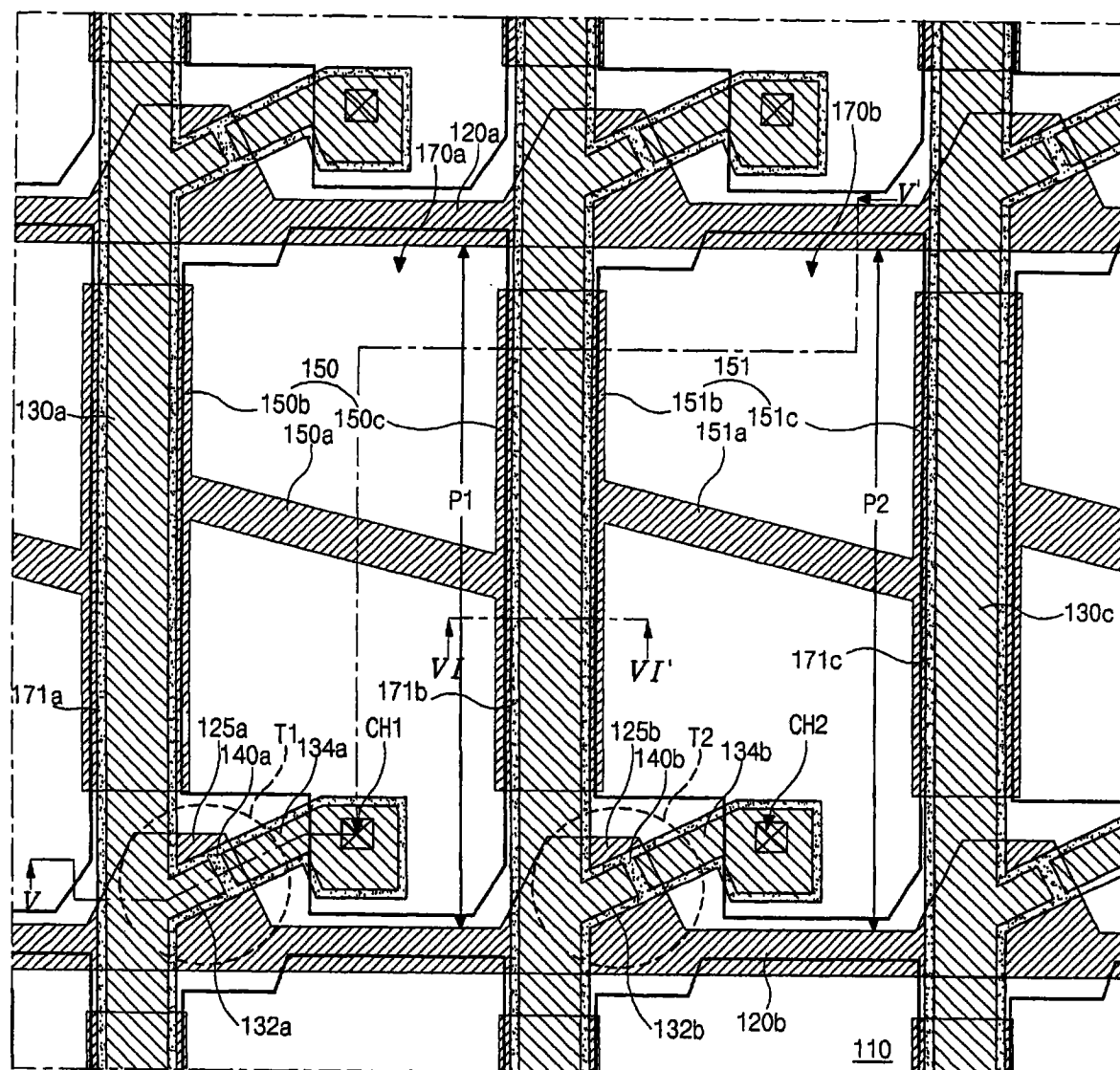


图 4

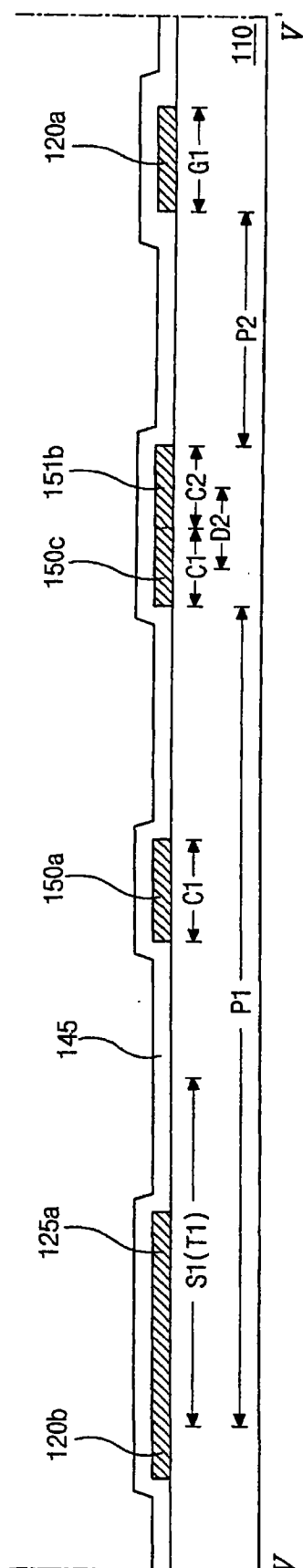


图 5A

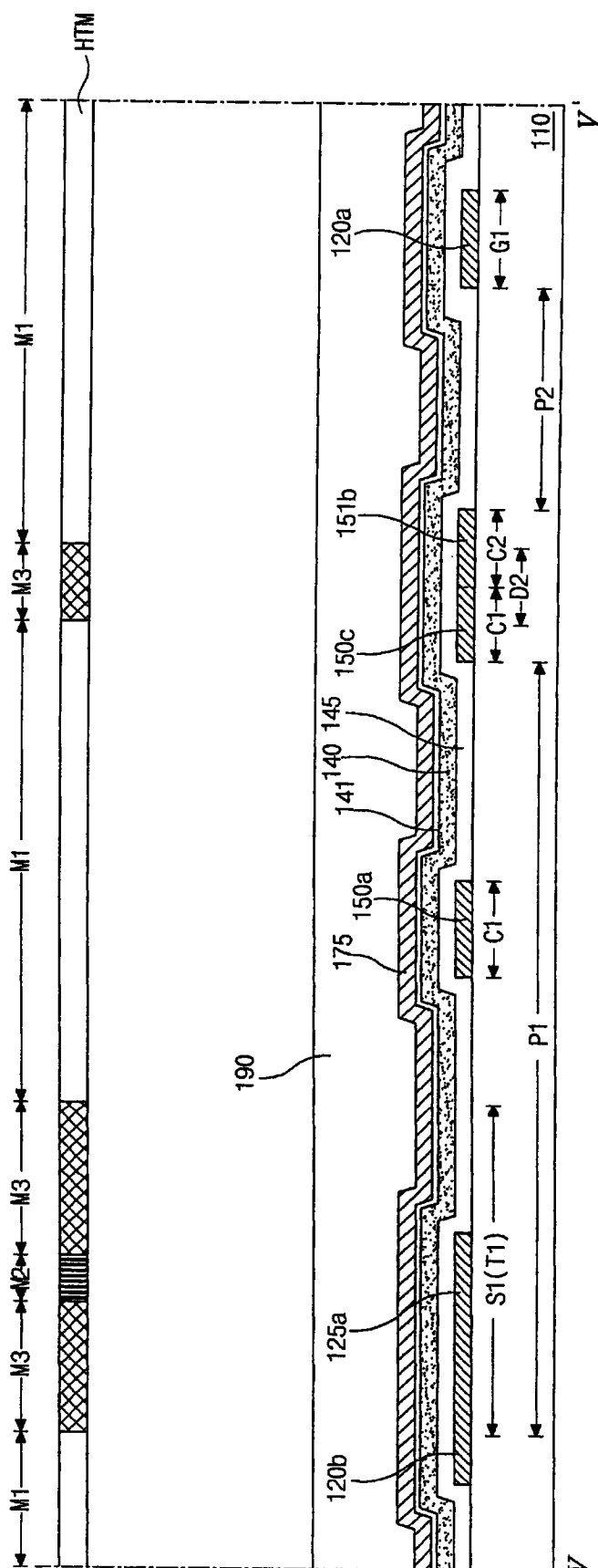


图 5B

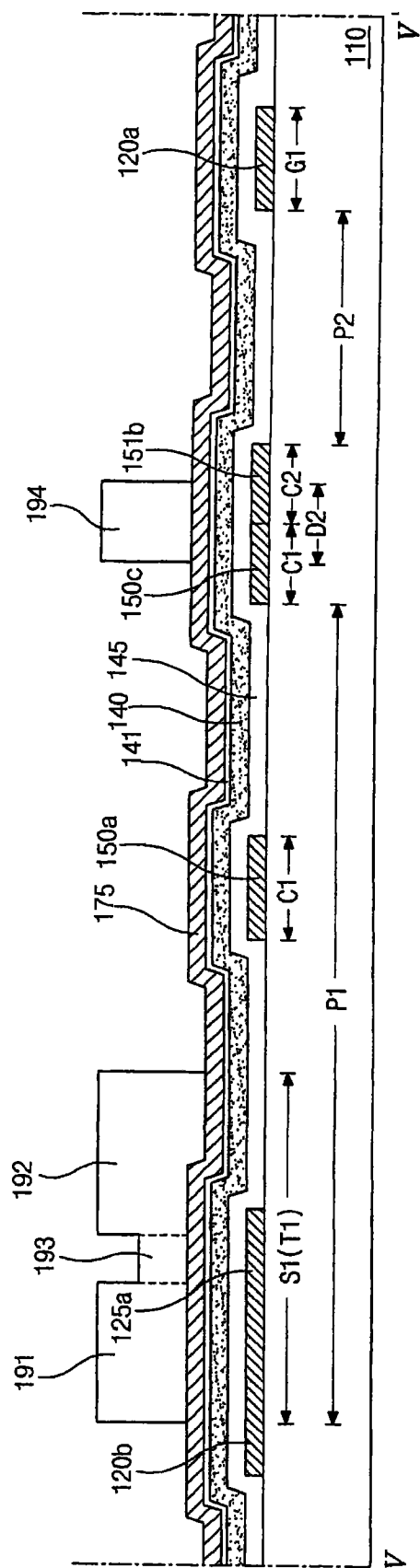


图5C

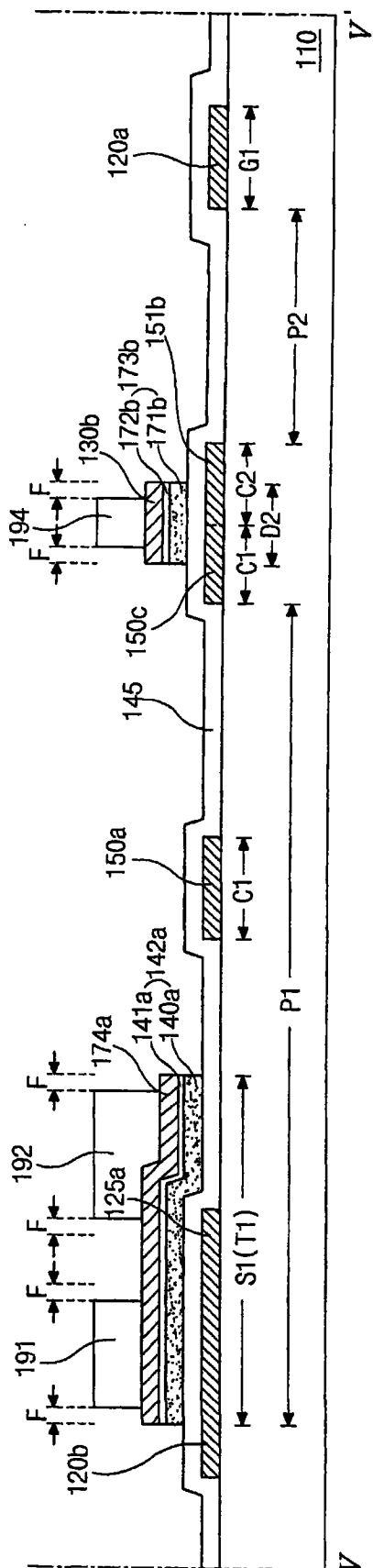


图 5E

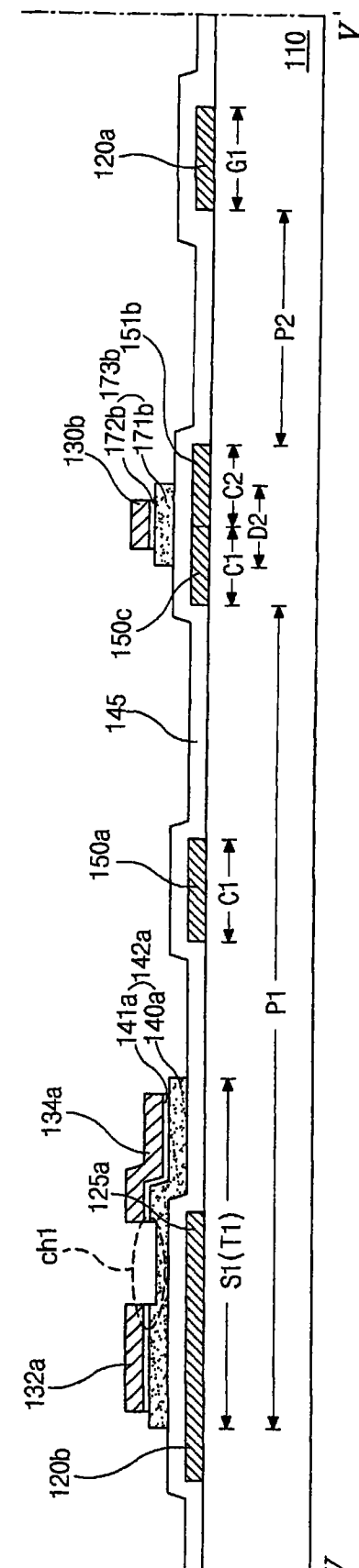


图 5F

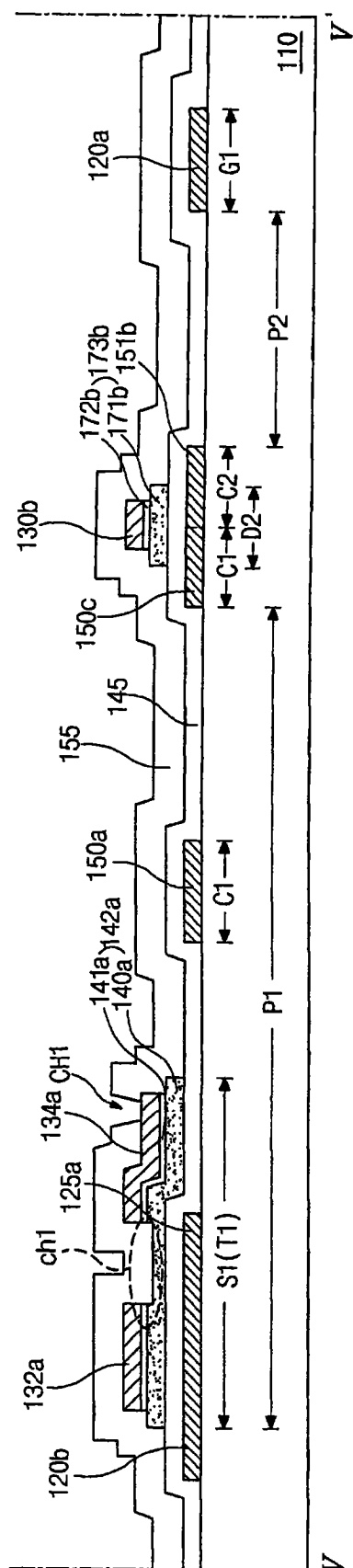


图 5G

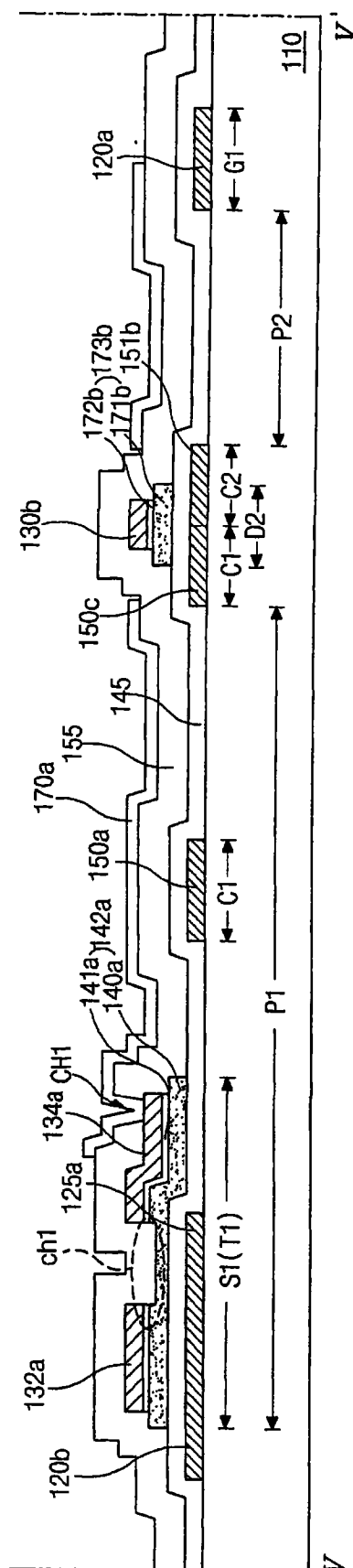


图 5H

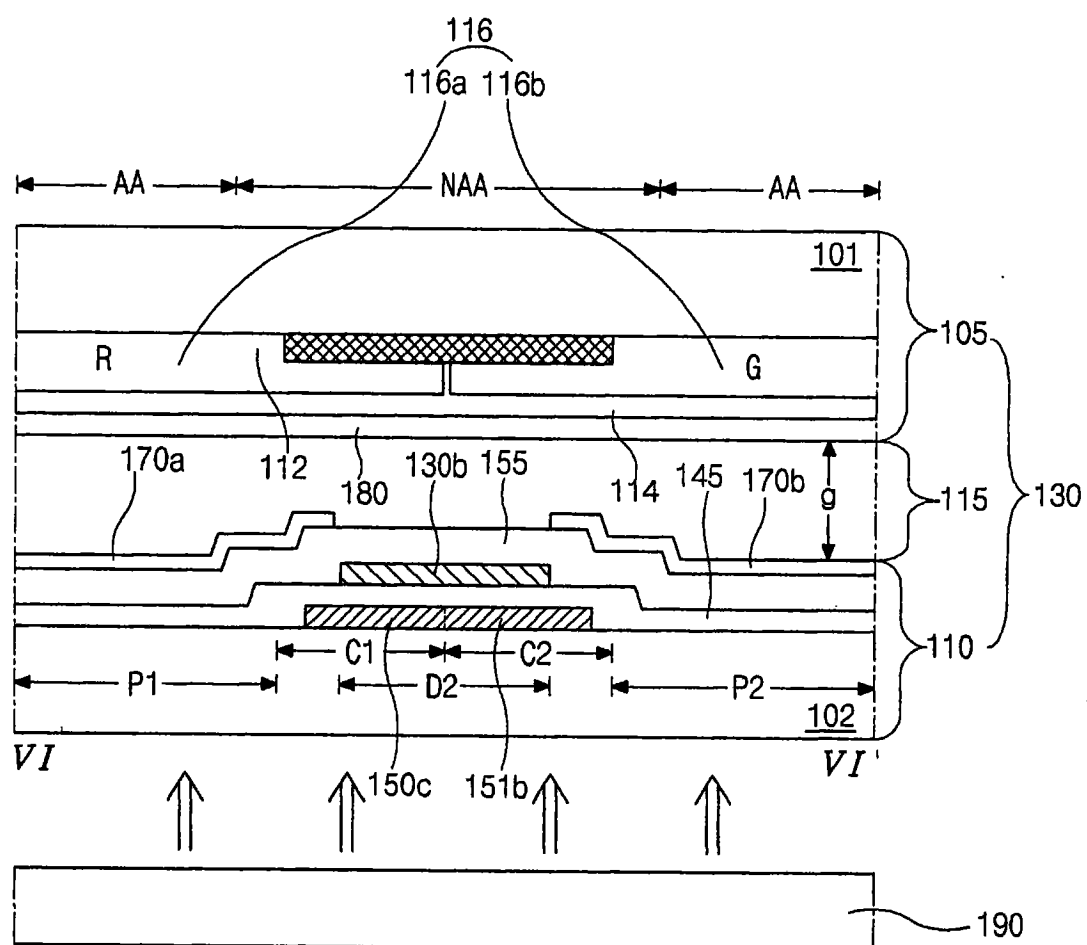


图 6

专利名称(译)	液晶显示装置的阵列基板及其制造方法		
公开(公告)号	CN101604102B	公开(公告)日	2012-10-03
申请号	CN200810186998.3	申请日	2008-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	申东旭 朴景台		
发明人	申东旭 朴景台		
IPC分类号	G02F1/1362 H01L27/12 H01L21/84		
CPC分类号	G02F1/136286		
代理人(译)	李辉		
审查员(译)	孙寒		
优先权	1020080055370 2008-06-12 KR		
其他公开文献	CN101604102A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供液晶显示装置的阵列基板及其制造方法。该液晶显示装置的阵列基板包括：基板；在基板上沿第一方向的第一和第二选通线；沿第二方向的第一、第二及第三数据线，它们与第一和第二选通线交叉以限定第一和第二像素区域；第一和第二薄膜晶体管，它们分别位于第二选通线与第一数据线的交叉部分处，和第二选通线与第二数据线的交叉部分处；分别在第一和第二像素区域中的第一和第二像素电极，第一像素电极连接至第一薄膜晶体管，第二像素电极连接至第二薄膜晶体管；以及在第一和第二选通线之间的第一和第二公共线，第一和第二公共线分别与第一和第二像素电极交叠，并在第二数据线下方向相互连接以覆盖该第二数据线在第一和第二选通线之间的一部分。

