



(12) 发明专利

(10) 授权公告号 CN 101604101 B

(45) 授权公告日 2011. 12. 07

(21) 申请号 200810184616. 3

(22) 申请日 2008. 12. 08

(30) 优先权数据

10-2008-0055903 2008. 06. 13 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 郑英政 李树雄

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 黄纶伟

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

CN 1731904 A, 2006. 02. 08, 全文.

US 2006/0139504 A1, 2006. 06. 29, 全文.

CN 1693961 A, 2005. 11. 09, 全文.

US 2005/0078233 A1, 2005. 04. 14, 全文.

审查员 江鹏飞

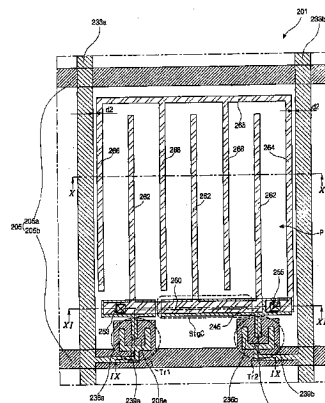
权利要求书 2 页 说明书 10 页 附图 7 页

(54) 发明名称

用于面内切换模式液晶显示器装置的阵列基板

(57) 摘要

本发明涉及用于面内切换模式液晶显示装置的阵列基板,该阵列基板包括:选通线;栅绝缘层;第一和第二数据线;第一薄膜晶体管(TFT),连接到第一数据线;第二TFT,连接到第二数据线;钝化层;第一图案,连接到第一TFT并且沿选通线延伸;彼此分离的多个第一电极,连接到第一图案并且与第一和第二数据线平行;第二图案,以与第一图案平行的方式延伸;第二电极,沿第一数据线延伸并且与第一数据线分离第一距离;第三电极,连接到第二图案并且沿第二数据线延伸,该第三电极连接到第二TFT并且与第二数据线分离第二距离;以及多个第四电极,连接到第二图案并且与多个第一电极交替排列,其中多个第一电极和多个第四电极置于第二与第三电极之间。



1. 一种用于面内切换模式液晶显示装置的阵列基板,所述阵列基板包括:
选通线,该选通线位于基板上;
栅绝缘层,该栅绝缘层位于所述选通线上;
第一数据线和第二数据线,该第一数据线和第二数据线位于所述栅绝缘层上并且与所述选通线交叉以限定像素区;
第一薄膜晶体管,该第一薄膜晶体管位于所述像素区中并且连接到所述选通线和所述第一数据线;
第二薄膜晶体管,该第二薄膜晶体管位于所述像素区中并且连接到所述选通线和所述第二数据线;
钝化层,该钝化层位于所述第一数据线和所述第二数据线以及所述第一薄膜晶体管和所述第二薄膜晶体管上;
第一图案,该第一图案连接到所述第一薄膜晶体管并且沿所述选通线延伸;
多个第一电极,该多个第一电极连接到所述第一图案并且彼此分离,所述多个第一电极与所述第一数据线和所述第二数据线平行;
第二图案,该第二图案以与所述第一图案平行的方式延伸;
第二电极,该第二电极沿所述第一数据线延伸并且与所述第一数据线分离第一距离;
第三电极,该第三电极连接到所述第二图案并且沿所述第二数据线延伸,所述第三电极连接到所述第二薄膜晶体管并且与所述第二数据线分离第二距离;以及
多个第四电极,该多个第四电极连接到所述第二图案并且与所述多个第一电极交替地排列,
其中,所述多个第一电极和所述多个第四电极设置于所述第二电极和所述第三电极之间,
其中,向所述第一数据线施加大于基准电压的第一信号电压,而向所述第二数据线施加小于所述基准电压的第二信号电压,并且
其中,所述第二电极连接到所述第一图案。
2. 根据权利要求 1 所述的阵列基板,其中所述第一薄膜晶体管和所述第二薄膜晶体管各包括位于所述基板上的栅极、位于所述栅绝缘层上的半导体层以及位于所述半导体层上的漏极和源极。
3. 根据权利要求 2 所述的阵列基板,其中所述第一薄膜晶体管和所述第二薄膜晶体管的所述栅极连接到所述选通线,并且其中所述第一薄膜晶体管的所述源极连接到所述第一数据线,而所述第二薄膜晶体管的所述源极连接到所述第二数据线。
4. 根据权利要求 2 所述的阵列基板,其中所述第二薄膜晶体管的漏极延伸以与所述第一图案重叠,而绝缘材料的所述钝化层设置在所述漏极和所述第一图案之间。
5. 根据权利要求 2 所述的阵列基板,其中所述钝化层包括将所述第一薄膜晶体管的所述漏极露出的第一接触孔,以及将所述第二薄膜晶体管的所述漏极露出的第二接触孔,其中所述第一图案和所述第三电极分别通过所述第一接触孔和所述第二接触孔与所述第一薄膜晶体管的漏极以及所述第二薄膜晶体管的漏极接触。
6. 根据权利要求 1 所述的阵列基板,其中所述第一图案和第二图案、所述多个第一电极、所述第二电极、所述第三电极和所述多个第四电极由彼此相同的材料形成并且都形成

在所述钝化层上。

7. 根据权利要求 1 所述的阵列基板,其中所述第一距离和第二距离各小于大约 5 微米。

8. 根据权利要求 1 所述的阵列基板,其中所述第二电极的一端与所述第二图案重叠。

9. 根据权利要求 1 所述的阵列基板,其中所述多个第一电极和所述多个第四电极设置于所述第一图案和所述第二图案之间。

用于面内切换模式液晶显示器装置的阵列基板

技术领域

[0001] 本发明涉及用于面内切换 (IPS) 模式液晶显示 (LCD) 装置的阵列基板, 尤其涉及用于具有提高的孔径比的 IPS 模式 LCD 装置的阵列基板。

背景技术

[0002] 本申请要求 2008 年 6 月 13 日提交的韩国专利申请 No. 2008-0055903 的优先权, 在此以引证的方式并入。

[0003] 现有技术液晶显示 (LCD) 装置使用液晶分子的光学各向异性和极化性质。由于液晶分子具有细长形状, 所以液晶分子具有确定的取向方向。通过施加横跨液晶分子的电场能够控制液晶分子的取向方向。换句话说, 随着电场的强度或方向改变, 液晶分子的取向也改变。由于入射光根据由液晶分子的光学各向异性产生的液晶分子的取向 (orientation) 发生折射, 因此通过控制透光率能够显示图像。

[0004] 由于包括薄膜晶体管 (TFT) 作为开关元件的 LCD 装置 (称为有源矩阵 LCD (AM-LCD) 装置) 在高分辨率以及显示运动图像方面具有卓越特征, 因此已经广泛使用 AM-LCD 装置。

[0005] AM-LCD 装置包括阵列基板、滤色基板和夹在它们之间的液晶层。阵列基板可包括像素电极和 TFT, 滤色基板可包括滤色层和公共电极。AM-LCD 装置由像素电极与公共电极之间的电场驱动, 从而在透射比和孔径比方面具有优异的性质。然而, 由于 AM-LCD 装置使用垂直电场, 因此 AM-LCD 装置具有不良视角。

[0006] 面内切换 (IPS) 模式 LCD 装置可用来解决上述限制。图 1 是相关技术 IPS 模式 LCD 装置的截面图。如图 1 所示, 相关技术 IPS 模式 LCD 装置包括彼此分离并面对的阵列基板和滤色基板。阵列基板包括第一基板 10、公共电极 17 和像素电极 30。虽然未示出, 但是阵列基板可包括 TFT、选通线、数据线等。滤色基板包括第二基板 9、滤色层 (未示出) 等。在第一基板 10 与第二基板 9 之间夹有液晶层 11。由于公共电极 17 和像素电极 30 形成在第一基板 10 的相同水平面上, 因此在公共电极 17 与像素电极 30 之间产生水平电场“L”。

[0007] 图 2A 和 2B 是表示相关技术 IPS 模式 LCD 装置的开 / 关情况截面图。如图 2A 所示, 当向 IPS 模式 LCD 装置施加电压时, 公共电极 17 与像素电极 30 上方的液晶分子 11a 不发生改变。但是, 公共电极 17 与像素电极 30 之间的液晶分子 11b 由于水平电场“L”的作用水平地排列。由于液晶分子 11 通过水平电场“L”排列, 因此 IPS 模式 LCD 装置的特点是视角广。例如, IPS 模式 LCD 装置具有大约 80 度到大约 85 度的视角, 并且没有图像反转或颜色反转。

[0008] 图 2B 表示当不向 IPS 模式 LCD 装置施加电压时的情形。因为在公共电极 17 与像素电极 30 之间没有产生电场, 所以液晶分子 11 的排列不会改变。

[0009] 图 3 是用于相关技术 IPS 模式 LCD 装置的阵列基板的一部分的平面图。在图 3 中, 阵列基板 40 包括选通线 43、公共线 47、数据线 60、多个公共电极 49a 和 49b、多个像素电极 70 和薄膜晶体管 (TFT) Tr。选通线 43 沿第一方向延伸, 公共线 47 与选通线 43 平行。数据

线 60 沿与第一方向不同的第二方向延伸, 以与选通线 43 和公共线 47 交叉。特定地, 选通线 43 和数据线 60 的交叉限定像素区 P。

[0010] 在选通线 43 与数据线 60 的交叉部分设置有 TFT Tr。TFT Tr 包括栅极 45、半导体层 50、源极 53 和漏极 55。源极 53 从数据线 60 延伸出来, 而栅极 45 从选通线 43 延伸出来。像素电极 70 通过漏极接触孔 67 连接到漏极 55 并且设置于像素区 P 中。公共电极 49a 和 49b 与像素电极 70 交替排列, 并且从公共线 47 延伸出来。

[0011] 公共电极包括第一公共电极 49a 和第二公共电极 49b。第二公共电极 49b 设置于第一公共电极 49a 之间, 而每个第一公共电极 49a 设置为与数据线 60 相邻。在此情况下, 第一公共电极 49a 与数据线 60 分开预定距离。通过横跨像素区 P 的公共线 47 向公共电极 49a 和 49b 施加公共电压, 并且需要对由充入恒定电压导致的公共电压之间的不同进行附加补偿或调整 (tuning)。因此, 制造成本增加并且制造工艺复杂。

[0012] 此外, 由于第一公共电极 49a 与数据线 60 分离以防止第一公共电极 49a 与数据线 60 之间的信号干扰, 因此 IPS 模式 LCD 装置的孔径比降低。

发明内容

[0013] 因此, 本发明致力于能够基本上避免由于相关技术的限制和缺点引起的一个或更多问题的 IPS 模式 LCD 装置的阵列基板。

[0014] 本发明的附加特征和优点将在下面的说明中加以阐述, 并且通过说明将部分地变得清楚, 或者可以通过对本发明的实施而获知。通过在文字说明及其权利要求以及附图中具体指出的结构可以认识并实现本发明的目标和其他优点。

[0015] 为了实现这些目的和其他优点, 并且根据本文中所具体体现和广泛描述的发明宗旨, 提供了一种用于面内切换模式液晶显示装置的阵列基板, 该阵列基板包括: 选通线, 该选通线位于基板; 栅绝缘层, 该栅绝缘层位于选通线上; 第一和第二数据线, 该第一和第二数据线位于栅绝缘层上并且与选通线交叉以限定像素区; 第一薄膜晶体管 (TFT), 该第一薄膜晶体管位于像素区中并且连接到选通线和第一数据线; 第二 TFT, 该第二 TFT 位于像素区中并且连接到选通线和第二数据线; 钝化层, 该钝化层位于第一和第二数据线以及第一和第二 TFT 上; 第一图案, 该第一图案连接到第一 TFT 并且沿选通线延伸; 连接到第一图案并且彼此分离的多个第一电极, 该多个第一电极与第一和第二数据线平行; 第二图案, 该第二图案以与第一图案平行的方式延伸; 第二电极, 该第二电极沿第一数据线延伸并且与第一数据线分离第一距离; 第三电极, 该第三电极连接到第二图案并且沿第二数据线延伸, 所述第三电极连接到第二 TFT 并且与第二数据线分离第二距离; 多个第四电极, 该多个第四电极连接到第二图案并且与多个第一电极交替排列, 其中多个第一电极和多个第四电极置于第二与第三电极之间。

[0016] 应当理解前述一般描述和以下详细描述是示例性的和解释性的, 并且旨在对所要求保护的本发明提供进一步说明。

附图说明

[0017] 附图被包括进来以提供对本发明的进一步理解, 并且被并入并构成本申请的一部分, 附图例示了本发明的实施方式, 并与说明书一起用于解释本发明的原理。

- [0018] 图 1 是相关技术 IPS 模式 LCD 装置的截面图；
- [0019] 图 2A 和 2B 是表示相关技术 IPS 模式 LCD 装置的开 / 关情况的截面图；
- [0020] 图 3 是用于相关技术 IPS 模式 LCD 装置的阵列基板的一部分的平面图；
- [0021] 图 4 是示出根据本发明第一实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图；
- [0022] 图 5 是沿图 4 中的线 V-V 提取的截面图；
- [0023] 图 6 是沿图 4 中的线 VI-VI 提取的截面图；
- [0024] 图 7 是沿图 4 中的线 VII-VII 提取的截面图；
- [0025] 图 8 是示出根据本发明第二实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图；
- [0026] 图 9 是沿图 8 中的线 IX-IX 提取的截面图；
- [0027] 图 10 是沿图 8 中的线 X-X 提取的截面图；
- [0028] 图 11 是沿图 8 中的线 XI-XI 提取的截面图；以及
- [0029] 图 12 是示出根据本发明第三实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图。

具体实施方式

[0030] 下面将详细说明本发明的实施方式,其多个实施例被例示在附图中。

[0031] 图 4 是示出根据本发明第一实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图。在图 4 中,阵列基板包括在基板 101 上的第一选通线 105a 和第二选通线 105b,以及第一和第二数据线 133a 和 133b。第一和第二数据线 133a 和 133b 的每个与第一和第二选通线 105a 和 105b 交叉以限定像素区 P。

[0032] 在各像素区 P 中形成有第一和第二 TFT Tr1 和 Tr2。第一 TFT Tr1 设置于第二选通线 105a 与第一数据线 133a 的交叉部分,而第二 TFT Tr2 设置于第二选通线 105b 与第二数据线 133b 的交叉部分。第一 TFT Tr1 连接到第二选通线 105b 和第一数据线 133a,而第二 TFT Tr2 连接到第二选通线 105b 和第二数据线 133b。虽然未示出,但是在图 4 中的像素区 P 上方的像素区 (upper pixel region) 中也存在两个 TFT。上方的像素区中的两个 TFT 的其中一个连接到第一选通线 105a 和第一数据线 133a,而上方的像素区中的两个 TFT 的另一个连接到第一选通线 105a 和第二数据线 133b。在下文中,第一和第二选通线 105a 和 105b 称为选通线 105。

[0033] 第一 TFT Tr1 包括:第一栅极 108a;栅绝缘层(未示出);第一半导体层(未示出),包括本征非晶硅的第一有源层(未示出)和掺杂非晶硅的第一欧姆接触层(未示出);第一源极 136a 和第一漏极 139a。第一半导体层和栅绝缘层层叠在第一栅极 108a 上,而第一源极 136a 和第一漏极 139a 形成在第一半导体层上。第一源极 136a 与第一漏极 139a 分离。第二 TFT Tr2 包括第二栅极 108b;栅绝缘层(未示出);第二半导体层(未示出),包括本征非晶硅的第二有源层(未示出)和掺杂非晶硅的第二欧姆接触层(未示出);第二源极 136b 和第二漏极 139b。第二半导体层和栅绝缘层层叠在第二栅极 108b,第二源极 136b 和第二漏极 139b 形成在第二半导体层上。第二源极 136b 与第二漏极 139b 分离。

[0034] 第一栅极 108a 和第二栅极 108b 连接到选通线 105,而第一源极 136a 和第二源极

136b 分别连接到第一和第二数据线 133a 和 133b。

[0035] 在像素区 P 中,第一电极 141 沿第一数据线 133a 形成,以与第一数据线 133a 相邻。第一电极 141 的一个端部连接到第一 TFT Tr1 的第一漏极 139a,而第一电极 141 的另一个端部弯曲。第一电极 141 的弯曲部分被限定为第一弯曲部分 143。在像素区 P 中,第二电极 147 沿第二数据线 133b 形成,以与第二数据线 133b 相邻。第二电极 147 的一个端部连接到第二 TFT Tr2 的第二漏极 139b,而第二电极 147 的另一个端部弯曲,以面对第一电极 141 的另一个端部。第二电极 147 的所述一个端部进一步沿选通线 105 延伸。延伸部分被限定为第二弯曲部分 145。

[0036] 此外,第一和第二图案 160 和 165 形成为与选通线 105 平行并且与选通线 105 分离。第一图案 160 位于选通线 105 与第二图案 165 之间。第一图案 160 通过第一接触孔 153 连接到第一电极 141,而第二图案 165 通过第二接触孔 155 连接到第二电极 147。第一接触孔 153 与第一电极 141 的一个端部对应,而第二接触孔 155 与第二电极 147 的另一个端部对应。由于第一电极 141 从第一漏极 139a 延伸出来,因此第一接触孔 153 可与第一漏极 139a 的一部分对应。

[0037] 而且,在像素区 P 中,多个第三电极 162 从第一图案 160 延伸出来并且彼此分离。多个第四电极 168 从第二图案 165 延伸出来并且彼此分离。第三电极 162 和第四电极 168 彼此交替排列并且设置于第一和第二图案 160 和 165 与第一和第二电极 141 和 147 之间。

[0038] 第一图案 160 与第二电极 147 的第二弯曲部分 145 重叠,从而第一图案 160 的重叠部分、第二电极 147 的第二弯曲部分 145 以及它们之间的绝缘材料层(未示出)构成第一存储电容 StgC1。第二图案 165 与第一电极 141 的第一弯曲部分 143 重叠,从而第二图案 165 的重叠部分、第一电极 141 的第一弯曲部分 143 以及它们之间的绝缘材料层(未示出)构成第二存储电容 StgC2。

[0039] 在根据本发明的阵列基板中,以脉冲轮廓(pulse profile)方式向第一数据线 133a 施加大于基准电压的高信号电压,并且以脉冲轮廓方式向第二数据线 133b 施加小于基准电压的低信号电压。由于第三电极 162 通过第一图案 160、第一接触孔 153、第一电极 141 和第一 TFT Tr1 电连接到第一数据线 133a,而第四电极 168 通过第二图案 165、第二接触孔 155、第二电极 147 和第二 TFT Tr2 电连接到第二数据线 133b,因此由于脉冲方案(pulse pattern)中高信号电压和低信号电压的作用,在第三电极 162 和第四电极 168 中存在电压差。结果,在第三电极 162 与第四电极 168 之间感应水平电场。即使第一和第二 TFT Tft1 和 Tft2 具有截止状态,由于第一和第二存储电容 StgC1 和 StgC2,也能够保持第三电极 162 和第四电极 168 之间的电压差。

[0040] 与图 3 中的相关技术阵列基板比较,不存在与数据线相邻的公共电极。因此,不需要对由充入恒定电压导致的公共电压之间的不同进行附加补偿或调整。结果,能够降低制造成本并且能够简化制造工艺。此外,由于高信号电压和低信号电压具有脉冲图案,因此能够防止例如闪烁现象的问题,从而 IPS 模式 LCD 装置具有提高的图像质量。

[0041] 参考图 5 到 7,说明图 4 中的根据本发明第一实施方式的阵列基板的截面结构。图 5 是沿图 4 中的线 V-V 提取的截面图,图 6 是沿图 4 中的线 VI-VI 提取的截面图,图 7 是沿图 4 中的线 VII-VII 提取的截面图。在像素区中限定了形成有第一和第二 TFT 的开关区 TrA 以及形成有第一存储电容的存储区 StgA。

[0042] 在图 5 到 7 中,在基板 101 上形成第一金属材料的选通线 105(图 4 中)。在基板 101 上开关区 TrA 中形成连接到选通线的第一和第二栅极 108a 和 108b。第一和第二栅极 108a 和 108b 由与选通线相同的材料形成。

[0043] 在选通线以及第一和第二栅极 108a 和 108b 上形成无机绝缘材料的栅绝缘层 113。在栅绝缘层 113 上形成第二金属材料的第一和第二数据线 133a 和 133b。第一和第二数据线 133a 和 133b 与选通线交叉,以限定像素区 P。在开关区 TrA 中,在栅绝缘层 113 上形成包括第一有源层 120a 和第一欧姆接触层 123a 的第一半导体层 126a 以及包括第二有源层 120b 和第二欧姆接触层 123b 的第二半导体层 126b。第一半导体层 126a 和第二半导体层 126b 分别与第一栅极 108a 和第二栅极 108b 对应。在第一半导体层 126a 上形成彼此分离的第一源极 136a 和第一漏极 139a,而在第二半导体层 126b 上形成彼此分离的第二源极 136b 和第二漏极 139b。第一源极 136a 连接到第一数据线 133a,而第二源极 136b 连接到第二数据线 133b。第一源极 136a、第一漏极 139a、第二源极 136b 和第二漏极 139b 中的每个可由与第一和第二数据线 133a 和 133b 相同的材料形成。第一栅极 108a、栅绝缘层 113、第一半导体层 126a、第一源极 136a 和第一漏极 139a 构成第一 TFT Tr1。第二栅极 108b、栅绝缘层 113、第二半导体层 126b、第二源极 136b 和第二漏极 139b 构成第二 TFT Tr2。

[0044] 此外,在栅绝缘层 113 上形成与第一数据线 133a 平行且相邻的第一电极 141。第一电极 141 连接到第一漏极 139a 并且由与第一漏极 139a 相同的材料形成。再次参考图 4,第一电极 141 的一端连接到第一漏极 139a,而第一弯曲部分 143(图 4 中)从第一电极 141 的另一端延伸入形成第二存储电容 StgC2 的区域。第一电极 141 的第一弯曲部分被限定为第二存储电容 StgC2(图 4 中)的第一电容电极。

[0045] 参考图 5 到 7,在栅绝缘层 113 上形成与第二数据线 133b 平行且相邻的第二电极 147。第二电极 147 连接到第二漏极 139b,并且由与第二漏极 139b 相同的材料形成。第二电极 147 的一端连接到第二漏极 139b,而第二弯曲部分 145 从第二电极 147 的一端延伸入存储区 StgA。第二电极 147 的第二弯曲部分 145 被限定为第一存储电容 StgC1 的第一电容电极。

[0046] 在第一和第二数据线 133a 和 133b、第一电极 141 和第二电极 147 每个的下方,形成具有第一半导体图案 124 和第二半导体图案 121 的双层结构的半导体图案 127。第一半导体图案 124 和第二半导体图案 121 分别由与欧姆接触层 123a 和 123b、以及有源层 120a 和 120b 相同的材料形成。在第一和第二数据线 133a 和 133b、第一电极 141 和第二电极 147 每个的下方是否设置半导体图案 127 取决于阵列基板的制造方法。按照另一种制造工艺可省略半导体图案。

[0047] 在第一和第二数据线 133a 和 133b、第一和第二 TFT Tr1 和 Tr2 以及第一和第二电极 141 和 147 上形成钝化层 150。钝化层 150 具有分别露出部分第一漏极 139a 和部分第二电极 147 的第一接触孔 153 和第二接触孔 155。钝化层 150 可由无机绝缘材料和有机绝缘材料其中之一形成。

[0048] 在钝化层 150 上形成第三金属材料的第一图案 160。第一图案 160 通过第一接触孔 153 与第一漏极 139a 接触,并且第一图案 160 与第二电极 147 的第二弯曲部分 145 重叠。第一图案 160 的重叠部分被限定为第一存储电容 StgC1 的第二电容电极。第二电极 147 的第二弯曲部分 145 作为第一电容电极,第一图案 160 的重叠部分作为第二电容电极,以及钝

化层 150 作为介电材料层一起构成第一存储电容 StgC1。此外,多个第三电极 162 从第一图案 160 延伸出来并且彼此分离。在钝化层 150 上形成第二图案 165。第二图案 165 通过第二接触孔 155 与第二电极 147 接触,并且第二图案 165 与第一电极 141 的第一弯曲部分 143(图 4 中)重叠。第二图案 165 与第一图案 160 分离并且平行。第二图案 165 的重叠部分被限定为第二存储电容 StgC2(图 4 中)的第二电容电极。第一电极 141 的第一弯曲部分 143(图 4 中)作为第一电容电极,第二图案 165 的重叠部分作为第二电容电极,以及钝化层 150 作为介电材料层一起构成第二存储电容 StgC2(图 4 中)。此外,多个第四电极 168 从第二图案 165 延伸出来并且彼此分离。第三电极 162 和第四电极 168 彼此交替地排列。第二图案 165、第三电极 162 和第四电极 168 可由与第一图案 160 相同的材料形成。

[0049] 在根据本发明第一实施方式的上述阵列基板中,在与第一数据线 133a 相同的层并且由与第一数据线 133a 相同的材料形成第一电极 141。此外,第一电极 141 设置为与第一数据线 133a 相邻。而且,在与第二数据线 133b 相同的层并且由与第二数据线 133b 相同的材料形成第二电极 147。第二电极 147 设置为与第二数据线 133b 相邻。为了避免第一数据线 133a 与第一电极 141 之间以及第二数据线 133b 与第二电极 147 之间的短路问题(shortage problem),第一和第二电极 141 和 147 分别与第一和第二数据线 133a 和 133b 分开第一距离 d1。虽然图 4 中的阵列基板与现有技术阵列基板相比具有提高的孔径比,但是孔径比的限制仍然存在。

[0050] 图 8 是示出根据本发明第二实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图。图 8 中的阵列基板的孔径比提高得更大。

[0051] 在图 8 中,阵列基板包括在基板 201 上的第一和第二选通线 205a 和 205b 以及第一和第二数据线 233a 和 233b。各第一和第二数据线 233a 和 233b 与第一和第二选通线 205a 和 205b 交叉,以限定像素区 P。

[0052] 在各像素区 P 中形成第一和第二 TFT Tr1 和 Tr2。第一 TFT Tr1 设置于第二选通线 205b 与第一数据线 233a 的交叉部分,而第二 TFT Tr2 设置于第二选通线 205b 与第二数据线 233b 的交叉部分。第一 TFT Tr1 连接到第二选通线 205b 和第一数据线 233a,而第二 TFT Tr2 连接到第二选通线 205b 和第二数据线 233b。虽然未示出,但是在图 8 中的像素区 P 上方的像素区中也存在两个 TFT。上方的像素区中的两个 TFT 的其中一个连接到第一选通线 205a 和第一数据线 233a,而上方的像素区中的两个 TFT 的另一个连接到第一选通线 205a 和第二数据线 233b。在下文中,第一和第二选通线 205a 和 205b 称为选通线 205。

[0053] 第一 TFT Tr1 包括:第一栅极 208a;栅绝缘层(未示出);第一半导体层(未示出),包括本征非晶硅的第一有源层(未示出)和掺杂非晶硅的欧姆接触层(未示出);第一源极 236a 和第一漏极 239a。第一半导体层和栅绝缘层层叠在第一栅极 208a 上,而第一源极 236a 和第一漏极 239a 形成在第一半导体层上。第一源极 236a 与第一漏极 239a 分离。第二 TFT Tr2 包括:第二栅极 208b;栅绝缘层(未示出);第二半导体层(未示出),包括本征非晶硅的第二有源层(未示出)和掺杂非晶硅的第二欧姆接触层(未示出);第二源极 236b 和第二漏极 239b。第二半导体层和栅绝缘层层叠在第二栅极 208b 上,而第二源极 236b 和第二漏极 239b 形成在第二半导体层上。第二源极 236b 与第二漏极 239b 分离。

[0054] 第一栅极 208a 和第二栅极 208b 连接到选通线 205,而第一源极 236a 和第二源极 236b 分别连接到第一和第二数据线 233a 和 233b。第二 TFT Tr2 的第二漏极 239b 沿选通线

205 的方向延伸,从而形成漏极延伸部分 245。

[0055] 在像素区 P 中,第一图案 260 形成为与选通线 205 基本上平行。第一图案 260 与漏极延伸部分 245 重叠,以形成存储电容 StgC。第一图案 260 通过第一接触孔 253 与第一 TFT Tr1 的第一漏极 239a 接触。多个第一电极 262 从第一图案 260 延伸出来并且彼此分离。

[0056] 在像素区 P 中,第二电极 264 形成为与第二数据线 233b 平行并且相邻。第二电极 264 的一端通过第二接触孔 255 与漏极延伸部分 245 接触。第二电极 264 的另一端弯曲以形成第二图案 265,该第二图案 265 与第一图案 260 平行并且面对第一图案 260。此外,第二图案 265 弯曲,以形成与第一数据线 233a 平行且相邻的第三电极 266。多个第四电极 268 从第二图案 265 延伸出来并且彼此分离。第一电极 262 和第四电极 268 彼此交替排列,并且设置于第一与第二图案 260 和 265 之间以及第二与第三电极 264 和 266 之间。虽然在图 8 中第二和第三电极 264 和 266 连接到第二 TFT Tr2,但是它们可以连接到第一 TFT Tr1 而不连接到第二 TFT Tr2。在此情况下,第一图案 260 连接到第二 TFT Tr2。

[0057] 根据本发明第二实施方式的阵列基板具有一个存储电容 StgC。因此,可以在与第一和第二数据线 233a 和 233b 不同的层上形成第二和第三电极 264 和 266。此外,分别与第二数据线 233b 和第一数据线 233a 相邻的第二和第三电极 264 和 266 连接到第一和第二 TFT Tr1 和 Tr2 的其中一个。由于在第一数据线 233a 与第三电极 266 之间以及在第二数据线 233b 与第二电极 264 之间不存在短路问题,因此第二和第三电极 264 和 266 可以定位为分别比图 4 中阵列基板的第二和第三电极更接近第二数据线 233b 和第一数据线 233a。即,第一数据线 233a 与第三电极 266 之间以及第二数据线 233b 与第二电极 264 之间的第二距离 d2 小于第一距离 d1(图 4 中)。第二距离 d2 可小于大约 5 微米。因此,进一步提高阵列基板的孔径比。

[0058] 参考图 9 到图 11,说明图 8 中根据本发明第二实施方式的阵列基板的截面结构。图 9 是沿图 8 中的线 IX-IX 提取的截面图,图 10 是沿图 8 中的线 X-X 提取的截面图,图 11 是沿图 8 中的线 XI-XI 提取的截面图。在像素区中限定了形成有第一和第二 TFT 的开关区 TrA 以及形成有第一存储电容的存储区 StgA。

[0059] 在图 9 到图 11 中,在基板 201 上形成第一金属材料的选通线 205(图 8 中)。在基板 201 上开关区 TrA 中形成连接到选通线的第一和第二栅极 208a 和 208b。第一和第二栅极 208a 和 208b 由与选通线相同的材料形成。

[0060] 在选通线以及第一和第二栅极 208a 和 208b 上形成无机绝缘材料的栅绝缘层 213。在栅绝缘层 213 上形成第二金属材料的第一和第二数据线 233a 和 233b。第一和第二数据线 233a 和 233b 与选通线交叉,以限定像素区 P。在开关区 TrA 中,在栅绝缘层 213 上形成包括第一有源层 220a 和第一欧姆接触层 223a 的第一半导体层 226a 以及包括第二有源层 220b 和第二欧姆接触层 223b 的第二半导体层 226b。第一半导体层 226a 和第二半导体层 226b 分别与第一和第二栅极 208a 和 208b 对应。在第一半导体层 226a 上形成彼此分离的第一源极 236a 和第一漏极 239a,而在第二半导体层 226b 上形成彼此分离的第二源极 236b 和第二漏极 239b。第一源极 236a 连接到第一数据线 233a,而第二源极 236b 连接到第二数据线 233b。第一源极 236a、第一漏极 239a、第二源极 236b 和第二漏极 239b 的每个可由与第一和第二数据线 233a 和 233b 相同的材料形成。第一栅极 208a、栅绝缘层 213、第一半

导体层 226a、第一源极 236a 和第一漏极 239a 构成第一 TFT Tr1。第二栅极 208b、栅绝缘层 213、第二半导体层 226b、第二源极 236b 和第二漏极 239b 构成第二 TFT Tr2。第二漏极 239b 延伸入开关区 StgA 中,以形成与选通线基本上平行的漏极延伸部分 245。漏极延伸部分 245 被限定为存储电容的第一电容电极。

[0061] 在第一和第二数据线 233a 和 233b 每个的下方形成具有第一半导体图案 224 和第二半导体图案 221 的双层结构的半导体图案 227。分别由与欧姆接触层 223a 和 223b 以及有源层 220a 和 220b 相同的材料形成第一和第二半导体图案 224 和 221。在第一和第二数据线 233a 和 233b 每个的下方是否设置半导体图案 227 取决于阵列基板的制造方法。按照另一种制造工艺可省略半导体图案。

[0062] 在第一和第二数据线 133a 和 133b 以及第一和第二 TFT Tr1 和 Tr2 上形成钝化层 250。钝化层 250 具有第一接触孔 253 和第二接触孔 255,该第一接触孔 253 和第二接触孔 255 分别露出部分第一漏极 239a 和部分第二漏极 239b,特别是漏极延伸部分 245。钝化层 250 可由无机绝缘材料和有机绝缘材料其中之一形成。

[0063] 在钝化层 250 上形成第三金属材料的第一图案 260。第一图案 260 通过第一接触孔 253 与第一漏极 239a 接触,并且第一图案 260 与漏极延伸部分 245 重叠。第一图案 260 的重叠部分被限定为存储电容 StgC 的第二电容电极。多个第一电极 262 从第一图案 260 延伸出来并且彼此分离。此外,第二电极 264 由与第一电极 262 的相同材料并且在与第一电极 262 相同的层形成。第二电极 264 的一端接触第二漏极 239b,特别是漏极延伸部分 245。第二电极 264 与第二数据线 223b 基本上平行并且相邻。第二电极 264 的另一端弯曲以形成与第一图案 260 平行并且面对第一图案 260 的第二图案 265。此外,第二图案 265 弯曲以形成与第一数据线 233a 平行并且相邻的第三电极 266。多个第四电极 268 从第二图案 265 延伸出来并且彼此分离。第一电极 262 和第四电极 268 彼此交替排列并且设置于第一与第二图案 260 和 265 之间以及第二与第三电极 264 和 266 之间。

[0064] 在上述阵列基板中,在栅绝缘层 213 上形成各第一和第二数据线 233a 和 233b,而在钝化层 250 上形成分别与第二数据线 233b 和第一数据线 233a 相邻的各第二和第三电极 264 和 266。由于在第一数据线 233a 与第三电极 266 之间以及第二数据线 233b 与第二电极 264 之间不存在短路问题,因此第二电极 264 和第三电极 266 可以定位为分别更接近第二数据线 233b 和第一数据线 233a。第三电极 266 和第二电极 264 分别与第一和第二数据线 233a 和 233b 分离范围小于大约 5 微米的第二距离 d2。因此,能够提高阵列基板的孔径比。

[0065] 图 12 是示出根据本发明第三实施方式的用于 IPS 模式 LCD 装置的阵列基板的一个像素区的示意性平面图。将省略对具有与图 8 中的相同结构的元件的说明。

[0066] 与图 8 中的阵列基板不同,在图 12 中与第一数据线相邻的电极不连接到与第二数据线相邻的电极。参考图 12,与第一数据线 333a 基本上平行并且相邻的多个第一电极 362 和第三电极 363 连接到第一图案 360。由于第一图案 360 从连接到第一数据线 333a 的第一 TFT Tr1 的第一漏极 339a 延伸出来,因此第一电极 362 和第三电极 363 连接到第一 TFT Tr1。在与第一数据线 333a 不同的层上形成第三电极 363。此外,与第二数据线 333b 基本上平行并且相邻的第二电极 364 连接到第二 TFT Tr2,而多个第四电极 368 通过第二电极 364 连接到第二 TFT Tr2。第三电极 363 和第二电极 364 分别与第一和第二数据线 333a 和

333b 分离范围小于大约 5 微米的第三距离 d3。由于第一和第三电极 362 和 363 的数目与第二和第四电极 364 和 368 的数目相同,因此进一步提高孔径比。

[0067] 参考图 8 到 11,说明根据本发明第二实施方式的用于 IPS 模式 LCD 装置的阵列基板的制造工艺。

[0068] 首先,在基板 201 的整个表面上沉积第一金属材料,以形成第一金属层(未示出)。执行掩模工艺以构图第一金属层(未示出),其中掩模工艺包括涂敷光刻胶(PR)层的步骤、曝光 PR 层的步骤、对曝光后 PR 层进行显影的步骤、蚀刻相应金属层并剥离剩余 PR 图案的步骤。结果,在基板 201 上形成选通线 205 以及连接到选通线 205 的第一和第二栅极 208a 和 208b。

[0069] 随后,通过沉积例如二氧化硅(SiO_2)和氮化硅(SiN_x)的无机绝缘材料,在选通线 205 以及第一和第二栅极 208a 和 208b 上形成栅绝缘层 213。

[0070] 随后,在栅绝缘层 213 上顺序形成本征非晶硅层(未示出)、掺杂非晶硅层(未示出)和第二金属材料层(未示出)。然后,通过双掩模工艺或使用折射曝光掩模或半色调掩模的单掩工艺对本征非晶硅层(未示出)、掺杂非晶硅层(未示出)和第二金属材料层(未示出)进行构图,以形成本征非晶硅的第一和第二有源层 220a 和 220b、掺杂非晶硅的第一和第二欧姆接触层 223a 和 223b、第一和第二源极 236a 和 236b 以及第一和第二漏极 239a 和 239b。第一和第二有源层 220a 和 220b 分别与第一和第二栅极 208a 和 208b 对应。第一和第二欧姆接触层 223a 和 223b 分别设置于第一和第二有源层 220a 和 220b 上,并且分别露出部分第一有源层 220a 和部分第二有源层 220b。第一源极 236a 和第一漏极 239a 设置于第一欧姆接触层 223a 上并且第一源极 236a 和第一漏极 239a 彼此分离。第二源极 236b 和第二漏极 239b 设置于第二欧姆接触层 223b 上并且第二源极 236b 和第二漏极 239b 彼此分离。同时,在栅绝缘层 213 上或上方形成第一数据线 233a 和第二数据线 233b。第一和第二数据线 233a 和 233b 每个都与选通线 205 交叉,以限定像素区 P。第一和第二源极 236a 和 236b 分别连接到第一和第二数据线 233a 和 233b。第二漏极 239b 延伸入开关区 StgA 中,以形成与选通线 205 基本上平行的漏极延伸部分 245。漏极延伸部分 245 用作存储电容 StgC 的第一电容电极。

[0071] 当通过单掩模工艺形成第一和第二有源层 220a 和 220b、第一和第二欧姆接触层 223a 和 223b、第一和第二数据线 233a 和 233b、第一和第二源极 236a 和 236b,以及第一和第二漏极 239a 和 239b 时,在第一和第二数据线 233a 和 233b 每个的下方形成具有第一半导体图案 224 和第二半导体图案 221 的双层结构的半导体图案 227,如图 6 和 7 所示。

[0072] 然而,当通过不同的掩模工艺形成第一和第二有源层 220a 和 220b、第一和第二欧姆接触层 223a 和 223b、第一和第二数据线 233a 和 233b、第一和第二源极 236a 和 236b,以及第一和第二漏极 239a 和 239b 时,在第一和第二数据线 233a 和 233b 每个的下方不存在半导体图案 227。在此情况下,第一和第二有源层和第一和第二欧姆接触层中的每个具有岛状。

[0073] 第一栅极 208a、栅绝缘层 213、第一半导体层 226a、第一源极 236a 和第一漏极 239a 构成第一 TFT Tr1。第二栅极 208b、栅绝缘层 213、第二半导体层 226b、第二源极 236b 和第二漏极 239b 构成第二 TFT Tr2。

[0074] 随后,通过沉积例如二氧化硅(SiO_2)和氮化硅(SiN_x)的无机绝缘材料,在第一和

第二数据线 133a 和 133b 以及第一和第二 TFT Tr1 和 Tr2 上形成钝化层 250。通过掩模工艺对钝化层 250 进行构图,以形成第一和第二接触孔 253 和 255,该第一和第二接触孔 253 和 255 分别露出部分第一漏极 239a 和部分第二漏极 239b,特别是漏极延伸部分 245。

[0075] 随后,通过沉积例如氧化铟锡 (ITO) 和氧化铟锌 (IZO) 的透明导体材料,在钝化层 250 上形成透明导电材料层(未示出)。通过掩模工艺对透明导电材料层进行构图,以形成第一图案 260 和第一电极 262。第一图案 260 通过第一接触孔 253 与第一漏极 239a 接触,并且延伸入存储区中以与漏极延伸部分 245 重叠。第一图案 260 的重叠部分用作存储电容 StgC 的第二电容电极。第一电极 262 从第一图案 260 延伸出来并且彼此分离。同时,在钝化层 250 上形成第二电极 264、第二图案 265、第三电极 266 和第四电极 268。第二电极 264 与第二数据线 233b 基本上平行并且相邻。第二电极 264 的一端通过第二接触孔 255 与第二漏极 239b 接触,而第二电极 264 的另一端弯曲以形成与第一图案 260 平行并且与第一图案 260 相对的第二图案 265。第二图案 265 弯曲以形成与第一数据线 233a 平行且相邻的第三电极 266。多个第四电极 268 从第二图案 265 延伸出来并且彼此分离。第一电极 262 和第四电极 268 彼此交替地排列,并且设置于第一与第二图案 260 和 265 之间以及第二与第三电极 264 和 266 之间。

[0076] 本领域技术人员应当清楚,在不脱离本发明的精神或范围的情况下,可以对本发明进行各种修改和变型。因而,本发明将覆盖落入所附权利要求及其等同范围内的对本发明的各种修改和变型。

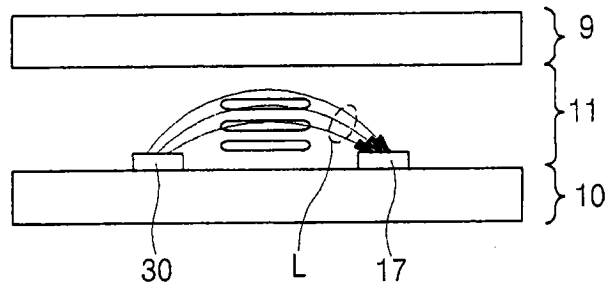


图 1

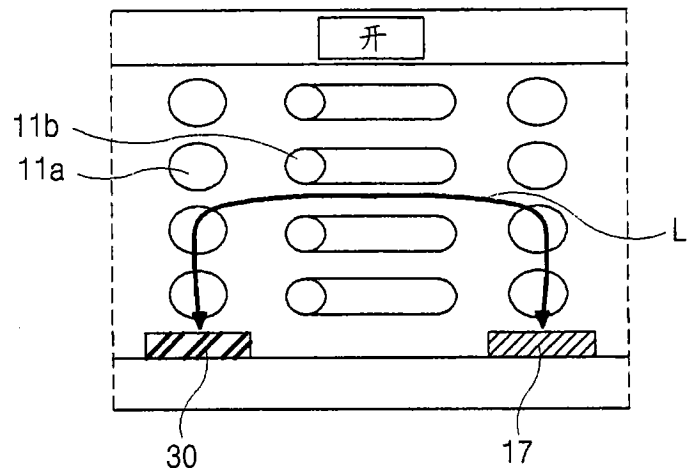


图 2A

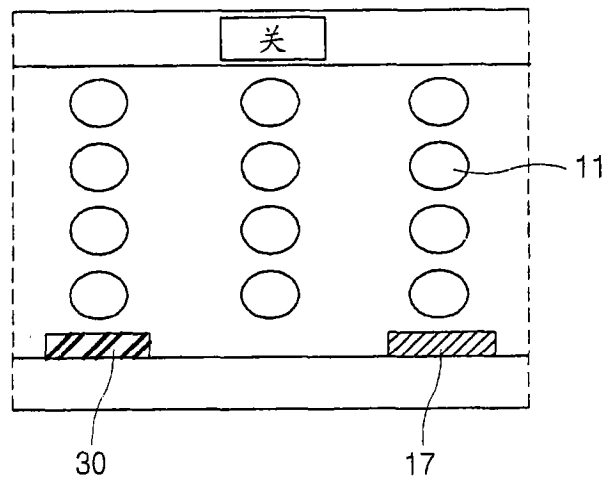


图 2B

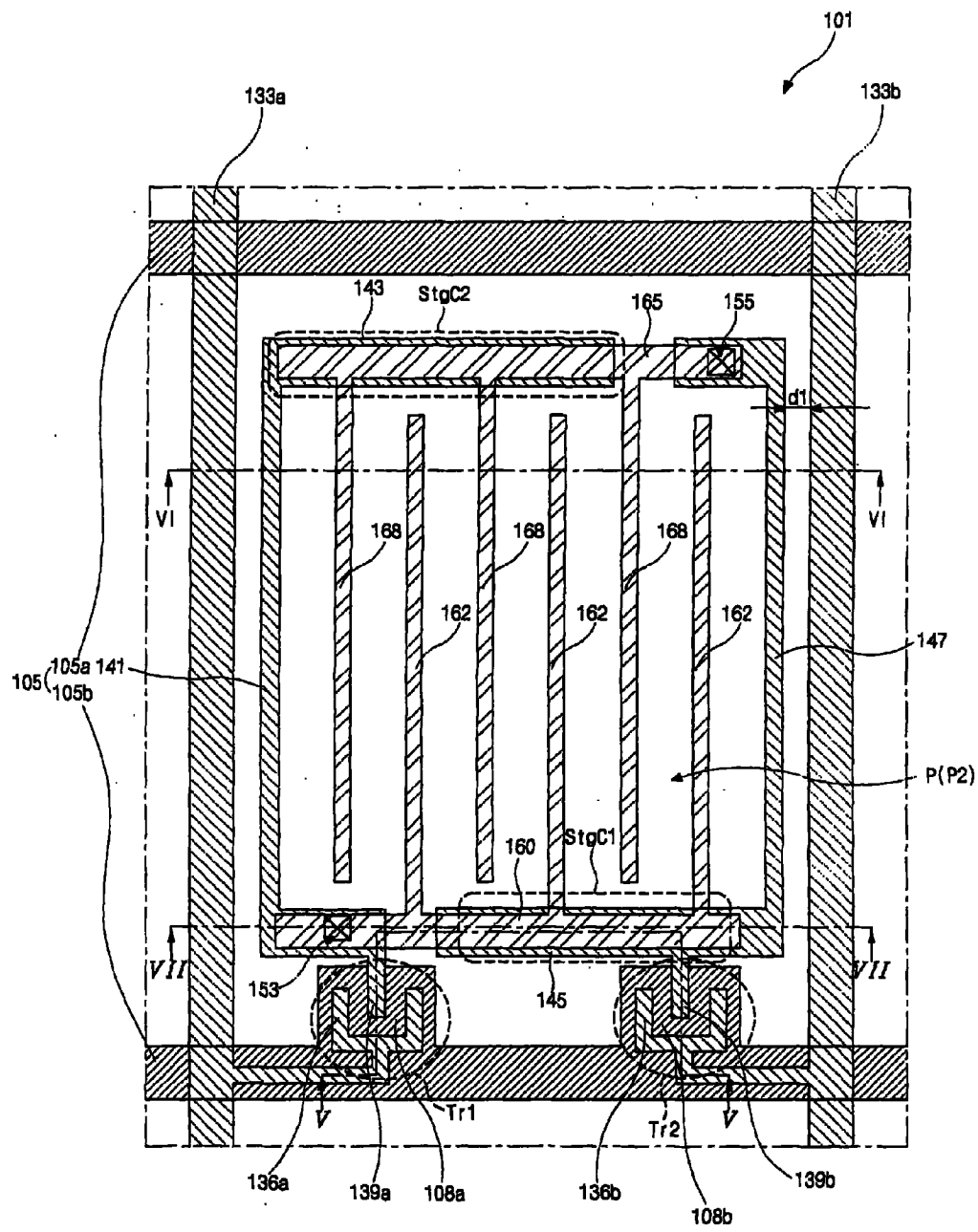


图 4

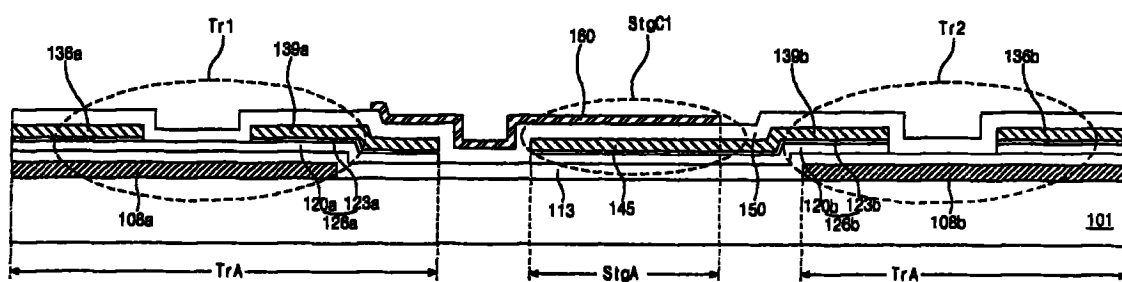


图 5

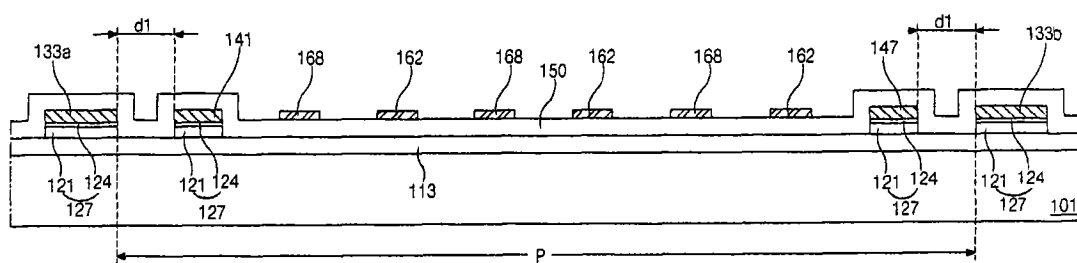


图 6

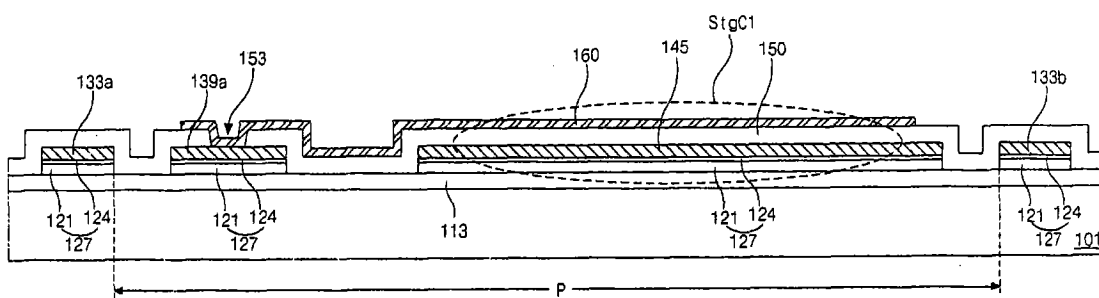


图 7

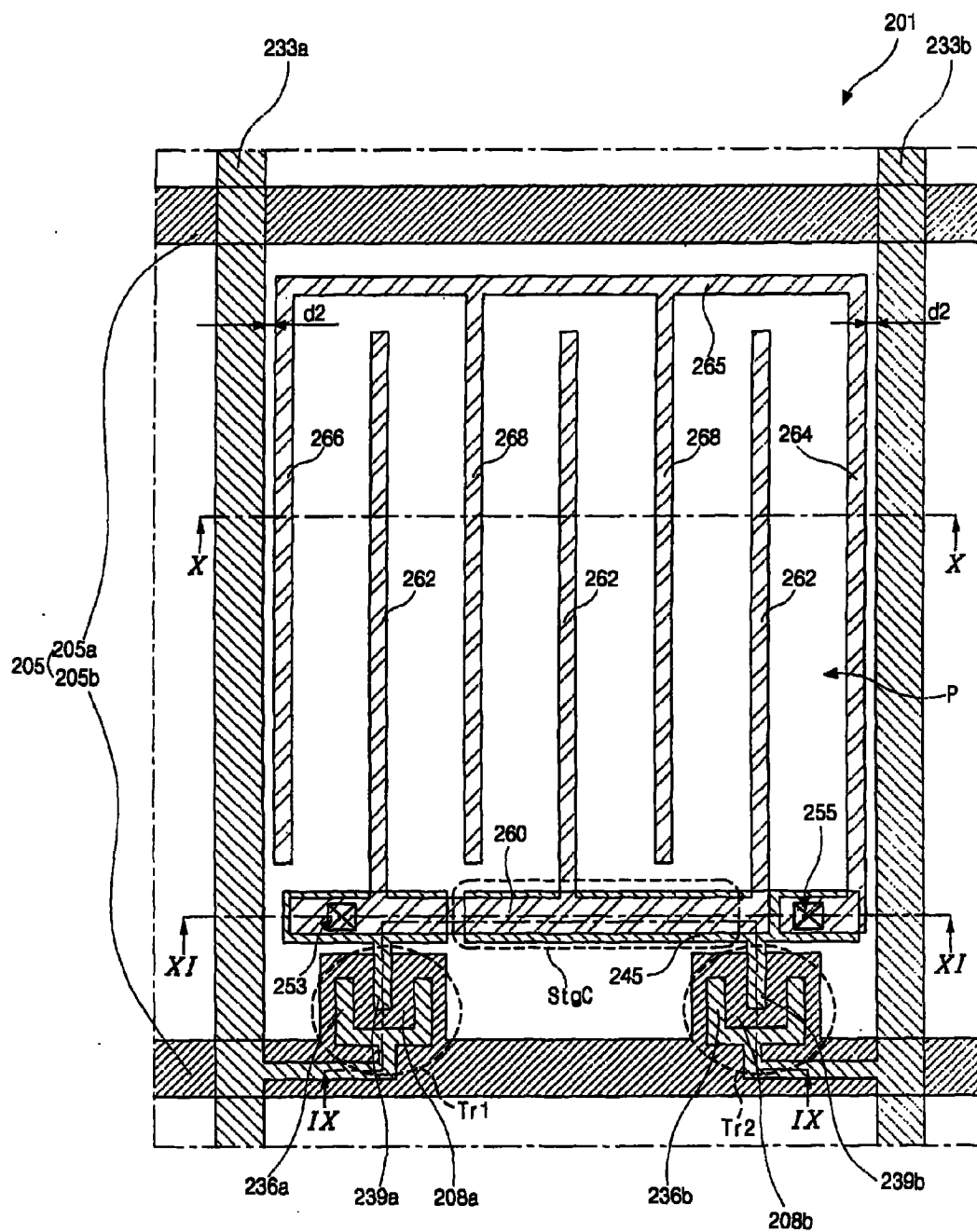


图 8

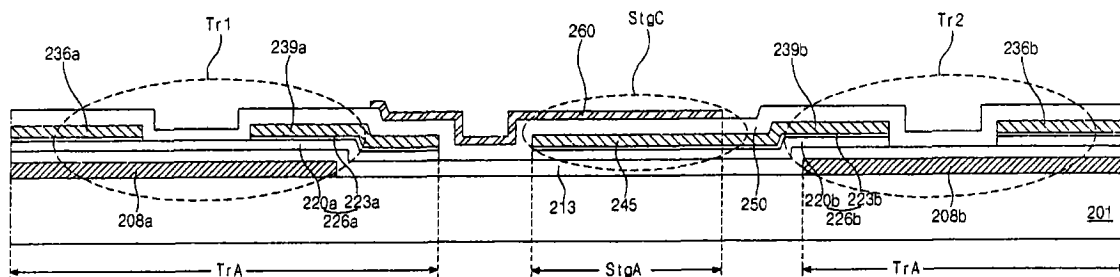


图 9

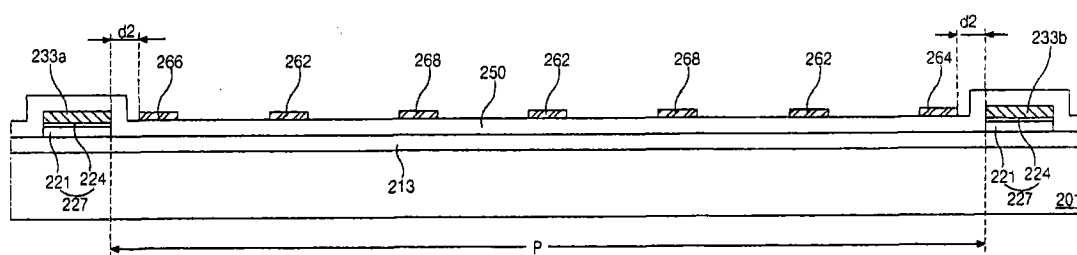


图 10

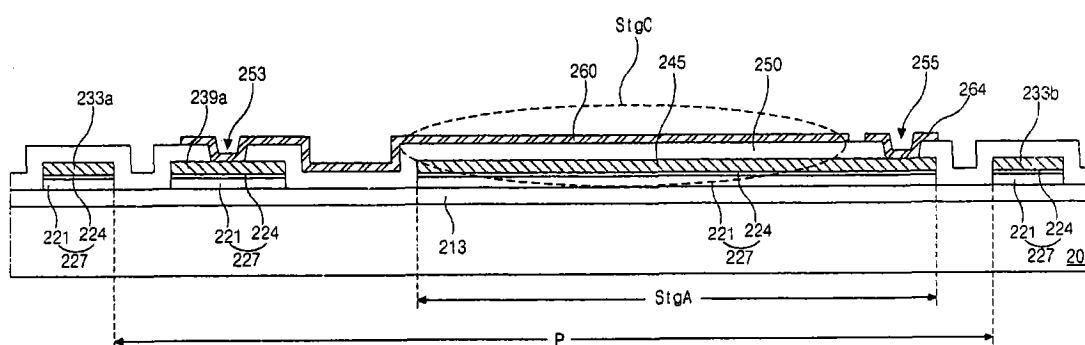


图 11

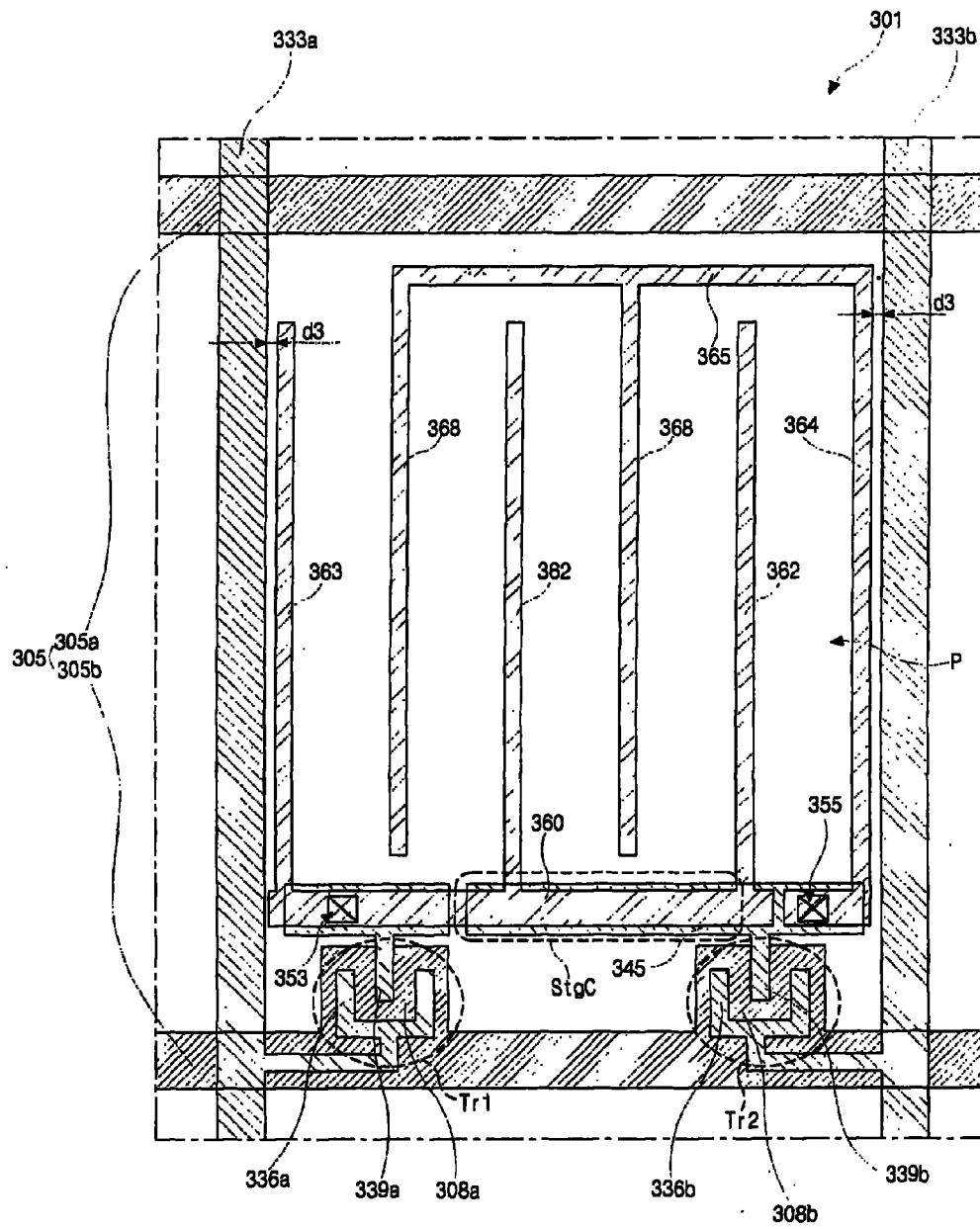


图 12

专利名称(译)	用于面内切换模式液晶显示装置的阵列基板		
公开(公告)号	CN101604101B	公开(公告)日	2011-12-07
申请号	CN200810184616.3	申请日	2008-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	郑英啟 李树雄		
发明人	郑英啟 李树雄		
IPC分类号	G02F1/1362 H01L27/12		
CPC分类号	G02F1/134363 G02F1/136286 G02F2201/124 G02F1/13624		
审查员(译)	江鹏飞		
优先权	1020080055903 2008-06-13 KR		
其他公开文献	CN101604101A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及用于面内切换模式液晶显示装置的阵列基板，该阵列基板包括：选通线；栅绝缘层；第一和第二数据线；第一薄膜晶体管(TFT)，连接到第一数据线；第二TFT，连接到第二数据线；钝化层；第一图案，连接到第一TFT并且沿选通线延伸；彼此分离的多个第一电极，连接到第一图案并且与第一和第二数据线平行；第二图案，以与第一图案平行的方式延伸；第二电极，沿第一数据线延伸并且与第一数据线分离第一距离；第三电极，连接到第二图案并且沿第二数据线延伸，该第三电极连接到第二TFT并且与第二数据线分离第二距离；以及多个第四电极，连接到第二图案并且与多个第一电极交替排列，其中多个第一电极和多个第四电极置于第二与第三电极之间。

