



(12) 发明专利

(10) 授权公告号 CN 101604100 B

(45) 授权公告日 2011. 03. 16

(21) 申请号 200810184685. 4

(22) 申请日 2008. 12. 15

(30) 优先权数据

10-2008-0055902 2008. 06. 13 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 郑英政 李树雄

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 黄纶伟

(51) Int. Cl.

G02F 1/1343 (2006. 01)

G02F 1/1362 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/84 (2006. 01)

(56) 对比文件

CN 1467555 A, 2004. 01. 14, 全文.

JP 2006-330674 A, 2006. 12. 07, 全文.

US 2005/0243255 A1, 2005. 11. 03, 全文.

CN 1504817 A, 2004. 06. 16, 全文.

审查员 朱艳艳

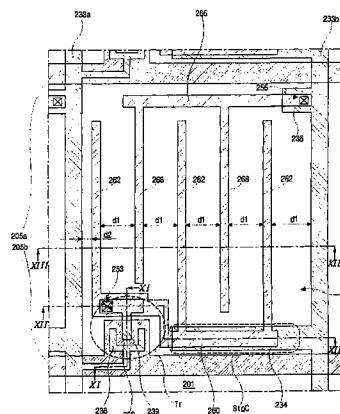
权利要求书 2 页 说明书 13 页 附图 12 页

(54) 发明名称

共面转换模式液晶显示装置用阵列基板及其制造方法

(57) 摘要

一种共面转换模式液晶显示装置用阵列基板包括:基板上的选通线;选通线上的栅绝缘层;栅绝缘层上与选通线交叉而限定像素区的第一和第二数据线;栅绝缘层上从第二数据线延伸的第一延伸部;连接至选通线和第一数据线的薄膜晶体管;第一和第二数据线及薄膜晶体管上具有第一接触孔的钝化层;钝化层上的像素区中的第一图案;从第一图案延伸且平行于第一和第二数据线的多个第一电极;钝化层上的像素区中平行于选通线的第二图案;以及从第二图案延伸且以第一距离与多个第一电极交替的多个第二电极。一个第一电极与第二数据线间隔开的距离等于或大于第一距离且小于两倍第一距离,另一个第一电极或一个第二电极与第一数据线间隔开比第一距离窄的第二距离。



1. 一种共面转换模式液晶显示装置用阵列基板,其包括:
位于基板上的选通线;
所述选通线上的栅绝缘层;
第一数据线和第二数据线,该第一数据线和该第二数据线位于所述栅绝缘层上并与所述选通线交叉而限定像素区;
位于所述栅绝缘层上并且从所述第二数据线延伸出的第一延伸部;
薄膜晶体管,其连接至所述选通线和所述第一数据线;
位于所述第一数据线和所述第二数据线以及所述薄膜晶体管上的钝化层,该钝化层具有第一接触孔,该第一接触孔暴露出所述薄膜晶体管的漏极;
位于所述钝化层上的所述像素区中的第一图案,该第一图案通过所述第一接触孔连接至所述漏极并且与所述第一延伸部交叠;
从所述第一图案延伸出的多个第一电极,该多个第一电极平行于所述第一数据线和所述第二数据线;
位于所述钝化层上的所述像素区中并与选通线平行的第二图案,该第二图案电连接至所述第二数据线;以及
从所述第二图案延伸出的多个第二电极,该多个第二电极与所述多个第一电极平行并且交替地排列,且相邻的第一电极与第二电极之间的距离为第一距离,
其中,所述多个第一电极中的一个第一电极与所述第二数据线间隔开的距离等于所述第一距离或者大于所述第一距离且小于所述第一距离的两倍,而所述多个第一电极中的另一个第一电极或者所述多个第二电极中的一个第二电极与所述第一数据线间隔开比所述第一距离窄的第二距离。
2. 根据权利要求1所述的阵列基板,其中,所述第二距离大于 $0\mu\text{m}$ 且小于 $5\mu\text{m}$ 。
3. 根据权利要求1所述的阵列基板,其中,所述多个第一电极、所述多个第二电极、所述第一图案以及所述第二图案被形成在同一层上并且由相同材料制成。
4. 根据权利要求1所述的阵列基板,其中,彼此交叠的所述第一延伸部以及所述第一图案与其间的所述钝化层一起形成存储电容器。
5. 根据权利要求1所述的阵列基板,该阵列基板进一步包括从所述第二数据线延伸出的第二延伸部,其中,所述钝化层具有暴露出所述第二延伸部的第二接触孔,并且所述第二图案通过所述第二接触孔与所述第二延伸部接触。
6. 根据权利要求5所述的阵列基板,其中,所述第二数据线与所述多个第一电极中的所述一个第一电极之间的所述距离等于所述第一距离。
7. 根据权利要求5所述的阵列基板,其中,所述多个第一电极中的所述另一个第一电极与所述第一数据线间隔开所述第二距离。
8. 根据权利要求1所述的阵列基板,其中,所述钝化层具有暴露出所述第一延伸部的第二接触孔,并且所述多个第二电极中的另一个第二电极与所述第二数据线部分地交叠并且通过所述第二接触孔与所述第一延伸部接触。
9. 根据权利要求8所述的阵列基板,其中,所述多个第二电极中的所述一个第二电极与所述第一数据线间隔开所述第二距离。
10. 根据权利要求8所述的阵列基板,其中,所述第二数据线与所述多个第一电极中的

所述一个第一电极之间的距离大于所述第一距离且小于所述第一距离的两倍。

11. 一种共面转换模式液晶显示装置用阵列基板的制造方法,该方法包括以下步骤:

在基板上形成选通线;

在所述选通线上形成栅绝缘层;

在所述栅绝缘层上形成与所述选通线交叉而限定像素区的第一数据线和第二数据线;

在所述栅绝缘层上形成从所述第二数据线延伸出的第一延伸部;

形成连接至所述选通线和所述第一数据线的薄膜晶体管;

在所述第一数据线和所述第二数据线以及所述薄膜晶体管上形成钝化层,所述钝化层具有第一接触孔,所述第一接触孔暴露出所述薄膜晶体管的漏极;

在所述钝化层上的所述像素区中形成第一图案,所述第一图案通过所述第一接触孔连接至所述漏极并且与所述第一延伸部交叠;

形成从所述第一图案延伸出的多个第一电极,所述多个第一电极平行于所述第一数据线和所述第二数据线;

在所述钝化层上的所述像素区中形成平行于选通线的第二图案,所述第二图案电连接至所述第二数据线;以及

形成从所述第二图案延伸出的多个第二电极,所述多个第二电极与所述多个第一电极平行并且交替地排列,且相邻的第一电极与第二电极之间的距离为第一距离;

其中,所述多个第一电极中的一个第一电极与所述第二数据线间隔开的距离等于所述第一距离或大于所述第一距离且小于所述第一距离的两倍,所述多个第一电极中的另一个第一电极或者所述多个第二电极中的一个第二电极与所述第一数据线间隔开比所述第一距离窄的第二距离。

12. 根据权利要求 11 所述的方法,其中,所述多个第一电极、所述多个第二电极、所述第一图案以及所述第二图案通过同一掩模工序形成。

13. 根据权利要求 11 所述的方法,该方法进一步包括形成从所述第二数据线延伸出的第二延伸部的步骤,其中,形成所述钝化层的步骤包括形成暴露出所述第二延伸部的第二接触孔的步骤,并且所述第二图案通过所述第二接触孔与所述第二延伸部接触。

14. 根据权利要求 11 所述的方法,其中,形成所述钝化层的步骤包括形成暴露出所述第一延伸部的第二接触孔的步骤,并且所述多个第二电极中的另一个第二电极与所述第二数据线部分地交叠并且通过所述第二接触孔与所述第一延伸部接触。

共面转换模式液晶显示装置用阵列基板及其制造方法

技术领域

[0001] 本发明涉及液晶显示装置,更具体地说,涉及共面转换(in-PlaneSwitching)模式液晶显示装置用阵列基板及其制造方法。

背景技术

[0002] 本申请要求于2008年6月13日在韩国提交的韩国专利申请 No. 10-2008-0055902 的优先权,通过引用将其全部内容合并于此,如同在此进行了全面阐述。

[0003] 通常,液晶显示(LCD)装置使用液晶分子的光学各向异性和偏振特性。由于液晶分子具有薄且长的形状,因此具有确定的取向。可以通过施加穿过液晶分子的电场来控制液晶分子的取向(alignment)方向。换句话说,随着电场强度或方向的改变,液晶分子的取向也随之改变。因为入射光基于因液晶分子的光学各向异性而造成的液晶分子的取向而被折射,所以可以通过控制透光率来显示图像。

[0004] 因为包括薄膜晶体管作为开关元件的LCD装置(称为有源矩阵LCD(AM-LCD)装置)具有高分辨率和显示运动图像的卓越特性,所以AM-LCD装置得到广泛使用。

[0005] AM-LCD装置包括阵列基板,滤色基板以及插入其间的液晶层。该阵列基板可以包括像素电极和薄膜晶体管,而该滤色基板可以包括滤色层和公共电极。AM-LCD装置通过像素电极与公共电极之间的电场来驱动,以使在透射率和孔径比方面具有卓越特性。然而,因为AM-LCD装置使用垂直于基板的垂直电场,所以AM-LCD装置具有较差视角。

[0006] 已经提出并开发了共面转换(IPS)模式LCD装置,以解决上述局限性。

[0007] 图1是相关技术IPS模式LCD装置的截面图。如图1所示,相关技术IPS模式LCD装置包括彼此间隔开并面对的上基板9和下基板10。在上基板9与下基板10之间插入有液晶层11。

[0008] 在下基板10上形成有公共电极17和像素电极30。可以将公共电极17和像素电极30设置在同一水平面上。液晶层11的液晶分子由公共电极17与像素电极30之间诱发的水平电场L来驱动。尽管该图中未示出,但在上基板9上形成有滤色层。可以将包括公共电极17和像素电极30的下基板10称为阵列基板。可以将包括滤色层的上基板9称为滤色基板。

[0009] 图2A和2B是示出相关技术IPS模式LCD装置的通电/断电状态的截面图。如图2A所示,当将电压施加至IPS模式LCD装置时,位于公共电极17和像素电极30上方的液晶分子11a的排列不发生改变。然而,位于公共电极17与像素电极30之间的液晶分子11b因水平电场L而水平地排列。由于液晶分子11b根据水平电场L来排列,所以IPS模式LCD装置具有宽视角的特性。例如,IPS模式LCD装置在上下和左右具有大约80度到大约85度的视角而没有图像反转或色彩反转。

[0010] 图2B示出了当没有向IPS模式LCD装置施加电压时的状况。因为在公共电极17与像素电极30之间没有诱发电场,所以液晶分子11的排列未改变。

[0011] 图3是例示相关技术IPS模式LCD装置的阵列基板的一部分的平面图。在图3中,

阵列基板 40 包括 : 选通线 43、公共线 47、数据线 60、多个公共电极 49a 和 49b、多个像素电极 70 以及薄膜晶体管 Tr。选通线 43 沿第一方向延伸,而公共线 47 平行于选通线 43。数据线 60 沿与第一方向垂直的第二方向延伸并与选通线 43 和公共线 47 交叉。具体来说,通过交叉选通线 43 与数据线 60 来限定像素区 P。

[0012] 薄膜晶体管 Tr 设置在选通线 43 和数据线 60 的交叉部分处。薄膜晶体管 Tr 包括 : 栅极 45、半导体层 50、源极 53 以及漏极 55。源极 53 从数据线 60 延伸出,而栅极 45 从选通线 43 延伸出。像素电极 70 通过漏接触孔 67 连接至漏极 55 并且设置在像素区 P 中。公共电极 49a 以及 49b 与像素电极 70 交替地排列并且从公共线 47 延伸出来。

[0013] 公共电极包括第一公共电极 49a 和第二公共电极 49b。第二公共电极 49b 设置在多个第一公共电极 49a 之间,并且这些第一公共电极 49a 中的每一个都与数据线 60 相邻地设置。在这种情况下,每个第一公共电极 49a 都与数据线 60 间隔开预定距离。将公共电压通过在图中水平地穿过像素区 P 的公共线 47 施加至公共电极 49a 以及 49b,并且需要额外地补偿或调节由于对恒定电压的充电而导致的公共电压的差。因而,增加了生产成本并且使制造工序复杂化。

[0014] 另外,将第一公共电极 49a 与数据线 60 间隔开,以防止第一公共电极 49a 与数据线 60 之间的信号干扰,并且交替地排列像素电极 70 和第二公共电极 49b。因此,减小了 IPS 模式 LCD 装置的孔径比。

发明内容

[0015] 因此,本发明致力于提供一种基本上消除了因相关技术的局限性和缺点而造成的 一个或更多个问题的共面转换模式液晶显示装置用阵列基板及其制造方法。

[0016] 本发明的一个优点是,提供了一种在不需要公共线和公共电极的情况下改进了孔径比的共面转换模式液晶显示装置用阵列基板及其制造方法。

[0017] 本发明的附加特征和优点将在下面的描述中加以阐述,并且根据该描述将部分地变得清楚,或者可以通过实施本发明而获知。通过在文字说明及其权利要求以及附图中具体指出的结构,将认识到并获得本发明的这些和其它优点。

[0018] 为了实现这些和其它优点,并且根据本发明的目的,如具体实现和广泛描述的,一种共面转换模式液晶显示装置用阵列基板包括 : 位于基板上的选通线 ; 所述选通线上的栅绝缘层 ; 第一数据线和第二数据线,该第一数据线和该第二数据线位于所述栅绝缘层上并与所述选通线交叉而限定像素区 ; 位于所述栅绝缘层上并且从所述第二数据线延伸出的第一延伸部 ; 薄膜晶体管,其连接至所述选通线和所述第一数据线 ; 位于所述第一数据线和所述第二数据线以及所述薄膜晶体管上的钝化层,该钝化层具有第一接触孔,该第一接触孔暴露出所述薄膜晶体管的漏极 ; 位于所述钝化层上的所述像素区中的第一图案,该第一图案通过所述第一接触孔连接至所述漏极并且与所述第一延伸部交叠 ; 从所述第一图案延伸出的多个第一电极,该多个第一电极平行于所述第一数据线和所述第二数据线 ; 位于所述钝化层上的所述像素区中并与选通线平行的第二图案,该第二图案电连接至所述第二数据线 ; 以及多个第二电极,该多个第二电极从所述第二图案延伸出并且以相邻的第一电极与第二电极之间的第一距离与所述多个第一电极交替,其中,所述多个第一电极中的一个第一电极与所述第二数据线间隔开的距离等于所述第一距离或者大于所述第一距离且

小于所述第一距离的两倍,而所述多个第一电极中的另一个第一电极或者所述多个第二电极中的一个第二电极与所述第一数据线间隔开比所述第一距离窄的第二距离。

[0019] 在另一方面中,一种共面转换模式液晶显示装置用阵列基板的制造方法包括以下步骤:在基板上形成选通线;在所述选通线上形成栅绝缘层;在所述栅绝缘层上形成与所述选通线交叉而限定像素区的第一数据线和第二数据线;在所述栅绝缘层上形成从所述第二数据线延伸出的第一延伸部;形成连接至所述选通线和所述第一数据线的薄膜晶体管;在所述第一数据线和所述第二数据线以及所述薄膜晶体管上形成钝化层,所述钝化层具有第一接触孔,所述第一接触孔暴露出所述薄膜晶体管的漏极;在所述钝化层上的所述像素区中形成第一图案,所述第一图案通过所述第一接触孔连接至所述漏极并且与所述第一延伸部交叠;形成从所述第一图案延伸出的多个第一电极,所述多个第一电极平行于所述第一数据线和所述第二数据线;在所述钝化层上的所述像素区中形成平行于选通线的第二图案,所述第二图案电连接至所述第二数据线;以及形成从所述第二图案延伸出的多个第二电极,并且所述多个第二电极以相邻的第一电极以及第二电极之间的第一距离与所述多个第一电极交替;其中,所述多个第一电极中的一个第一电极与所述第二数据线间隔开的距离等于所述第一距离或大于所述第一距离且小于所述第一距离的两倍,所述多个第一电极中的另一个第一电极或者所述多个第二电极中的一个第二电极与所述第一数据线间隔开比所述第一距离窄的第二距离。

[0020] 应当理解的是,前述一般描述和下面的详细描述都是示例性和说明性的,旨在提供对要求保护的本发明的进一步说明。

附图说明

[0021] 附图被包括进来,以提供对本发明的进一步理解,并且被并入并构成本说明书的一部分,附图例示了本发明的实施方式,并与文字说明一起用于解释本发明的原理。在附图中:

[0022] 图 1 是相关技术 IPS 模式 LCD 装置的截面图;

[0023] 图 2A 和 2B 是示出相关技术 IPS 模式 LCD 装置的通电 / 断电状况的截面图;

[0024] 图 3 是例示相关技术 IPS 模式 LCD 装置用阵列基板的一部分的平面图;

[0025] 图 4 是示意性例示根据本发明第一实施方式的 IPS 模式 LCD 装置用阵列基板的一个像素区的平面图;

[0026] 图 5 是沿图 4 的 V-V 线截取的截面图;

[0027] 图 6 是沿图 4 的 VI-VI 线截取的截面图;

[0028] 图 7 是沿图 4 的 VII-VII 线截取的截面图;

[0029] 图 8 是示意性例示根据本发明第二实施方式的 IPS 模式 LCD 装置用阵列基板的一个像素区的平面图;

[0030] 图 9 和图 10 是示意性例示根据本发明第二实施方式的 IPS 模式 LCD 装置用其它阵列基板的一个像素区的平面图;

[0031] 图 11 是沿图 8 的 XI-XI 线截取的截面图;

[0032] 图 12 是沿图 8 的 XII-XII 线截取的截面图;

[0033] 图 13 是沿图 8 的 XIII-XIII 线截取的截面图;

[0034] 图 14 是沿图 9 的 XIV-XIV 线截取的截面图；

[0035] 图 15 是沿图 9 的 XV-XV 线截取的截面图；以及

[0036] 图 16 是沿图 10 的 XVI-XVI 线截取的截面图。

[0037] 具体实施方式

[0038] 下面,对本发明的实施方式进行详细说明,在附图中例示了其实施例。

[0039] 图 4 是示意性例示根据本发明第一实施方式的共面转换 (IPS) 模式液晶显示 (LCD) 装置用阵列基板的一个像素区的平面图。在图 4 中,该阵列基板包括位于基板 101 上的第一选通线 105a 和第二选通线 105b 以及第一数据线 133a 和第二数据线 133b。第一数据线 133a 以及第二数据线 133b 与第一选通线 105a 以及第二选通线 105b 交叉而限定像素区 P。

[0040] 在像素区 P 中形成有第一薄膜晶体管 Tr1 和第二薄膜晶体管 Tr2。第一薄膜晶体管 Tr1 设置在第二选通线 105b 与第一数据线 133a 的交叉部分处,而第二薄膜晶体管 Tr2 设置在第二选通线 105b 与第二数据线 133b 的交叉部分处。第一薄膜晶体管 Tr1 连接至第二选通线 105b 和第一数据线 133a,而第二薄膜晶体管 Tr2 连接至第二选通线 105b 和第二数据线 133b。尽管未示出,但在图 4 的像素区 P 的上像素区中还存在两个薄膜晶体管。上像素区中的两个薄膜晶体管中的一个连接至第一选通线 105a 和第一数据线 133a,上像素区中的这两个薄膜晶体管中的另一个连接至第一选通线 105a 和第二数据线 133b。在下文中,将第一选通线 105a 和第二选通线 105b 称为选通线 105。

[0041] 第一薄膜晶体管 Tr1 包括:第一栅极 108a、栅绝缘层(未示出)、第一半导体层(未示出)、第一源极 136a 以及第一漏极 139a,该第一半导体层包括由本征非晶硅制成的第一有源层(未示出)和由掺杂非晶硅制成的第一欧姆接触层(未示出)。第一半导体层和栅绝缘层叠置在第一栅极 108a 上,第一源极 136a 和第一漏极 139a 形成在第一半导体层上。第一源极 136a 与第一漏极 139a 间隔开。第二薄膜晶体管 Tr2 包括:第二栅极 108b、栅绝缘层(未示出)、第二半导体层(未示出)、第二源极 136b 以及第二漏极 139b,该第二半导体层包括由本征非晶硅制成的第二有源层(未示出)和由掺杂非晶硅制成的第二欧姆接触层(未示出)。第二半导体层和栅绝缘层叠置在第二栅极 108b 上,第二源极 136b 和第二漏极 139b 形成在第二半导体层上。第二源极 136b 与第二漏极 139b 间隔开。

[0042] 第一栅极 108a 和第二栅极 108b 连接至选通线 105。第一源极 136a 和第二源极 136b 分别连接至第一数据线 133a 和第二数据线 133b。

[0043] 在像素区 P 中,第一电极 141 与第一数据线 133a 平行地形成以与第一数据线 133a 相邻。第一电极 141 的端部弯曲。第一电极 141 的一个端部连接至第一薄膜晶体管 Tr1 的第一漏极 139a,第一电极 141 的另一端部沿选通线 105 延伸。第一电极 141 的该另一端部被限定为第一延伸部 143。在像素区 P 中,第二电极 147 与第二数据线 133b 平行地形成以与第二数据线 133b 相邻。第二电极 147 的端部弯曲。第二电极 147 的一个端部连接至第二薄膜晶体管 Tr2 的第二漏极 139b,第二电极 147 的另一端部与选通线 105 平行地延伸并且面对第一电极 141 的另一端部(即第一延伸部 143)。第二电极 147 的该一个端部沿选通线 105 进一步延伸并且面对第一电极 141 的该一个端部。第二电极 147 的该一个端部被限定为第二延伸部 145。

[0044] 另外,第一图案 160 和第二图案 165 与选通线 105 平行地形成并且与选通线 105

间隔开。第一图案 160 位于选通线 105 与第二图案 165 之间。第一图案 160 通过第一接触孔 153 连接至第一电极 141, 第二图案 165 通过第二接触孔 155 连接至第二电极 147。第一接触孔 153 对应于第一电极 141 的该一个端部, 第二接触孔 155 对应于第二电极 147 的该另一端部。由于第一电极 141 从第一漏极 139a 延伸出, 所以第一接触孔 153 可以对应于第一漏极 139a 的一部分。

[0045] 而且, 在像素区 P 中, 多个第三电极 162 从第一图案 160 延伸出并且彼此间隔开。多个第四电极 168 从第二图案 165 延伸出并且彼此间隔开。第三电极 162 以及第四电极 168 与数据线 133a 以及 133b 平行, 并且在第一图案 160 和第二图案 165 之间以及第一电极 141 和第二电极 147 之间彼此交替地排列。

[0046] 第一图案 160 与第二电极 147 的第二延伸部 145 交叠, 以使得第一图案 160 的交叠部、第二电极 147 的第二延伸部 145 以及其间的绝缘材料层 (未示出) 构成第一存储电容器 StgC1。第二图案 165 与第一电极 141 的第一延伸部 143 交叠, 以使得第二图案 165 的交叠部、第一电极 141 的第一延伸部 143 以及其间的绝缘材料层 (未示出) 构成第二存储电容器 StgC2。

[0047] 在根据本发明的阵列基板中, 将比基准电压大的高信号电压以脉冲外形 (profile) 施加到第一数据线 133a 中, 而将比基准电压小的低信号电压以脉冲外形施加到第二数据线 133b 中。第三电极 162 通过第一图案 160、第一接触孔 153、第一电极 141 以及第一薄膜晶体管 Tr1 而电连接至第一数据线 133a。第四电极 168 通过第二图案 165、第二接触孔 155、第二电极 147 以及第二薄膜晶体管 Tr2 而电连接至第二数据线 133b。因而, 由于脉冲外形的高信号电压与低信号电压而造成第三电极 162 与第四电极 168 的电压差。结果, 在第三电极 162 和第四电极 168 之间诱发水平电场。即使第一薄膜晶体管 Tr1 和第二薄膜晶体管 Tr2 呈截止状态, 由第一存储电容器 StgC1 与第二存储电容器 StgC2 仍保持了第三电极 162 与第四电极 168 的电压差, 直到第一薄膜晶体管 Tr1 和第二薄膜晶体管 Tr2 导通为止。

[0048] 与图 3 中相关技术阵列基板相比, 不存在与数据线相邻的公共电极。因而, 不需要对由于恒定电压的充电而造成的公共电压的差的进行额外补偿或调谐。结果, 可以降低生产成本并且可以简化制造工序。另外, 因为高信号电压和低信号电压具有脉冲外形, 所以可以防止因信号变化而造成的诸如闪烁现象或电压差的问题, 使得 IPS 模式 LCD 装置具有改进的图像质量。

[0049] 下面, 参照附图, 对图 4 中根据本发明第一实施方式的阵列基板的截面结构进行说明。

[0050] 图 5 是沿图 4 的 V-V 线截取的截面图, 图 6 是沿图 4 的 VI-VI 线截取的截面图, 图 7 是沿图 4 的 VII-VII 线截取的截面图。这里, 为便于说明, 限定了其中形成第一薄膜晶体管和第二薄膜晶体管的开关区 TrA 以及其中形成第一存储电容器的存储区 StgA。

[0051] 参照图 4、5、6 以及 7, 在基板 101 上形成均由第一金属材料制成的图 4 的选通线 105 以及第一栅极 108a 和第二栅极 108b。将第一栅极 108a 和第二栅极 108b 分别设置在开关区 TrA 中, 并且连接至相应的选通线。

[0052] 在选通线以及第一栅极 108a 和第二栅极 108b 上形成由无机绝缘材料制成的栅绝缘层 113。在栅绝缘层 113 上形成由第二金属材料制成的第一数据线 133a 和第二数据线

133b。第一数据线 133a 和第二数据线 133b 与选通线交叉而限定像素区 P。在开关区 TrA 中,在栅绝缘层 113 上形成包括第一有源层 120a 和第一欧姆接触层 123a 的第一半导体层 126a 以及包括第二有源层 120b 和第二欧姆接触层 123b 的第二半导体层 126b。第一半导体层 126a 和第二半导体层 126b 分别对应于第一栅极 108a 和第二栅极 108b。在第一半导体层 126a 上形成彼此间隔开的第一源极 136a 和第一漏极 139a。在第二半导体层 126b 上形成彼此间隔开的第二源极 136b 和第二漏极 139b。第一源极 136a 连接至第一数据线 133a,第二源极 136b 连接至第二数据线 133b。第一源极 136a、第一漏极 139a、第二源极 136b 以及第二漏极 139b 中的每一个都可以由与第一数据线 133a 以及第二数据线 133b 相同的材料形成。第一栅极 108a、栅绝缘层 113、第一半导体层 126a、第一源极 136a 以及第一漏极 139a 构成第一薄膜晶体管 Tr1。第二栅极 108b、栅绝缘层 113、第二半导体层 126b、第二源极 136b 以及第二漏极 139b 构成第二薄膜晶体管 Tr2。

[0053] 另外,在栅绝缘层 113 上形成与第一数据线 133a 平行且相邻的第一电极 141。第一电极 141 连接至第一漏极 139a,并且由与第一漏极 139a 相同的材料形成。第一电极 141 的一端连接至第一漏极 139a,并且图 4 的第一延伸部 143 从第一电极 141 的另一端延伸到其中形成有第二存储电容器 StgC2 的区域中。将第一电极 141 的第一延伸部 143 限定为图 4 的第二存储电容器 StgC2 的第一电容器电极。

[0054] 在栅绝缘层 113 上形成与第二数据线 133b 平行且相邻的第二电极 147。第二电极 147 连接至第二漏极 139b,并且由与第二漏极 139b 相同的材料形成。第二电极 147 的一端连接至第二漏极 139b,并且第二延伸部 145 从第二电极 147 的该一端延伸到其中形成有第一存储电容器 StgC1 的存储区 StgA 中。将第二电极 147 的第二延伸部 145 限定为第一存储电容器 StgC1 的第一电容器电极。

[0055] 在第一数据线 133a 和第二数据线 133b、第一电极 141 以及第二电极 147 中的每一个的下面形成具有由第一半导体图案 124 和第二半导体图案 121 制成的双层结构的半导体图案 127。第一半导体图案 124 由与欧姆接触层 123a 以及 123b 相同的材料形成,第二半导体图案 121 由与有源层 120a 以及 120b 相同的材料形成。根据阵列基板的制造方法可以在第一数据线 133a 和第二数据线 133b、第一电极 141 以及第二电极 147 中的每一个的下面形成半导体图案 127。根据另一制造工序可以省略半导体图案 127。

[0056] 在第一数据线 133a 和第二数据线 133b、第一薄膜晶体管 Tr1 和第二薄膜晶体管 Tr2、以及第一电极 141 和第二电极 147 上形成钝化层 150。钝化层 150 具有分别暴露出第一漏极 139a 的一部分和第二电极 147 的一部分的第一接触孔 153 和第二接触孔 155。钝化层 150 可以由无机绝缘材料和有机绝缘材料中的一种形成。

[0057] 在钝化层 150 上形成由第三金属材料制成的第一图案 160。第一图案 160 通过第一接触孔 153 与第一漏极 139a 接触,并且与第二电极 147 的第二延伸部 145 交叠。将第一图案 160 的交叠部限定为第一存储电容器 StgC1 的第二电容器电极。第二电极 147 的第二延伸部 145 作为第一电容器电极、第一图案 160 的交叠部作为第二电容器电极以及钝化层 150 作为绝缘材料层而构成第一存储电容器 StgC1。另外,该多个第三电极 162 从第一图案 160 延伸出并且彼此间隔开。在钝化层 150 上形成第二图案 165。第二图案 165 通过第二接触孔 155 与第二电极 147 接触,并且与第一电极 141 的图 4 的第一延伸部 143 交叠。第二图案 165 与第一图案 160 间隔开且平行。将第二图案 165 的交叠部限定为图 4 的第二存

储电容器 StgC2 的第二电容器电极。第一电极 141 的图 4 的第一延伸部 143 作为第一电容器电极、第二图案 165 的交叠部作为第二电容器电极以及钝化层 150 作为绝缘材料层而构成图 4 的第二存储电容器 StgC2。另外,该多个第四电极 168 从第二图案 165 延伸出并且彼此间隔开。第三电极 162 和第四电极 168 彼此交替排列。第二图案 165、第三电极 162 以及第四电极 168 可以由与第一图案 160 相同的材料形成。

[0058] 在上述根据本发明第一实施方式的阵列基板中,第一电极 141 与第一数据线 133a 形成在同一层并且由相同材料形成。另外,将第一电极 141 设置成与第一数据线 133a 相邻。此外,第二电极 147 与第二数据线 133b 形成在同一层处并且由相同材料形成。将第二电极 147 设置成与第二数据线 133b 相邻。为了防止第一数据线 133a 与第一电极 141 之间以及第二数据线 133b 与第二电极 147 之间的电短路问题,将第一电极 141 和第二电极 147 分别与第一数据线 133a 和第二数据线 133b 间隔开例如 $5\mu\text{m}$ 到 $7\mu\text{m}$ 的第一距离 d1。尽管图 4 的阵列基板与相关技术阵列基板相比具有改进的孔径比,但在孔径比方面仍存在局限性。

[0059] 下面,参照附图,对本发明第二实施方式进行描述。第二实施方式提出了与第一实施方式相比具有进一步改进的孔径比的 IPS 模式 LCD 装置用阵列基板。

[0060] 图 8 是示意性例示根据本发明第二实施方式的 IPS 模式 LCD 装置用阵列基板的一个像素区的平面图。

[0061] 在图 8 中,该阵列基板包括沿一方向形成在基板 201 上并且彼此间隔开的第一选通线 205a 和第二选通线 205b。第一数据线 233a 以及第二数据线 233b 与第一选通线 205a 以及第二选通线 205b 交叉而限定像素区 P 并且彼此间隔开。

[0062] 在像素区 P 中,在第二选通线 205b 和第一数据线 233a 的交叉部处形成薄膜晶体管 Tr。薄膜晶体管 Tr 连接至第二选通线 205b 和第一数据线 233a。在第二实施方式中,与第一实施方式不同的是,省略了在第二数据线 233b 和第二选通线 205b 的交叉部处的薄膜晶体管。因而,在根据本发明第二实施方式的 IPS 模式 LCD 装置用阵列基板中,在一个像素区 P 中形成一个薄膜晶体管 Tr。

[0063] 薄膜晶体管 Tr 包括:栅极 208、栅绝缘层(未示出)、包括由本征非晶硅制成的有源层(未示出)和由掺杂非晶硅制成的欧姆接触层(未示出)的半导体层(未示出),以及彼此间隔开的源极 236 和漏极 239。这里,薄膜晶体管 Tr 的源极 236 连接至第一数据线 233a。

[0064] 另外,第一延伸部 234 从第二数据线 233b 延伸到像素区 P 中。第一延伸部 234 与设置在像素区 P 的下区域中的第二选通线 205b 相邻并且平行于第二选通线 205b。第二延伸部 235 连接至第二数据线 233b,并且与设置在像素区 P 的上区域中的第一选通线 205a 相邻。

[0065] 在像素区 P 中,第一图案 260 通过第一接触孔 253 连接至薄膜晶体管 Tr 的漏极 239 并且与第一延伸部 234 交叠。多个第一电极 262 从第一图案 260 延伸出来。这些第一电极 262 平行于第一数据线 233a 和第二数据线 233b,并且彼此间隔开。第一延伸部 234 和第二图案 260 与其间的绝缘材料层构成存储电容器 StgC。这些第一电极 262 中的左外侧的一个与第一数据线 233a 相邻。

[0066] 而且,在像素区 P 中,第二图案 265 通过第二接触孔 255 连接至第二延伸部 235。

第二图案 265 与第一选通线 205a 相邻且平行。多个第二电极 268 从第二图案 265 延伸出来。这些第二电极 268 与第一电极 262 平行并且交替地排列。这里,第二数据线 233b 充当右外侧第二电极。因此,可以使孔径比最大化。

[0067] 同时,在图 8 的第二实施方式中,即使薄膜晶体管 Tr 连接至第一数据线 233a 和第二选通线 205b,并且设置在像素区 P 的左下区域中,该薄膜晶体管 Tr 也可以连接至第一数据线 233a 和第一选通线 205a 并且可以设置在像素区 P 的左上区域中。这时,存储电容器 StgC 可以与第一选通线 205a 相邻。

[0068] 第二实施方式与第一实施方式的不同之处在于,存储电容器 StgC 与薄膜晶体管 Tr 相邻,这些第一电极 262 中的左外侧的一个连接至薄膜晶体管 Tr 的漏极 239 并且与第一数据线 233a 相邻,并且第二数据线 233b 充当右外侧第二电极。这里,第一电极 262 和第二电极 268 彼此交替排列并且其间距为第一距离 d1。第二数据线 233b 与相邻于该第二数据线 233b 的第一电极 262 之间的距离等于第一距离 d1。

[0069] 由于根据第二实施方式的阵列基板不包括第一实施方式中图 4 的第二存储电容器 StgC2,所以不需要在钝化层(未示出)之上和之下形成金属材料层来形成图 4 的第二存储电容器 StgC2。即,不要求左外侧第一电极 262 与第一数据线 233a 以及第二数据线 233b 形成在同一层上并且由与第一数据线 233a 以及第二数据线 233b 相同的材料形成。因而,第一电极 262 和第二电极 268 可以与第一数据线 233a 以及第二数据线 233b 形成在不同的层上。第一电极 262 和第二电极 268 可以由相同材料形成。这里,由于左外侧第一电极 262 与第一数据线 233a 形成在不同的层上,并且在左外侧第一电极 262 与第一数据线 233a 之间不会发生电短路,所以左外侧第一电极 262 与第一数据线 233a 之间的距离 d2 可以小于 $5\mu\text{m}$,而在左外侧第一电极 262 和第一数据线 233a 彼此不交叠的范围内。因此,增大了像素区 P 的孔径面积。

[0070] 而且,因为第二数据线 233b 充当外侧第二电极并且可以省略图 4 的第二电极 147,所以进一步改进了孔径比。

[0071] 而且,与第一实施方式相比,省略了一个薄膜晶体管,由此,进一步改进了孔径比。

[0072] 图 9 和图 10 是示意性例示根据本发明第二实施方式的 IPS 模式 LCD 装置用其它阵列基板的一个像素区的平面图。图 9 和图 10 的阵列基板具有与图 8 的阵列基板相似的结构。在图 9 和图 10 中,与图 8 相同的部分可以具有相同的标号,并且可以省略对与图 8 相同的部分的说明。

[0073] 在图 9 中,省略了第二数据线 233b 的图 8 的第二延伸部 235,而延伸部 234 从第二数据线 233b 延伸出。这时,延伸部 234 与第一图案 260 交叠,由此形成存储电容器 StgC,其中第一图案 260 通过第一接触孔 253 连接至薄膜晶体管 Tr 的漏极 239。

[0074] 在延伸部 234 上方形成第二接触孔 256。与第一电极 262 位于同一层上并且由与第一电极 262 相同的材料制成的第二电极 268 从第二图案 265 延伸出来。与第二电极 268 位于同一层上并且由与第二电极 268 相同的材料制成的另一第二电极 264 也从第二图案 265 延伸出并且与第二数据线 233b 部分地交叠。可以将该另一第二电极 264 限定为右外侧第二电极。右外侧第二电极 264 的一端连接至第二图案 265,而右外侧第二电极 264 的另一端通过第二接触孔 256 连接至延伸部 234。因而,第二电极 268 和 264 电连接至第二数据线 233b。

[0075] 在图 9 的结构中,更加有利的是,彼此交替的第一电极 262 以及第二电极 268 和 264 中相邻两个之间的距离 d_1 是均匀的。在分别施加有不同信号的第一电极 262 以及第二电极 268 和 264 中的相邻两个之间诱发水平电场。

[0076] 更具体地说,第一电极 262 以及第二电极 268 和 264 通过同一工序形成。不存在由于当形成第一电极 262 以及第二电极 268 和 264 时的构图裕度 (patterning margin) 而造成的不同距离的问题。另外,第一电极 262 以及第二电极 268 和 264 形成在同一层上并且由相同材料形成,并且在第一电极 262 以及第二电极 268 和 264 之间诱发的水平电场是均匀的。

[0077] 在图 10 中,另一第二电极 266 也从第二图案 265 延伸出并且设置在第一数据线 233a 与这些第一电极 262 中的左外侧的一个之间。可以将该另一第二电极 266 限定为左外侧第二电极。即,该右外侧第二电极 264 沿与第一数据线 233a 和第二数据线 233b 平行的方向从第二图案 265 的一端延伸,而该左外侧第二电极 266 沿与第一数据线 233a 和第二数据线 233b 平行的方向从第二图案 265 的另一端延伸。第一电极 262 与第二电极 268、264 以及 266 之间的距离 d_1 相同。该右外侧第二电极 264 与第二数据线 233b 相邻,该左外侧第二电极 266 与第一数据线 233a 相邻。如上所述,该右外侧第二电极 264 与第二数据线 233b 部分地交叠。该左外侧第二电极 266 与第一数据线 233a 间隔开小于 $5\mu\text{m}$ 的距离,而处于使得左外侧第二电极 266 与第一数据线 233a 不交叠的范围内。

[0078] 下面,参照附图,对根据本发明第二实施方式的阵列基板的截面结构进行说明。

[0079] 图 11 是沿图 8 的 XI-XI 线截取的截面图,图 12 是沿图 8 的 XII-XII 线截取的截面图,图 13 是沿图 8 的 XIII-XIII 线截取的截面图。这里,为便于说明,限定了其中形成有薄膜晶体管的开关区 TrA 以及其中形成有第一电容器的存储区 StgA。

[0080] 参照图 8、11、12 以及 13,在基板 201 上形成由第一金属材料制成的第一选通线 205a 和第二选通线 205b。栅极 208 设置在开关区 TrA 中并且连接至第二选通线 205b。在第一选通线 205a 和第二选通线 205b 以及栅极 208 上形成栅绝缘层 213。可以在包括第一选通线 205a 和第二选通线 205b 的基板 210 的大致整个表面上形成由绝缘材料制成的栅绝缘层 213。

[0081] 在栅绝缘层 213 上形成由第二金属材料制成的第一数据线 233a 和第二数据线 233b。第一数据线 233a 以及第二数据线 233b 与第一选通线 205a 以及第二选通线 205b 交叉,以限定像素区 P。第一延伸部 234 和第二延伸部 235 从第二数据线 233b 延伸到像素区 P 中。第一延伸部 234 与第二选通线 205b 间隔开且平行。第一延伸部 234 延伸到存储区 StgA 中并且充当存储电容器 StgC 的第一电容器电极。

[0082] 在开关区 TrA 中,在栅绝缘层 213 上形成包括有源层 220 和欧姆接触层 223 的半导体层 226。半导体层 226 对应于栅极 208。欧姆接触层 223 包括彼此间隔开的两个部分。在半导体层 226 上形成彼此间隔开的源极 236 和漏极 239。源极 236 连接至第一数据线 233a。源极 236 和漏极 239 可以由与第一数据线 233a 以及第二数据线 233b 相同的材料形成。栅极 208、栅绝缘层 213、半导体层 226、源极 236 以及漏极 239 构成薄膜晶体管 Tr。

[0083] 在第一数据线 233a 和第二数据线 233b、第一延伸部 234 和第二延伸部 235 中的每一个的下面形成具有由第一半导体图案 224 和第二半导体图案 221 制成的双层结构的半导体图案 227。第一半导体图案 224 由与欧姆接触层 223 相同的材料形成,第二半导体图案

221 由与有源层 220 相同的材料形成。半导体图案 227 可以根据阵列基板的制造方法形成在第一数据线 233a 和第二数据线 233b、第一延伸部 234 以及第二延伸部 235 中的每一个的下面。根据另一制造工序可以省略半导体图案 227。

[0084] 在第一数据线 233a 和第二数据线 233b、薄膜晶体管 Tr 以及第一延伸部 234 和第二延伸部 235 上形成钝化层 250。钝化层 250 具有分别暴露出漏极 239 的一部分和第二延伸部 235 的一部分的第一接触孔 253 和第二接触孔 255。钝化层 250 可以由无机绝缘材料和有机绝缘材料中的一种形成。

[0085] 接下来,在具有第一接触孔 253 和第二接触孔 255 的钝化层 250 上形成由第三金属材料制成的第一图案 260。第一图案 260 通过第一接触孔 253 与漏极 239 接触并且与第一延伸部 234 交叠,以形成存储电容器 StgC。该多个第一电极 262 从第一图案 260 延伸出并且彼此间隔开。在钝化层 250 上形成第二图案 265。第二图案 265 通过第二接触孔 255 与第二延伸部 235 接触。第二图案 265 可以与第一电极 262 形成在同一层上并且由与第一电极 262 相同的材料形成。第二图案 265 与第一选通线 205a 分隔开且平行。该多个第二电极 268 从第二图案 265 延伸出并且彼此间隔开。第一电极 262 和第二电极 268 彼此交替排列。这些第一电极 262 中的左外侧的一个与第一数据线 233a 相邻并且设置在第一数据线 233a 与这些第二电极 268 中的左外侧的一个之间。这些第一电极 262 中的右外侧的一个与第二数据线 233b 相邻,并且第二数据线 233b 充当右外侧第二电极。第一电极 262 与第二电极 268 以及第二数据线 233b 以其间的距离 d1 交替排列。

[0086] 在上述结构中,第二数据线 233b 充当右外侧第二电极,并且与第一数据线 233a 相邻的左外侧第一电极 262 形成在不与第一数据线 233a 位于同一层的钝化层 250 上。在这种情况下,不要求例如 $5\mu\text{m}$ 到 $7\mu\text{m}$ 的构图裕度来防止第一数据线 233a 与左外侧第一电极 262 之间的电短路。左外侧第一电极 262 可以与第一数据线 233a 间隔开例如小于 $5\mu\text{m}$ 的距离 d2,而处于使得左外侧第一电极 262 与第一数据线 233a 不交叠的范围内。而且,由于在像素区 P 中存在一个薄膜晶体管 Tr,所以与第一实施方式相比,根据第二实施方式的阵列基板具有增大的孔径比。

[0087] 图 14 是沿图 9 的 XIV-XIV 线截取的截面图,图 15 是沿图 9 的 XV-XV 线截取的截面图。图 9 的阵列基板在开关区中具有和图 8 的开关区中相同的截面结构,从而省略了开关区中的结构的图。

[0088] 参照图 9、14 以及 15,与图 8、11、12 以及 13 的结构相比,在钝化层 250 上还形成与第二数据线 233b 部分地交叠的右外侧第二电极 264。另外,仅延伸部 234 从第二数据线 233b 延伸出来。延伸部 234 与第二选通线 205b 相邻且平行。在延伸部 234 上形成第二接触孔 256。

[0089] 更具体地说,右外侧第二电极 264 由与第一电极 262 以及第二电极 268 相同的材料形成在钝化层 250 上并且与第二数据线 233b 部分地交叠。因而,与其中第二数据线 233b 充当右外侧第二电极的图 8、11、12 以及 13 的结构相比,使得相邻第一电极 262 与第二电极 268 之间的距离 d1 以及右外侧第二电极 264 和与其相邻的第一电极 262 之间的距离 d1 这两个距离的差最小化。

[0090] 图 16 是沿图 10 的 XVI-XVI 线截取的截面图。图 10 的阵列基板在开关区和存储区中的截面结构与图 8 相同,从而省略了开关区和存储区中的结构的图。

[0091] 参照图 10 和 16,钝化层 250 下面的部件与图 14 和 15 中的相同。在钝化层 250 上形成左外侧第二电极 266 和右外侧第二电极 264。左外侧第二电极 266 连接至第二图案 265 并且与第一数据线 233a 间隔开小于 $5\mu\text{m}$ 的距离。右外侧第二电极 264 连接至第二图案 265 并且与第二数据线 233b 交叠。

[0092] 另外,在钝化层 250 上形成该多个第一电极 262 和该多个第二电极 268。该多个第二电极 268 从第二图案 265 延伸出并且在左外侧第二电极 266 与右外侧第二电极 264 之间彼此间隔开。该多个第一电极 262 从第一图案 260 延伸出,并且与位于左外侧第二电极 266 以及右外侧第二电极 264 之间的该多个第二电极 268 交替,其中第一图案 260 通过第一接触孔 253 连接至薄膜晶体管 Tr 的漏极 239。

[0093] 下面,将参照图 8、11、12 以及 13 对根据本发明第二实施方式的 IPS 模式 LCD 制造用阵列基板的制造方法进行说明。

[0094] 首先,通过淀积第一金属材料并随后通过掩模工序进行构图而在基板 201 上形成第一选通线 205a 和第二选通线 205b 以及栅极 208,该掩模工序包括以下步骤:形成光刻胶层、曝光该光刻胶层、显影被曝光的光刻胶层以形成光刻胶图案,以及刻蚀通过光刻胶图案暴露出的第一金属材料。第一选通线 205a 和第二选通线 205b 沿第一方向延伸并且彼此间隔开。栅极 208 设置在开关区 TrA 中并且连接至第二选通线 205b。分别将第一选通线 205a 和第二选通线 205b 相对于像素区 P 而限定为上选通线和下选通线。因此,第一选通线 205a 可以是另一像素区中的第二选通线。

[0095] 接下来,通过淀积无机绝缘材料(例如,二氧化硅(SiO_2)或氮化硅(SiN_x))而在第一选通线 205a 和第二选通线 205b 以及栅极 208 上形成栅绝缘层 213。可以将栅绝缘层 213 形成在包括第一选通线 205a 和第二选通线 205b 以及栅极 208 的基板 201 的大致整个表面上。

[0096] 在栅绝缘层 213 上顺序地形成本征非晶硅层(未示出)、掺杂非晶硅层(未示出)以及第二金属材料层(未示出)并随后进行构图,由此形成由非晶硅制成的有源层 220、由掺杂非晶硅制成的欧姆接触层 223,以及源极 236 和漏极 239。有源层 220 对应于像素区 P 中的栅极 208。欧姆接触层 223 设置在有源层 220 上方并且包括彼此间隔开的两个部分。源极 236 和漏极 239 设置在欧姆接触层 223 上方并且彼此间隔开。利用具有衍射图案或半色调图案的掩模通过一个掩模工序对本征非晶硅层、掺杂非晶硅层以及第二金属材料层进行构图。可以通过两个掩模工序分别对本征非晶硅层、掺杂非晶硅层以及第二金属材料层进行构图。

[0097] 第一数据线 233a 和第二数据线 233b 与源极 236 和漏极 239 同时形成。第一数据线 233a 以及第二数据线 233b 与第一选通线 205a 以及第二选通线 205b 交叉而限定像素区 P。源极 236 连接至第一数据线 233a。另外,从第二数据线 233b 延伸出的第一延伸部 234 形成在存储区 StgA 中。第一延伸部 234 与第二选通线 205b 平行且相邻。从第二数据线 233b 延伸出的第二延伸部 235 被形成为与第一选通线 205a 相邻且平行。在图 9 和 10 中的第二实施方式的其它阵列基板中,可以省略第二延伸部。

[0098] 因为半导体层 226、第一数据线 233a 和第二数据线 233b、源极 236 以及漏极 239 是通过一个掩模工序形成,所以在第一数据线 233a 和第二数据线 233b 以及第一延伸部 234 和第二延伸部 235 中的每一个的下面形成有半导体图案 227。半导体图案 227 具有掺杂非

晶硅图案 224 和本征非晶硅图案 221 的双层结构。另一方面,根据两个掩模工序,将包括有源层 220 和欧姆接触层 223 的呈岛状的半导体层 226 形成为对应于栅极 208,并且在第一数据线 233a 和第二数据线 233b 以及第一延伸部 234 和第二延伸部 235 下面可以没有半导体图案。

[0099] 开关区 TrA 中的栅极 208、栅绝缘层 213、有源层 220、欧姆接触层 223、源极 236 以及漏极 239 构成薄膜晶体管 Tr。

[0100] 在第一数据线 233a 和第二数据线 233b、第一延伸部 234 和第二延伸部 235 以及薄膜晶体管 Tr 上通过淀积诸如二氧化硅 (SiO_2) 或氮化硅 (SiN_x) 的无机绝缘材料而形成钝化层 250。接着,通过掩模工序对钝化层 250 进行构图,以形成暴露出漏极 239 的第一接触孔 253 和暴露出第二延伸部 235 的第二接触孔 255。同时,在图 9 和图 10 中,第二接触孔 256 暴露出第一延伸部 234。

[0101] 接下来,在具有第一接触孔 253 和第二接触孔 255 的钝化层上通过淀积第三金属材料(例如,诸如铟锡氧化物(ITO)或铟锌氧化物(IZO)的透明导电材料)并随后通过掩模工序对第三金属材料进行构图而形成第一图案 260、该多个第一电极 262、第二图案 265 以及该多个第二电极 268。第一图案 260 通过第一接触孔 253 连接至漏极 239。第一图案 260 延伸到存储区 StgA 中以与第一延伸部 234 交叠并且充当存储电容器 StgC 的第二电极。该多个第一电极 262 从第一图案 260 延伸出并且彼此间隔开。将与第一数据线 233a 相邻的第一电极 262 限定为左外侧第一电极。第二图案 265 通过第二接触孔 255 连接至第二延伸部 235 并且与第一选通线 205a 平行且间隔开。该多个第二电极 268 从第二图案 265 延伸出并且与该多个第一电极 262 交替。同时,在图 9 和图 10 中,还形成右外侧第二电极 264 并通过第二接触孔 256 连接至第二图案 265 和延伸部 234。右外侧第二电极 264 与第二数据线 233b 部分地交叠。而且,在图 10 中,还形成左外侧第二电极 266 并连接至第二图案 265 的端部。左外侧第二电极 266 与第一数据线 233a 相邻,并且与第一数据线 233a 间隔开小于 $5\mu\text{m}$ 的距离。

[0102] 这样,完成了根据本发明的 IPS 模式 LCD 装置用阵列基板。

[0103] 在根据本发明的 IPS 模式 LCD 装置用阵列基板中,在没有公共线和公共电极的情况下,在第一电极与第二电极之间诱发水平电场,其中,第一电极连接至与第一数据线相接触的薄膜晶体管,第二电极连接至第二数据线。因此,不要求对由于恒定电压的充电而造成的公共电压的差进行额外补偿或调谐,从而可以降低生产成本。而且,和具有与数据线相邻且间隔开的外公共电极的相关技术相比,改进了孔径比。

[0104] 另外,由于高信号电压和低信号电压具有脉冲形图案,所以可以防止诸如闪烁现象的问题,使得 IPS 模式 LCD 装置具有改进的图像质量。

[0105] 而且,由于第一电极和第二电极形成在与第一数据线和第二数据线不同的层上,所以第一数据线或第二数据线与相邻于该第一数据线和第二数据线的第二电极或第一电极之间的距离小于 $5\mu\text{m}$,并且第一电极或第二电极与第一数据线或第二数据线部分地交叠,由此进一步增大了孔径比。

[0106] 而且,因为在像素区中形成有一个薄膜晶体管并且第一数据线或第二数据线充当外电极,所以进一步改进了孔径比。

[0107] 第二电极电连接至数据线,因此可以防止施加至数据线的信号电压的下降。

因而,不存在比使得薄膜晶体管截止的选通信号低的电压,并且被改进为均匀地维持像素区中的信号电压,直到施加下一个信号电压为止。

[0108] 另外,在通过薄膜晶体管和数据线对存储电容器进行充电的情况下,改进了充电能力。

[0109] 对本领域技术人员来说显而易见的是,在不脱离本发明的精神或范围的情况下,可以对本发明做出各种修改和变型。因而,本发明旨在涵盖落入所附权利要求及其等同物的范围内的对本发明的修改和变型。

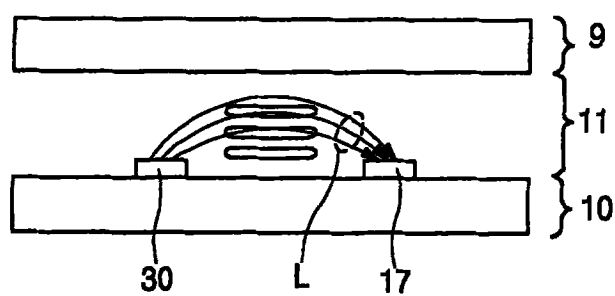


图 1

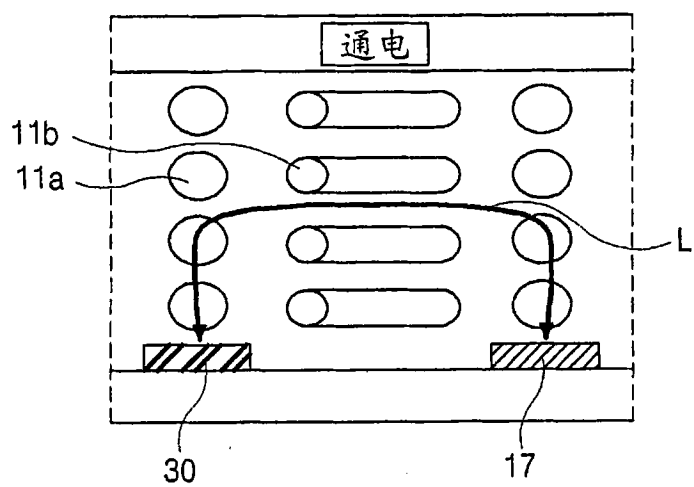


图 2A

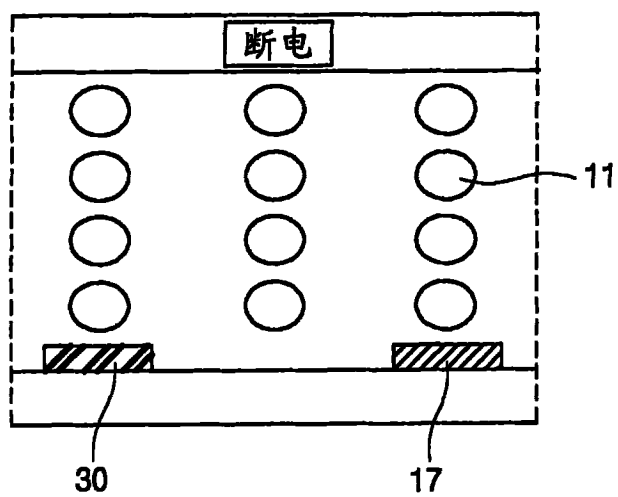


图 2B

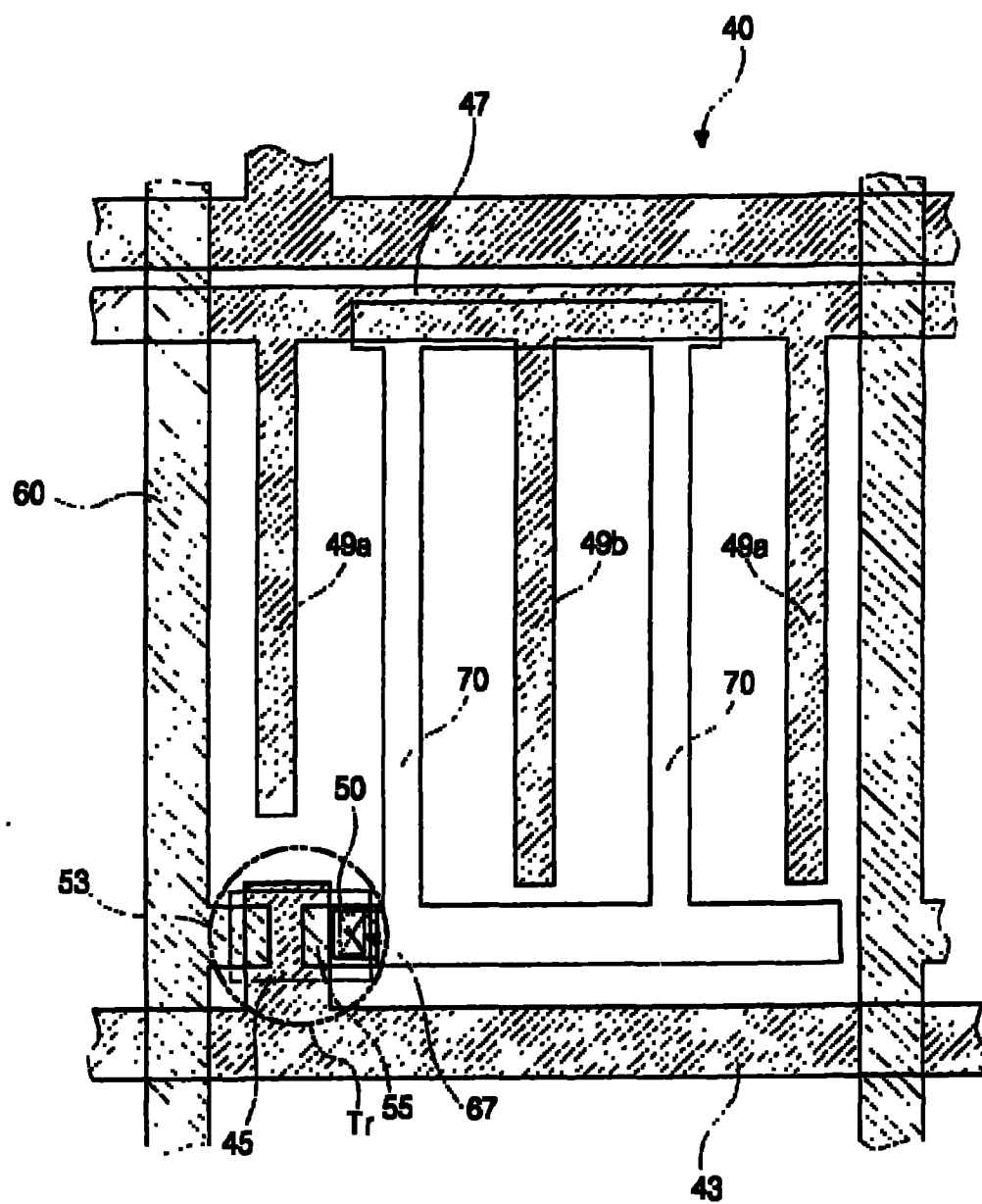


图 3

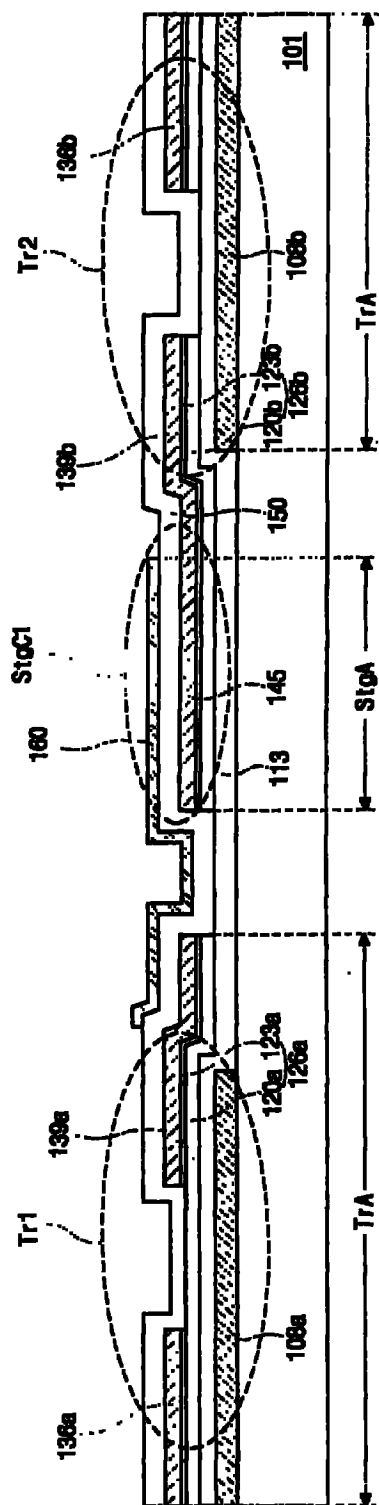


图 5

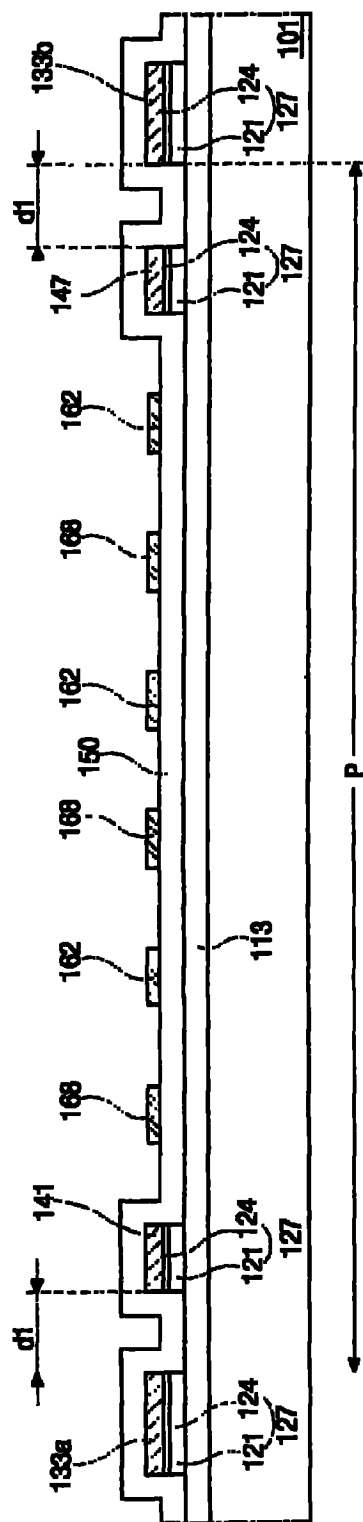


图 6

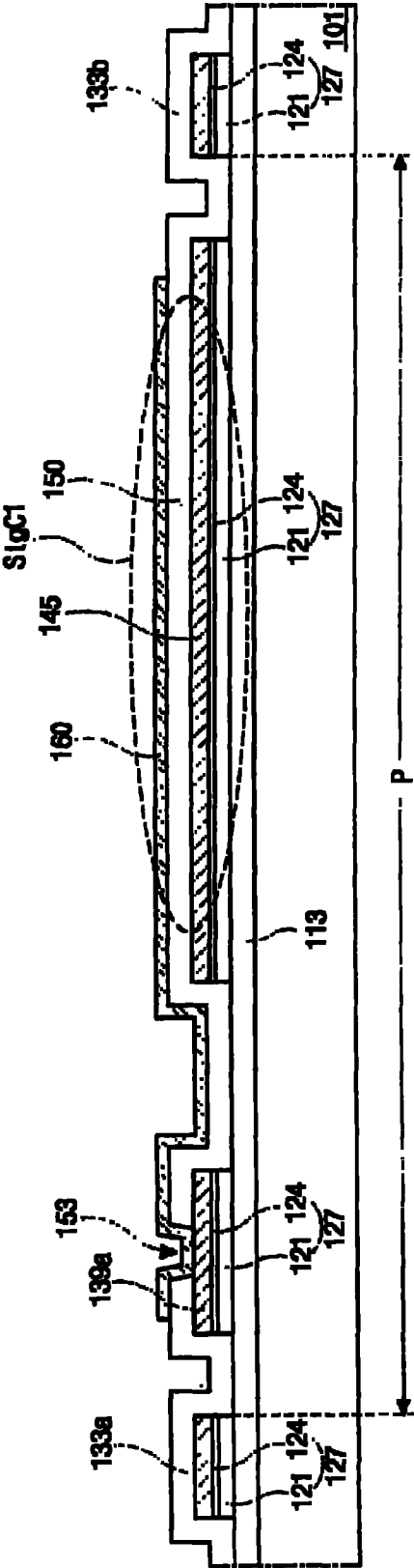


图7

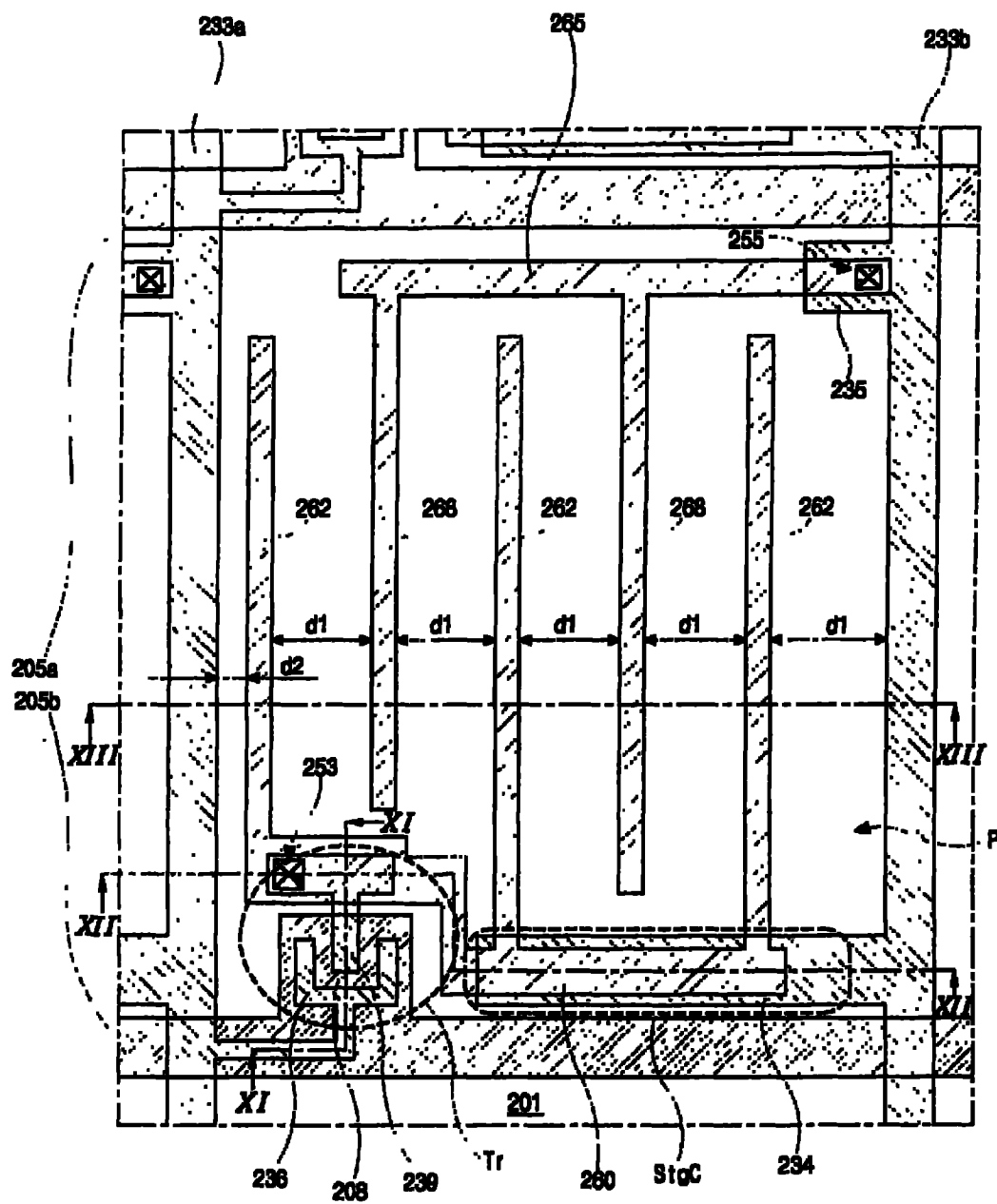


图 8

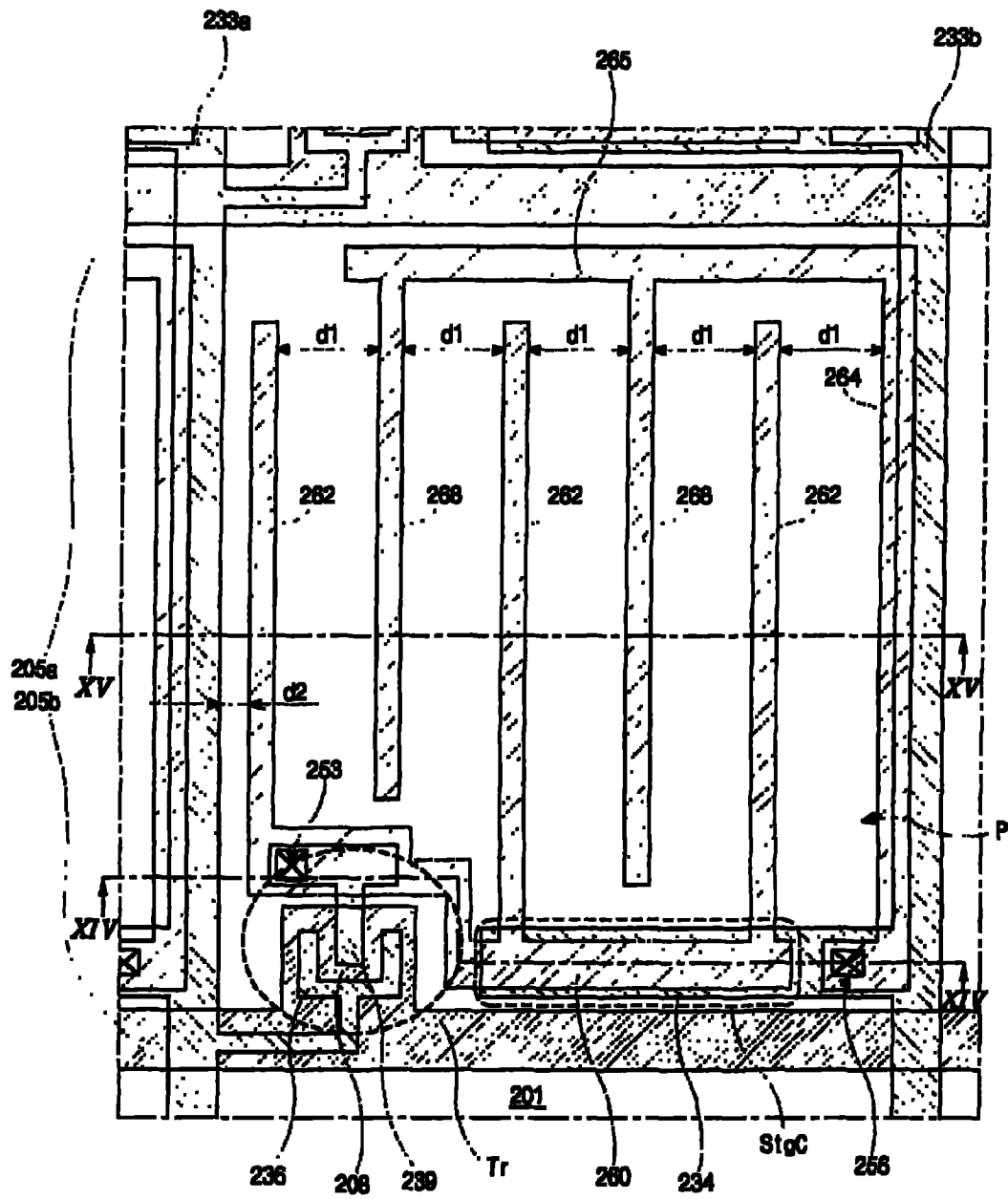


图 9

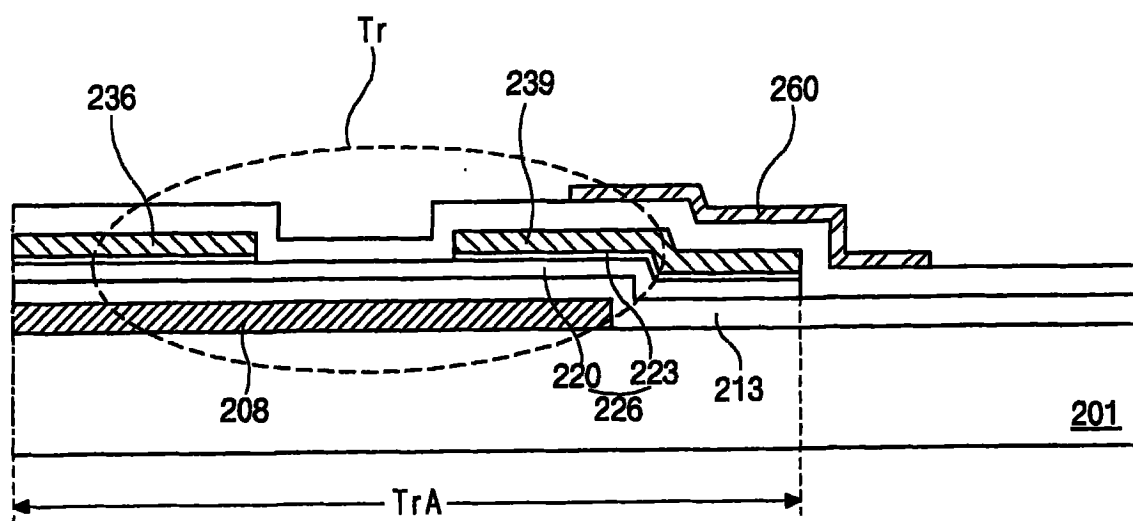


图 11

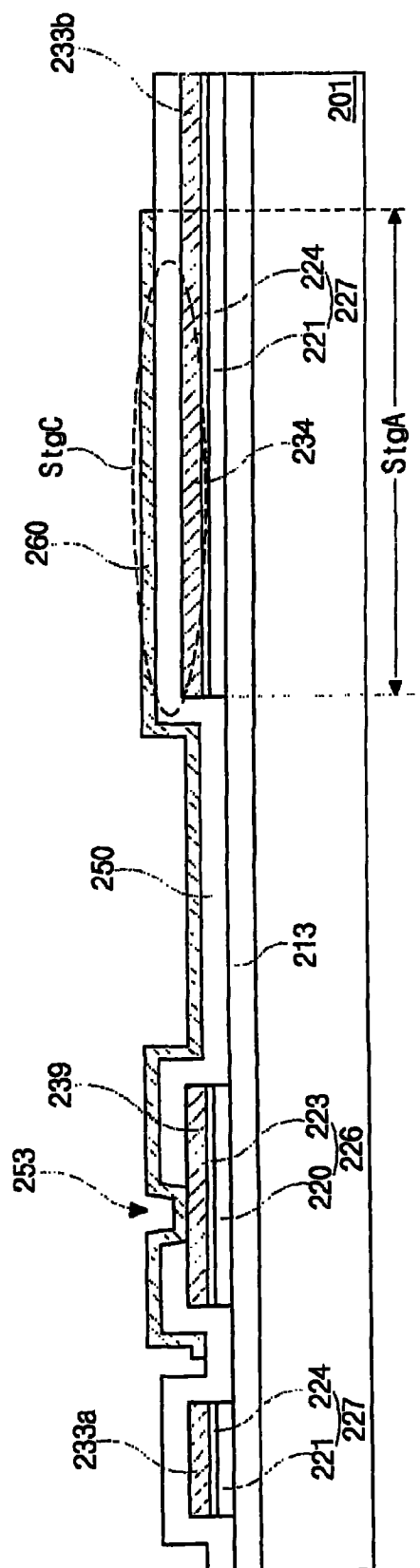


图12

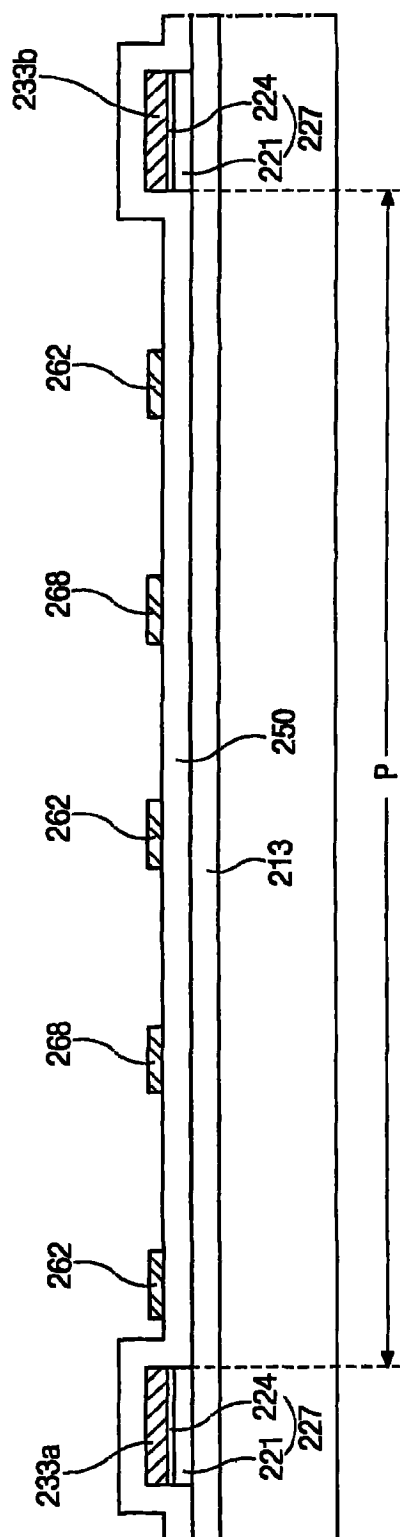


图13

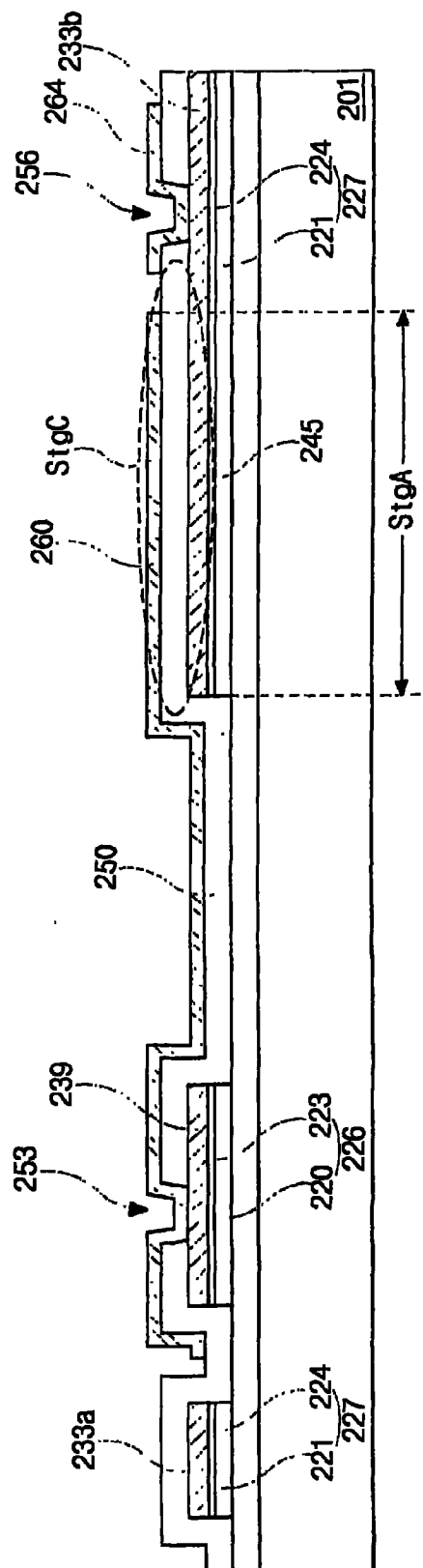


图14

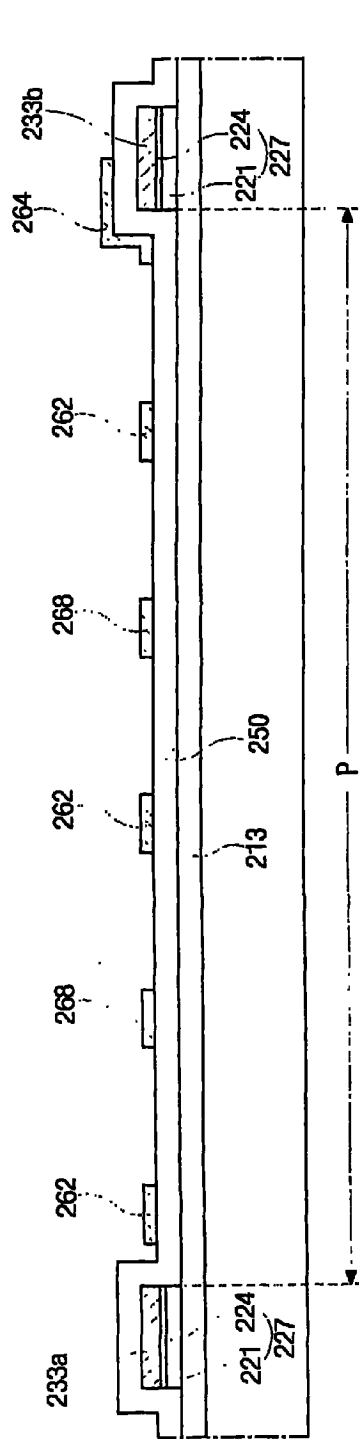


图15

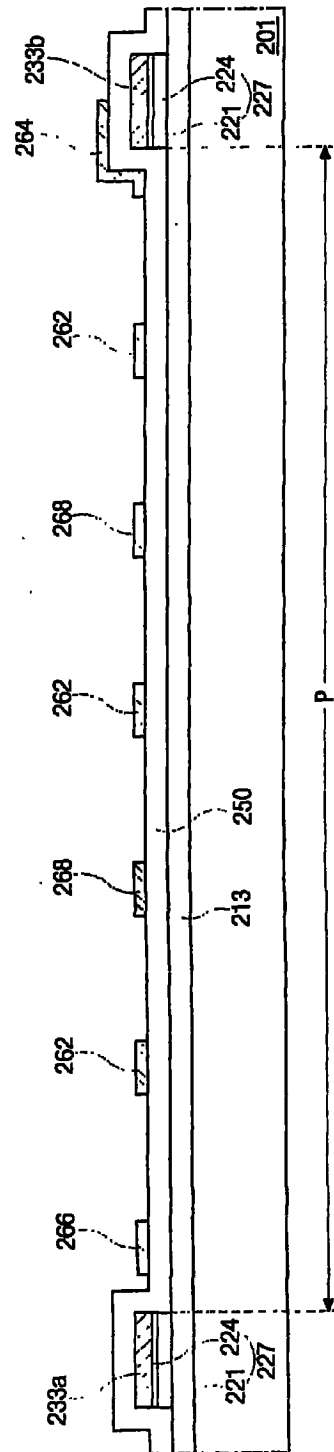


图16

专利名称(译)	共面转换模式液晶显示装置用阵列基板及其制造方法		
公开(公告)号	CN101604100B	公开(公告)日	2011-03-16
申请号	CN200810184685.4	申请日	2008-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	郑英啟 李树雄		
发明人	郑英啟 李树雄		
IPC分类号	G02F1/1343 G02F1/1362 H01L27/12 H01L21/84		
CPC分类号	G02F2201/122 G02F1/134363 G02F2201/40		
审查员(译)	朱艳艳		
优先权	1020080055902 2008-06-13 KR		
其他公开文献	CN101604100A		
外部链接	Espacenet SIPO		

摘要(译)

一种共面转换模式液晶显示装置用阵列基板包括：基板上的选通线；选通线上的栅绝缘层；栅绝缘层上与选通线交叉而限定像素区的第一和第二数据线；栅绝缘层上从第二数据线延伸的第一延伸部；连接至选通线和第一数据线的薄膜晶体管；第一和第二数据线及薄膜晶体管上具有第一接触孔的钝化层；钝化层上的像素区中的第一图案；从第一图案延伸且平行于第一和第二数据线的多个第一电极；钝化层上的像素区中平行于选通线的第二图案；以及从第二图案延伸且以第一距离与多个第一电极交替的多个第二电极。一个第一电极与第二数据线间隔开的距离等于或大于第一距离且小于两倍第一距离，另一个第一电极或一个第二电极与第一数据线间隔开比第一距离窄的第二距离。

