



(12) 发明专利

(10) 授权公告号 CN 101504503 B

(45) 授权公告日 2011. 01. 05

(21) 申请号 200910129969. 8

(22) 申请日 2009. 04. 10

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 丁天伦 陈介伟 王自豪 邱钟毅

徐文浩 苏振嘉

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

代理人 任默闻

(51) Int. Cl.

G02F 1/1362 (2006. 01)

H01L 23/528 (2006. 01)

G02F 1/1333 (2006. 01)

审查员 钟宇

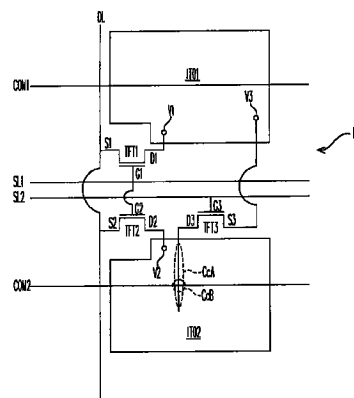
权利要求书 2 页 说明书 7 页 附图 13 页

(54) 发明名称

像素阵列、液晶显示面板以及光电装置

(57) 摘要

本发明提供一种像素阵列、液晶显示面板以及光电装置。所述像素阵列，其包括多条第一扫描线、多条第二扫描线、多条数据线以及多个子像素。各个子像素包括第一开关元件、第二开关元件、第一像素电极、第二像素电极、第三开关元件以及多条彼此连接的共通线，其中第一开关元件与第二开关元件与同一条第一扫描线以及同一条数据线电连接，第一像素电极与第一开关元件电连接，第二像素电极与第二开关元件电连接，第一扫描线位于第一像素电极与第二像素电极之间，且共通线分布于第一像素电极以及第二像素电极下方。此外，第三开关元件与第二扫描线以及第一像素电极电连接，第三开关元件具有一电性浮置端。



1. 一种像素阵列,其特征在于,所述像素阵列包括:
多条第一扫描线;
多条第二扫描线,其中各所述第二扫描线分别位置二相邻的第一扫描线之间;
多条数据线,所述这些数据线实质上交错于所述这些第一扫描线及所述这些第二扫描线;
多个子像素,分别与所述的第一扫描线和第二扫描线一一对应,各所述子像素与其中一条第一扫描线、其中一条第二扫描线以及其中一条数据线电连接,且各所述子像素包括:
一第一开关元件;
一第二开关元件,其中所述第一开关元件与所述第二开关元件与同一条第一扫描线以及同一条数据线电连接;
一第一像素电极,与所述第一开关元件电连接;
一第二像素电极,与所述第二开关元件电连接,其中所述第一扫描线位于所述第一像素电极与所述第二像素电极之间;
多条彼此连接的共通线,分布于所述第一像素电极以及所述第二像素电极下方;
一第三开关元件,与所述第二扫描线以及所述第一像素电极电连接,其中所述第三开关元件具有一电性浮置端,所述电性浮置端与所述第二像素电极耦合为第一电容,且所述电性浮置端与所述第二像素电极下方的所述共通线耦合为一第二电容。
2. 如权利要求1所述的像素阵列,其特征在于,所述这些第一扫描线的延伸方向实质上平行于所述这些第二扫描线的延伸方向。
3. 如权利要求1所述的像素阵列,其特征在于,所述这些子像素排列成多列,且排列于同一列的子像素与同一条第一扫描线以及同一条第二扫描线电连接。
4. 如权利要求3所述的像素阵列,其特征在于,与同一列子像素电连接的第一扫描线与第二扫描线彼此电性绝缘。
5. 如权利要求1所述的像素阵列,其特征在于,所述这些子像素排列成多列,与第n列子像素电连接的第二扫描线以及与第n+1列子像素电连接的第一扫描线是彼此电连接,其中n为正整数。
6. 如权利要求1所述的像素阵列,其特征在于,各所述第二扫描线位于所述第一像素电极与所述第二像素电极之间。
7. 如权利要求1所述的像素阵列,其特征在于,所述第二像素电极位于所述第一扫描线与所述第二扫描线之间。
8. 如权利要求1所述的像素阵列,其特征在于,各所述第一开关元件为一第一薄膜晶体管,而所述第一薄膜晶体管具有一与其中一条第一扫描线电连接的第一栅极、一与其中一条数据线电连接的第一源极以及一与所述第一像素电极电连接的第一漏极。
9. 如权利要求1所述的像素阵列,其特征在于,各所述第二开关元件为一第二薄膜晶体管,而所述第二薄膜晶体管具有一与其中一条第一扫描线电连接的第二栅极、一与其中一条数据线电连接的第二源极以及一与所述第二像素电极电连接的第二漏极。
10. 如权利要求1所述的像素阵列,其特征在于,各所述第三开关元件为一第三薄膜晶体管,而所述第三薄膜晶体管具有一与其中一条第二扫描线电连接的第三栅极、一与所述

第一像素电极电连接的第三源极以及所述电性浮置端。

11. 如权利要求 10 所述的像素阵列,其特征在于,所述第三源极与所述第一像素电极直接连接。

12. 如权利要求 10 所述的像素阵列,其中所述第三源极与所述第一漏极直接连接,且所述第三源极通过所述第一漏极与所述第一像素电极电连接。

13. 如权利要求 1 所述的像素阵列,其特征在于,所述电性浮置端位于所述第二像素电极下方。

14. 如权利要求 1 所述的像素阵列,其特征在于,位于相同子像素中的所述第一扫描线的线宽实质上大于与所述第二扫描线的线宽。

15. 一种聚合物稳定配向液晶显示面板,其特征在于,所述面板包括:

一第一基板,具有如权利要求 1 所述的像素阵列;

一第二基板,配置于所述第一基板上方;

两聚合物稳定配向层,分别配置于所述第一基板与所述第二基板上;以及

一液晶层,配置于所述这些聚合物稳定配向层之间。

16. 一种光电装置,其特征在于,所述光电装置包括权利要求 1 所述的像素阵列。

像素阵列、液晶显示面板以及光电装置

技术领域

[0001] 本发明是有关于一种像素阵列,且特别是有关于一种具有良好显示品质的像素阵列、液晶显示面板以及光电装置。

[0002] 背景技术

[0003] 随着液晶显示器不断地朝向大尺寸的显示规格发展,为了克服大尺寸显示下的视角问题,液晶显示面板的广视角技术也必须不停地进步与突破。其中,多域垂直配向式 (Multi-domain Vertical Alignment, MVA) 液晶显示面板以及高级型多域垂直配向式 (Advanced MVA, AMVA) 液晶显示面板即为现行常见的广视角技术。由于高级型多域垂直配向式 (AMVA) 液晶显示面板能够有效改善多域垂直配向式 (MVA) 液晶显示面板中的色偏问题 (color washout),因此,与多域垂直配向式 (MVA) 液晶显示面板相较,高级型多域垂直配向式 (AMVA) 液晶显示面板能够提供较佳的显示品质。

[0004] 图 1 为一种像素阵列的等效电路图,而图 2 为图 1 中单一子像素的示意图。请参照图 1 与图 2,像素阵列 200 包括多个子像素 P2,且各个子像素 P2 包括一第一薄膜晶体管 TFT1、一第二薄膜晶体管 TFT2、一第三薄膜晶体管 TFT3、与第一薄膜晶体管 TFT1 电连接的第一像素电极 IT01 以及与第二薄膜晶体管 TFT2 电连接的第二像素电极 IT02。第一像素电极 IT01 会与薄膜晶体管阵列基板上的共通线 COM1 耦合而形成一第一储存电容 Cs1,且第一像素电极 IT01 会与对向基板(如彩色滤光基板)上的共通电极耦合而形成一第一液晶电容 CLC1。类似地,第二像素电极 IT02 会与薄膜晶体管阵列基板上的共通线 COM2 耦合而形成一第二储存电容 Cs2,且第二像素电极 IT02 会与对向基板(如彩色滤光基板)上的共通电极耦合而形成一第二液晶电容 CLC2。

[0005] 从图 1 与图 2 可知,在与扫描线 SL(n-1) 电连接的子像素 P2 中,第一薄膜晶体管 TFT1 以及第二薄膜晶体管 TFT2 的栅极会与扫描线 SL(n-1) 电连接,而第三薄膜晶体管 TFT3 的栅极会与下一条扫描线 SL(n) 电连接。此外,第三薄膜晶体管 TFT3 的源极与第二像素电极 IT02 电连接,而第三薄膜晶体管 TFT3 的漏极 D3 与第一像素电极 IT01 耦合形成第一电容 CcA,且第三薄膜晶体管 TFT3 的漏极 D3 与第一像素电极 IT01 下方的共通线 COM1 耦合形成第二电容 CcB。当施加一高电压于扫描线 SL(n-1) 时,图像数据可通过数据线 DL(n-1)、DL(n) 写入与扫描线 SL(n-1) 连接的子像素中,此时,第一像素电极 IT01 与第二像素电极 IT02 的电压是相同的。接着,当施加一高电压于扫描线 SL(n) 时,第一电容 CcA 与第二电容 CcB 会使第一像素电极 IT01 的电压与第二像素电极 IT02 的电压不同。

[0006] 由于第二薄膜晶体管 TFT2 的漏极会跨过第一像素电极 IT01 而与第二像素电极 IT02 连接,因此第二薄膜晶体管 TFT2 的漏极 D2 与第一像素电极 IT01 之间便产生一寄生电容 Cx1。此外,由于第三薄膜晶体管 TFT3 的漏极 D3 会跨过第二像素电极 IT02,因此第三薄膜晶体管 TFT3 的漏极 D3 与第二像素电极 IT02 之间便产生一寄生电容 Cx2。寄生电容 Cx1、Cx2 会使第一像素电极 IT01 与第二像素电极 IT02 的电压差异拉开幅度减小,导致色偏问题无法有效地改善,因此如何避免子像素 P2 中寄生电容 Cx1、Cx2 对于显示品质的影响,实有其必要性。

[0007] 发明内容

[0008] 本发明提供一种像素阵列、液晶显示面板以及光电装置,其具有良好的显示品质。

[0009] 本发明提供一种像素阵列,其包括多条第一扫描线、多条第二扫描线、多条数据线以及多个子像素。多个子像素分别与所述的第一扫描线和第二扫描线一一对应,各个第二扫描线分别位置二相邻的第一扫描线之间,数据线实质上交错于第一扫描线及第二扫描线。各个子像素与其中一条第一扫描线、其中一条第二扫描线以及其中一条数据线电连接。各个子像素包括一第一开关元件、一第二开关元件、一第一像素电极、一第二像素电极、一第三开关元件以及多条彼此连接的共通线,其中第一开关元件与第二开关元件与同一条第一扫描线以及同一条数据线电连接,第一像素电极与第一开关元件电连接,第二像素电极与第二开关元件电连接,且第一扫描线位于第一像素电极与第二像素电极之间,且共通线分布于第一像素电极以及第二像素电极下方。此外,第三开关元件与第二扫描线以及第一像素电极电连接,第三开关元件具有一电性浮置端,而电性浮置端与第二像素电极耦合为一第一电容,且电性浮置端与第二像素电极下方的共通线耦合为一第二电容。

[0010] 在本发明一实施例中,前述的第一扫描线的延伸方向实质上平行于第二扫描线的延伸方向。

[0011] 在本发明一实施例中,前述的子像素排列成多列,且排列于同一列的子像素与同一条第一扫描线以及同一条第二扫描线电连接。

[0012] 在本发明一实施例中,与同一列子像素电连接的第一扫描线与第二扫描线彼此电性绝缘。

[0013] 在本发明一实施例中,前述的子像素排列成多列,且与第 n 列子像素电连接的第二扫描线以及与第 $(n+1)$ 列子像素电连接的第一扫描线是彼此电连接。

[0014] 在本发明一实施例中,前述的各第二扫描线位于第一像素电极与第二像素电极之间。

[0015] 在本发明一实施例中,前述的第二像素电极位于第一扫描线与第二扫描线之间。

[0016] 在本发明一实施例中,各个第一开关元件为一第一薄膜晶体管,而第一薄膜晶体管具有一与其中一条第一扫描线电连接的第一栅极、一与其中一条数据线电连接的第一源极以及一与第一像素电极电连接的第一漏极。

[0017] 在本发明一实施例中,各个第二开关元件为一第二薄膜晶体管,而第二薄膜晶体管具有一与其中一条第一扫描线电连接的第二栅极、一与其中一条数据线电连接的第二源极以及一与第二像素电极电连接的第二漏极。

[0018] 在本发明一实施例中,各个第三开关元件为一第三薄膜晶体管,而第三薄膜晶体管具有一与其中一条第二扫描线电连接的第三栅极、一与第一像素电极电连接的第三源极以及前述的电性浮置端。

[0019] 在本发明一实施例中,前述的第三源极与第一像素电极直接连接。

[0020] 在本发明一实施例中,前述的第三源极与第一漏极直接连接,且第三源极通过第一漏极与第一像素电极电连接。

[0021] 在本发明一实施例中,前述的电性浮置端位于第二像素电极下方。

[0022] 在本发明一实施例中,位于相同子像素中的第一扫描线的线宽(line width)实质上大于与第二扫描线的线宽。

[0023] 本发明另提供一种聚合物稳定配向液晶显示面板 (PSA-LCD panel), 其包括一第一基板、一第二基板、两聚合物稳定配向层以及一液晶层。第一基板具有前述的像素阵列, 第二基板配置于第一基板上方, 而两聚合物稳定配向层分别配置于第一基板与第二基板上。液晶层配置于聚合物稳定配向层之间。

[0024] 本发明又提供一种光电装置, 其包括前述的像素阵列或聚合物稳定配向液晶显示面板。

[0025] 基于上述, 由于本发明将子像素中的第一扫描线设置于第一像素电极与第二像素电极之间, 因此本发明的像素阵列具有较低的寄生电容且能够提供较佳的图像品质。

附图说明

- [0026] 图 1 为一种像素阵列的等效电路图。
- [0027] 图 2 为图 1 中单一子像素的示意图。
- [0028] 图 3A 为本发明第一实施例的像素阵列的等效电路图。
- [0029] 图 3B 为本发明第一实施例的像素阵列的示意图。
- [0030] 图 3B' 为沿着图 3B 中 A-A' 剖面线的剖面示意图。
- [0031] 图 3C 为本发明第一实施例的像素阵列与周边电路的示意图。
- [0032] 图 3D 为图 3B 中单一子像素的示意图。
- [0033] 图 4 为另一种单一子像素的示意图。
- [0034] 图 5A 为本发明第二实施例的像素阵列的等效电路图。
- [0035] 图 5B 为本发明第二实施例的像素阵列的示意图。
- [0036] 图 5B' 为沿着图 5B 中 B-B' 剖面线的剖面示意图。
- [0037] 图 5C 与图 5D 分别为图 5B 中单一子像素的示意图。
- [0038] 图 6 为第一像素电极与第二像素电极的电压变化示意图。
- [0039] 图 7 为本发明的聚合物稳定配向液晶显示面板的示意图。
- [0040] 图 8 为本发明的光电装置的示意图。
- [0041] 附图标号
- [0042] 200、300、400 : 像素阵列
- [0043] 500 : 栅极驱动电路
- [0044] 600 : 聚合物稳定配向液晶显示面板
- [0045] 610 : 第一基板
- [0046] 620 : 第二基板
- [0047] 630、640 : 聚合物稳定配向层
- [0048] 650 : 液晶层
- [0049] 700 : 光电装置
- [0050] P2、P3、P3'、P4 : 子像素
- [0051] SL、SL(n-1) ~ SL(n+1) : 扫描线
- [0052] SL1、SL1(1) ~ SL1(n+2) : 第一扫描线
- [0053] SL2、SL1(1) ~ SL1(n+1) : 第二扫描线
- [0054] DL、DL(n-1)、DL(n) : 数据线

- [0055] TFT1、TFT2、TFT3 :开关元件
- [0056] G1、G2、G3 :栅极
- [0057] S1、S2、S3 :源极
- [0058] D1、D2、D3 :漏极
- [0059] CcA :第一电容
- [0060] CcB :第二电容
- [0061] Cs1、Cs2 :储存电容
- [0062] Cx1、Cx2 :寄生电容
- [0063] CLC1、CLC2 :液晶电容
- [0064] IT01、IT02 :像素电极
- [0065] COM、COM1、COM2 :共通线
- [0066] V1、V2、V3 :接触窗
- [0067] GI :栅绝缘层
- [0068] PV :保护层

具体实施方式

[0069] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附附图作详细说明如下。

[0070] 第一实施例 :

[0071] 图 3A 为本发明第一实施例的像素阵列的等效电路图,图 3B 为本发明第一实施例的像素阵列的示意图,而图 3B'为沿着图 3B 中 A-A'剖面线的剖面示意图。请同时参照图 3A 与图 3B,本实施例的像素阵列 300 包括多条第一扫描线 SL1、多条第二扫描线 SL2、多条数据线 DL 以及多个子像素 P3。此处,第一扫描线 SL1 包括第一扫描线 SL1(1) ~ SL1(n+1),第二扫描线 SL2 包括第二扫描线 SL2(1) ~ SL2(n),而数据线 DL 包括数据线 DL(1) ~ DL(n)。图 3A 与图 3B 中仅绘示出部分的第一扫描线 SL1、第二扫描线 SL2 以及数据线 DL。

[0072] 各条第二扫描线 SL2 分别位置二相邻的第一扫描线 SL1 之间,数据线 DL 实质上交错于第一扫描线 SL1 及第二扫描线 SL2。各个子像素 P3 与其中一条第一扫描线 SL1、其中一条第二扫描线 SL2 以及其中一条数据线 DL 电连接。各个子像素 P3 包括一第一开关元件 TFT1、一第二开关元件 TFT2、一第一像素电极 IT01、一第二像素电极 IT02 以及一第三开关元件 TFT3,其中第一开关元件 TFT1 与第二开关元件 TFT2 与同一条第一扫描线 SL1 以及同一条数据线 DL 电连接,第一像素电极 IT01 与第一开关元件 TFT1 电连接,第二像素电极 IT02 与第二开关元件 TFT2 电连接,且第一扫描线 SL1 位于第一像素电极 IT01 与第二像素电极 IT02 之间。此外,第三开关元件 TFT3 与第二扫描线 SL2 以及第一像素电极 IT01 电连接,第三开关元件 TFT3 具有一电性浮置端 D3,而此电性浮置端 D3 与第二像素电极 IT02 耦合为一第一电容 CcA,且电性浮置端 D3 与第二像素电极 IT02 下方的共通线 COM2 耦合为一第二电容 CcB。在一较佳实施例中,电性浮置端 D3 延伸于第二像素电极 IT02 下方且位于共通线 COM2 的上方,如图 3B'所示。换言之,电性浮置端 D3 覆盖于共通线 COM2 的上方,且电性浮置端 D3 与共通线 COM2 之间具有栅绝缘层 GI,此外,第二像素电极 IT02 覆盖于电性浮置端 D3 的上方,且第二像素电极 IT02 与电性浮置端 D3 之间具有保护层 PV。因此,共通

线 COM2、栅绝缘层 GI、电性浮置端 D3、保护层 PV 以及第二像素电极 IT02 共同形成一堆迭结构。

[0073] 由于与第一扫描线 SL1 连接的开关元件数量较多（第一与第二开关元件），为了平衡第一扫描线 SL1 以及第二扫描线 SL2 的降低电阻 - 电容迟滞 (RCdelay)，本实施例可另第一扫描线 SL1 的线宽 (line width) 大于与第二扫描线 SL2 的线宽 SL2。然而，在本发明的其他可行的实施例中，亦可通过材质的选择而降低第一扫描线 SL1 的电阻 - 电容迟滞。

[0074] 在本实施例中，第一像素电极 IT01 会与薄膜晶体管阵列基板上的共通线 耦合而形成第一储存电容 Cs1，且第一像素电极 IT01 会与对向基板（如彩色滤光基板）上的共通电极耦合而形成第一液晶电容 CLC1。类似地，第二像素电极 IT02 会与薄膜晶体管阵列基板上的共通线耦合而形成第二储存电容 Cs2，且第二像素电极 IT02 会与对向基板（如彩色滤光基板）上的共通电极耦合而形成第二液晶电容 CLC2。从图 3A 可知，第一像素电极 IT01 的面积大于第二像素电极 IT02 的面积，然而，本实施例并不限定第一像素电极 IT01 与第二像素电极 IT02 的面积比例。

[0075] 如图 3A 所示，本实施例的第一扫描线 SL1 的延伸方向实质上平行于第二扫描线 SL2 的延伸方向。此外，子像素 P3 排列成多列，且排列于同一列的子像素 P3 与同一条第一扫描线 SL1 以及同一条第二扫描线 SL2 电连接，且与同一列子像素 P3 电连接的第一扫描线 SL1 与第二扫描线 SL2 是彼此电性绝缘。

[0076] 在本实施例中，各个子像素 P3 中的第一扫描线 SL1 以及第二扫描线 SL2 皆位于第一像素电极 IT01 与第二像素电极 IT02 之间。由于第一扫描线 SL1 以及第二扫描线 SL2 皆位于第一像素电极 IT01 与第二像素电极 IT02 之间，因此第一开关元件 TFT1、第二开关元件 TFT2 与第三开关元件 TFT3 会集中于第一像素电极 IT01 与第二像素电极 IT02 之间的区域，有利于第一像素电极 IT01 以及第二像素电极 IT02 与第一开关元件 TFT1、第二开关元件 TFT2 以及第三开关元件 TFT3 之间的电连接。

[0077] 从图 3A 可知，本实施例的第一开关元件 TFT1 为一第一薄膜晶体管，而第一薄膜晶体管具有一与其中一条第一扫描线 SL1 电连接的第一栅极 G1、一与其中一条数据线 DL 电连接的第一源极 S1 以及一与第一像素电极 IT01 电连接的第一漏极 D1。第二开关元件 TFT2 为一第二薄膜晶体管，而第二薄膜晶体管具有一与其中一条第一扫描线 SL1 电连接的第二栅极 G2、一与其中一条数据线 DL 电连接的第二源极 S2 以及一与第二像素电极 IT02 电连接的第二漏极 D2。此外，第三开关元件 TFT3 为一第三薄膜晶体管，而第三薄膜晶体管具有一与其中一条第二扫描线 SL2 电连接的第三栅极 G3、一与第一像素 电极 IT01 电连接的第三源极 S3 以及以第三漏极 D3（即前述的电性浮置端 D3）。

[0078] 图 3C 为本发明第一实施例的像素阵列与周边电路的示意图。请参照图 3B 与图 3C，本实施例的像素阵列 300 可进一步包括多条彼此连接的共通线 COM（即共通线 COM1、COM2），且共通线 COM 分布于第一像素电极 IT01 以及第二像素电极 IT02 下方。详言之，共通线 COM1 会从周边区域延伸至第一像素电极 IT01，而共通线 COM2 会从周边区域延伸至第二像素电极 IT02 下方。

[0079] 从图 3C 可知，像素阵列 300 中的子像素 P3 会排列成多列，且与第 n 列子像素 P3 电连接的第二扫描线 SL2(n) 以及与第 (n+1) 列子像素 P3 电连接的第一扫描线 SL1(n+1) 是彼此电连接。类似地，第二扫描线 SL2(n+1) 以及第一扫描线 SL1(n+2) 亦彼此电连接。此

外,第一扫描线 $SL1(n)$ 、 $SL1(n+1)$ 、 $SL1(n+2)$ 会与一栅极驱动电路 500 的不同输出端子电连接。

[0080] 然而,本发明并不限定第二扫描线必须与下一级第一扫描线电连接,第一扫描线与第二扫描线亦可以分别地与栅极驱动电路 500 的不同输出端子电连接。

[0081] 图 3D 为图 3B 中单一子像素的示意图。请同时参照图 3B 与图 3D,在单一子像素 P3 中,由于第一扫描线 $SL1$ 与第二扫描线 $SL2$ 皆位于第一像素电极 IT01 以及第二像素电极 IT02 之间,因此当第二薄膜晶体管 TFT2 的第二漏极 D2 与第二像素电极 IT02 电连接时,第二漏极 D2 不会跨过第一像素电极 IT01 而产生寄生电容(已知中所提及的寄生电容 C_{x1})。此外,当第三薄膜晶体管 TFT3 的第三漏极 D3 与第二像素电极 IT02 耦合形成第一电容 C_{cA} 并且与第二像素电极 IT02 下方的共通线耦合形成第二电容 C_{cB} 时,第三漏极 D3 亦不会与第一像素电极 IT01 耦合而产生寄生电容。因此,与已知技术相较,本实施例的子像素 P3 具有较少的寄生电容。

[0082] 从图 3D 可以清楚得知,第三薄膜晶体管 TFT3 的第三源极 S3 与第一薄膜晶体管 TFT1 的第一漏极 D1 直接连接,且第三源极 S3 通过第一漏极 D1 与第一像素电极 IT01 电连接。换言之,第一薄膜晶体管 TFT1 的第一漏极 D1 以及第三薄膜晶体管 TFT3 的第三源极 S3 是通过相同的接触窗 V1 与第一像素电极 IT01 电连接。此外,第二薄膜晶体管 TFT2 的第二漏极 D1 是通过接触窗 V2 与第二像素电极 IT02 电连接。

[0083] 图 4 为另一种单一子像素的示意图。请参照图 4,在子像素 P3' 中,第三薄膜晶体管 TFT3 的第三源极 S3 与第一像素电极 IT01 直接连接。换言之,第一薄膜晶体管 TFT1 的第一漏极 D1 以及第三薄膜晶体管 TFT3 的第三源极 S3 是分别通过不同的接触窗 V1、V3 与第一像素电极 IT01 电连接。此外,第二薄膜晶体管 TFT2 的第二漏极 D1 是通过接触窗 V2 与第二像素电极 IT02 电连接。

[0084] 从图 3D 与图 4 可知,图 3D 中所绘示的子像素 P3 不具有接触窗 V3,因此图 3D 中所绘示的子像素 P3 具有较高的透光面积。

[0085] 第二实施例:

[0086] 图 5A 为本发明第二实施例的像素阵列的等效电路图,图 5B 为本发明第二实施例的像素阵列的示意图,图 5B' 为沿着图 5B 中 B-B' 剖面线的剖面示意图,而图 5C 与图 5D 为图 5B 中单一子像素的示意图。请参照图 5A 至图 5C,本实施例的像素阵列 500 与第一实施例的像素阵列 300 类似,惟二者主要差异之处在于:各子像素 P4 中的第二像素电极 IT02 位于第一扫描线 $SL1$ 与第二扫描线 $SL2$ 之间。详言之,第三薄膜晶体管 TFT3 的第三源极 S3 会跨过第二像素电极 IT02 而与第一漏极 D1 直接电连接(如图 5C 所绘示),此时,第三源极 S3 与第二像素电极 IT02 之间会产生寄生电容 C_{x2} 。虽然子像素 P4 中有寄生电容 C_{x2} 的存在,但与已知的子像素 P2 相较,子像素 P4 中仅有寄生电容 C_{x2} 存在,寄生电容 C_{x1} (绘示于图 2)则不会产生,因此本实施例的子像素仍具有较少的寄生电容。

[0087] 承上述,各子像素 P4 亦可以采用图 5D 中的布局,详言之,第一薄膜晶体管 TFT1 的第一漏极 D1 以及第三薄膜晶体管 TFT3 的第三源极 S3 是分别通过不同的接触窗 V1、V3 与第一像素电极 IT01 电连接。

[0088] 图 6 为第一像素电极与第二像素电极的电压变化示意图。请参照图 6,当寄生电容 C_{x1} 与 C_{x2} 存在时,第一像素电极与第二像素电极之间的电压差异拉开幅度较小,反之,

当寄生电容 C_{x1} 与 C_{x2} 不存在时,第一像素电极与第二像素电极之间的电压差异能够被拉开。据此,与已知的子像素 P2 相较,前述第一实施例与第二实施例的子像素 P3、P4 能够更有效地改善色偏问题。

[0089] 第三实施例:

[0090] 图 7 为本发明的聚合物稳定配向液晶显示面板的示意图。请参照图 7,本实施例的聚合物稳定配向液晶显示面板 600 包括一第一基板 610、一第二基板 620、两聚合物稳定配向层 630、640 以及一液晶层 650。第一基板 610 具有前述第一实施例或第二实施例中的像素阵列 (300 或 400),第二基板 620 配置于第一基板 610 上方,而两聚合物稳定配向层 630、640 分别配置于第一基板 610 与第二基板 620 上。此外,液晶层 650 配置于两聚合物稳定配向层 630、640 之间。值得注意的是,液晶层 650 在制作上是采用包含有能够被能量源聚合的单体的液晶材料,当能量源 (如紫外光) 被施加于液晶层 650 时,这些能够被能量源聚合的单体会分别聚合于第一基板 610 与第二基板 620 的表面上,以形成两聚合物稳定配向膜 630、640。

[0091] 图 8 为本发明的光电装置的示意图。请参照图 8,本实施例亦提出一种光电装置 700,其包括前述第一实施例或第二实施例中的像素阵列 (300 或 400) 或是图 7 中的聚合物稳定配向液晶显示面板 600。而光电装置的类型包括便携式产品 (如手机、摄影机、照相机、笔记本电脑、游戏机、手表、音乐播放器、电子信件收发器、地图导航器、数码相片、或类似的产品)、影音产品 (如影音播放器或类似的产品)、荧幕、电视、看板、投影机内的面板等。

[0092] 基于上述,由于本发明将子像素中的第一扫描线设置于第一像素电极与第二像素电极之间,因此本发明的像素阵列具有较低的寄生电容,且能够提供较佳的图像品质。

[0093] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属本技术领域中的人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视权利要求范围所界定为准。

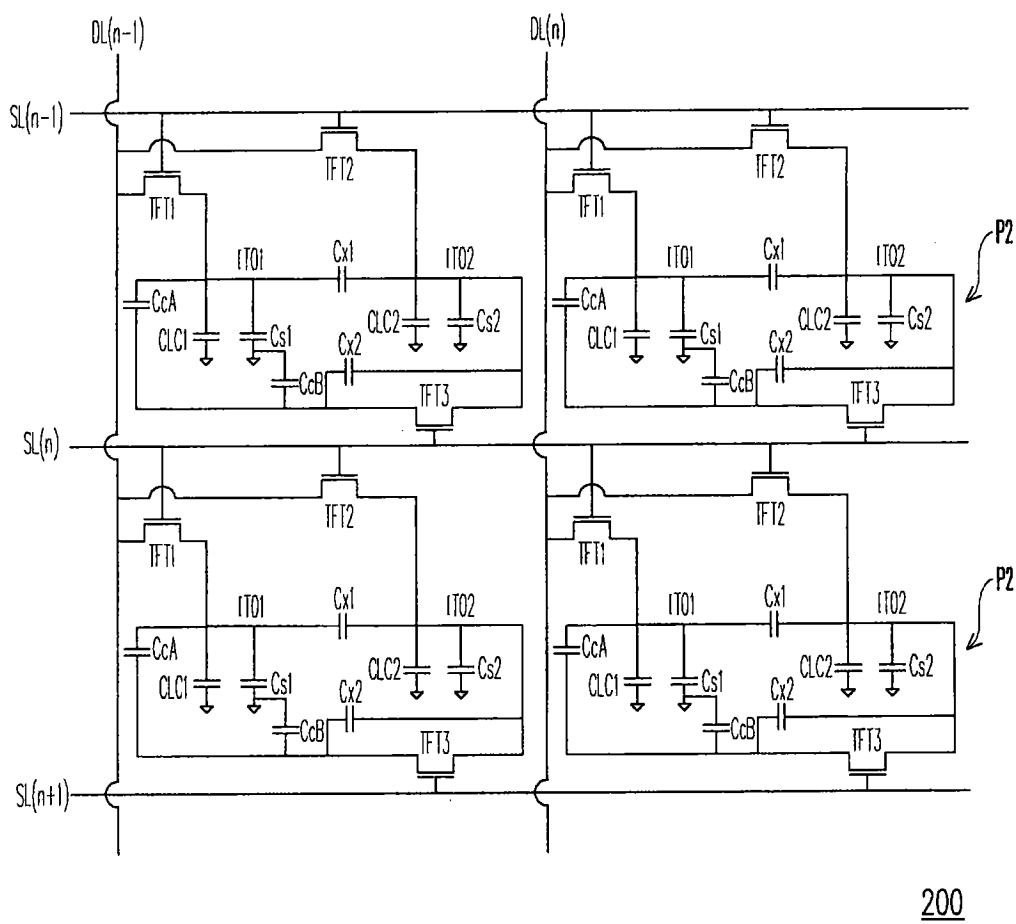


图 1

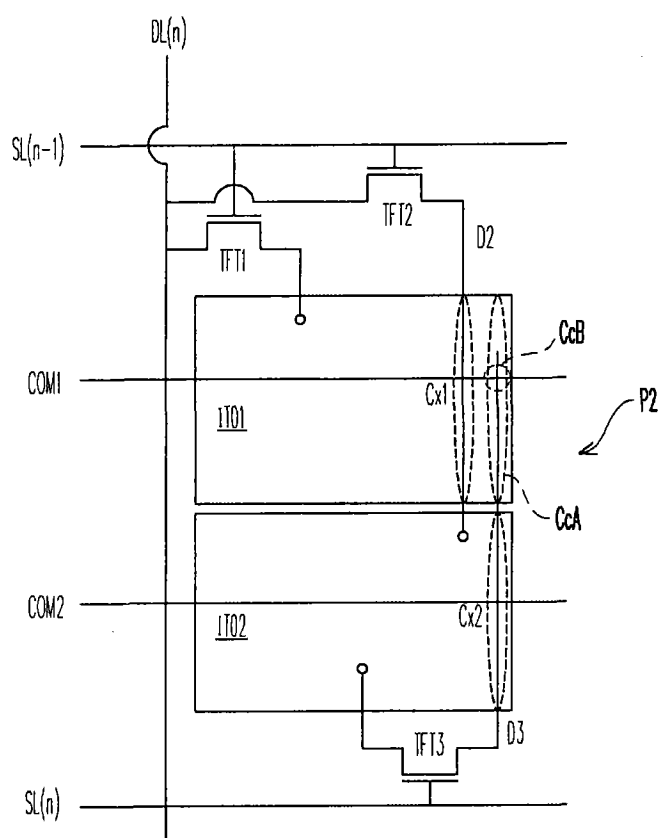


图 2

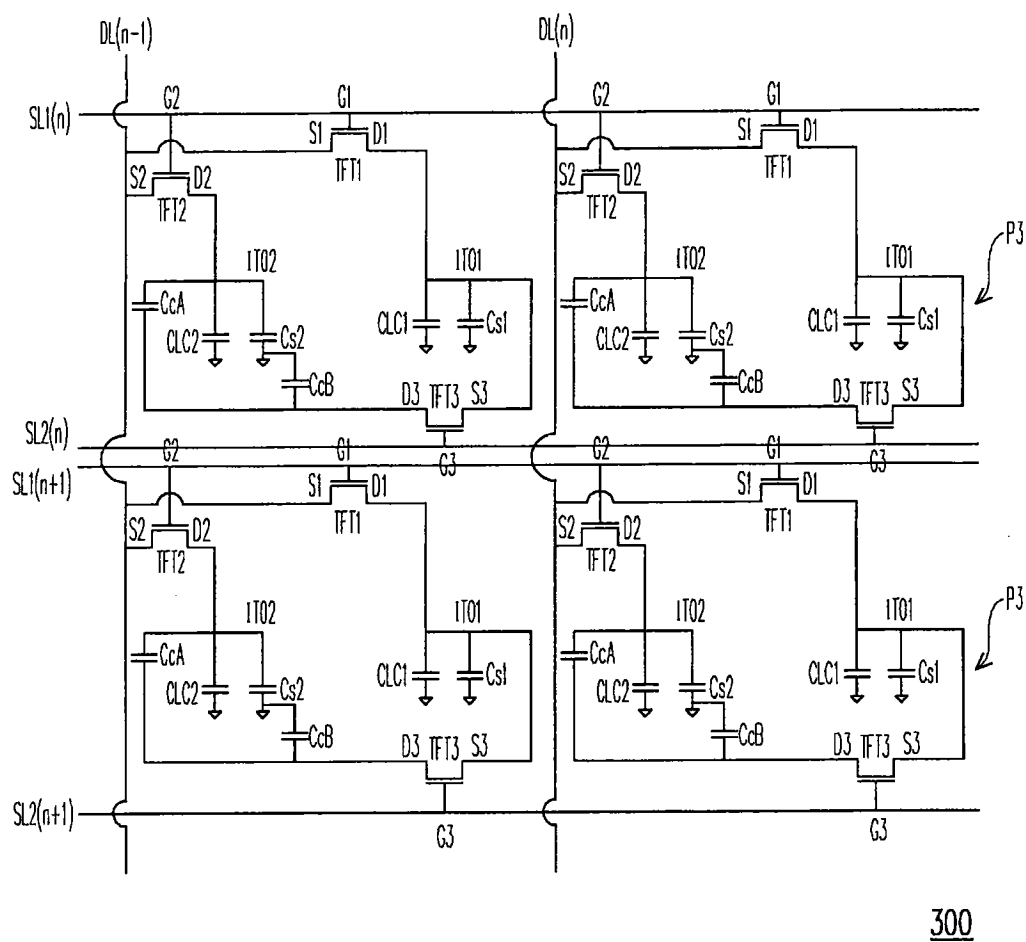


图 3A

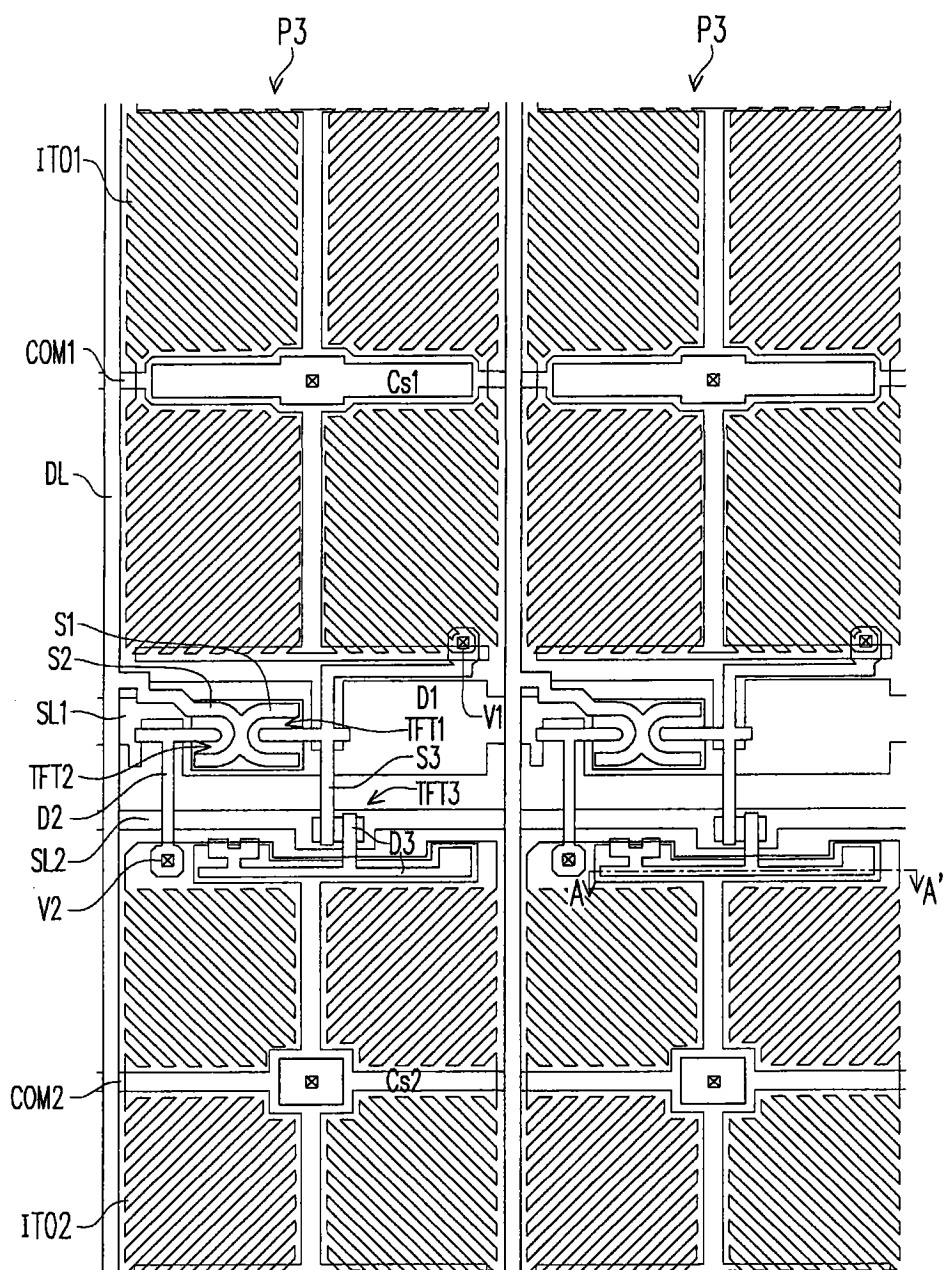


图 3B

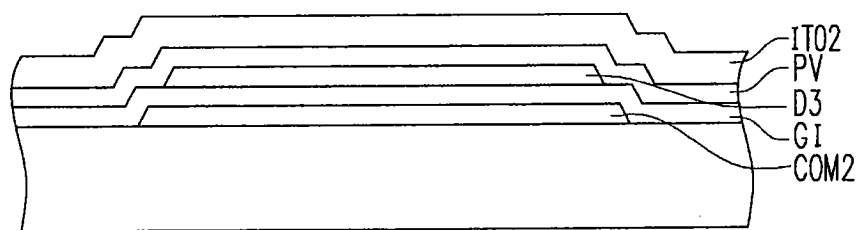


图 3B'

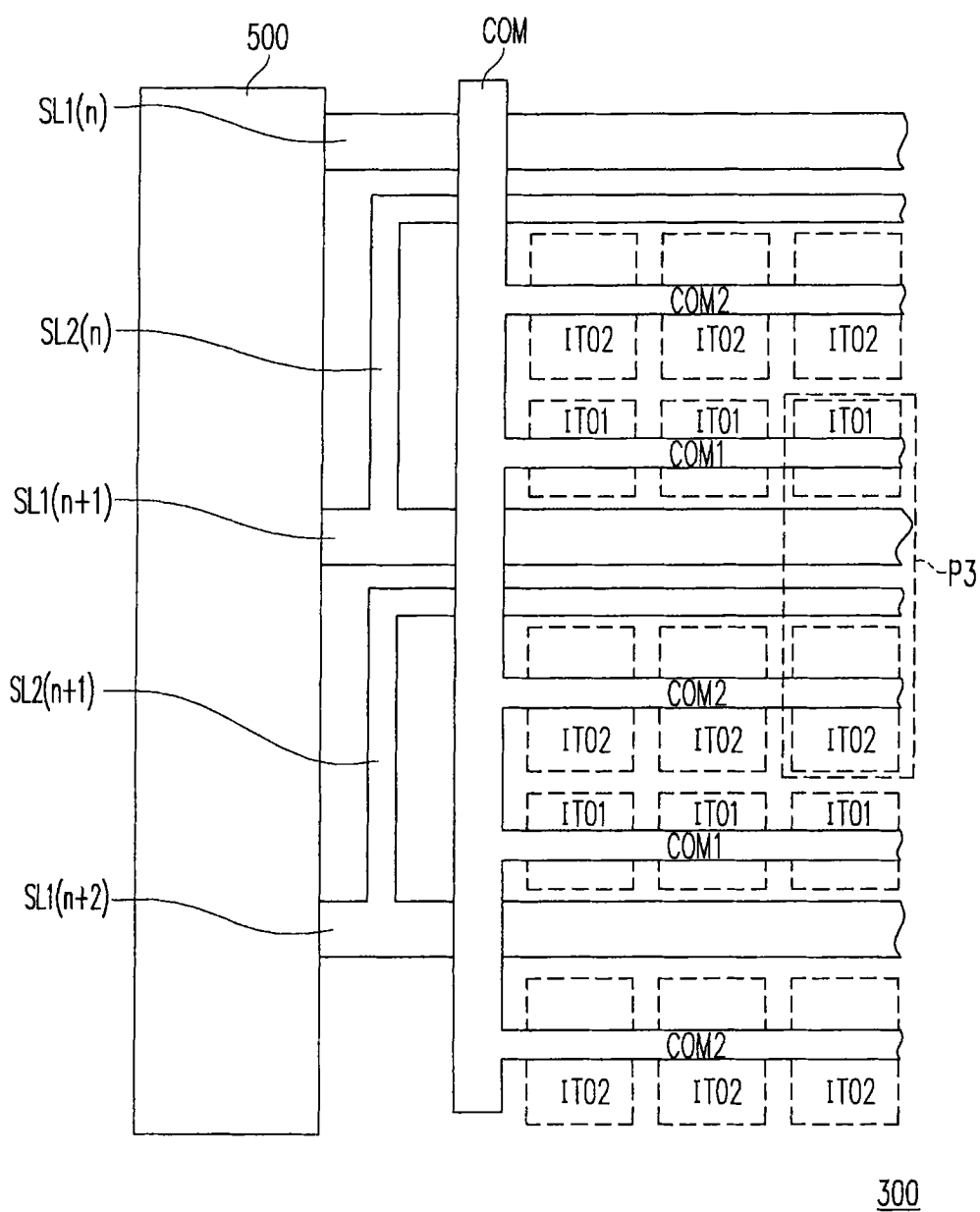


图 3C

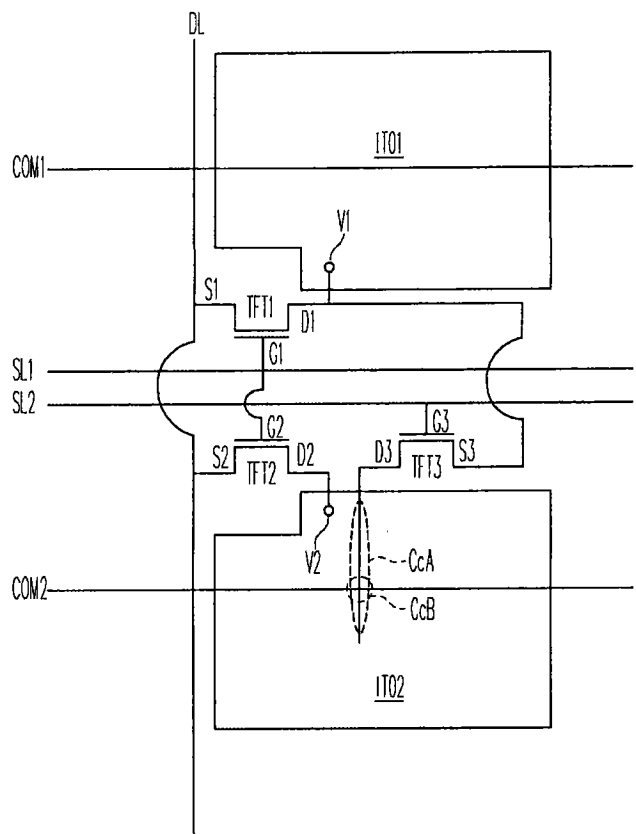


图 3D

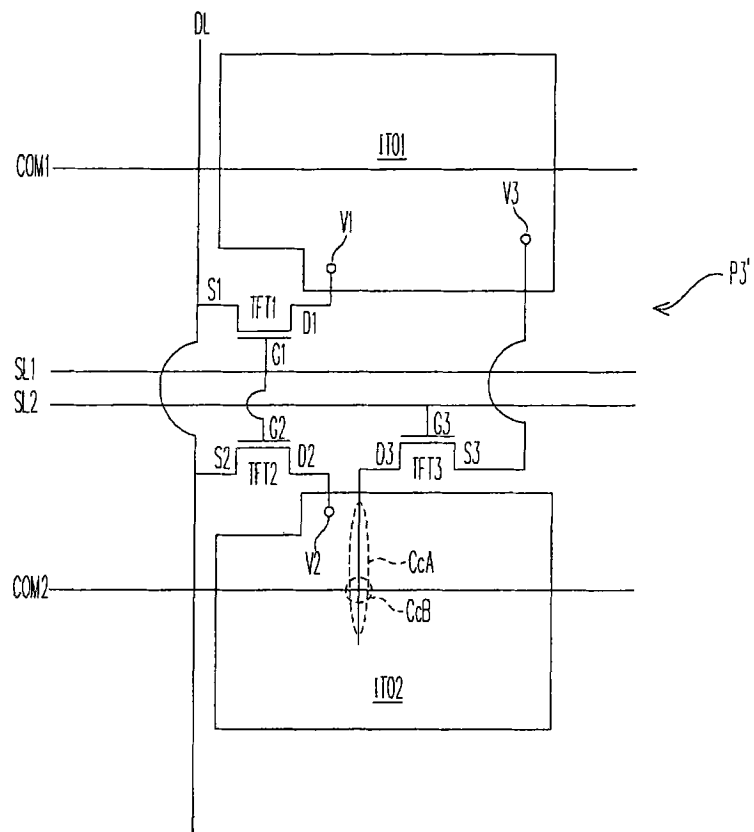


图 4

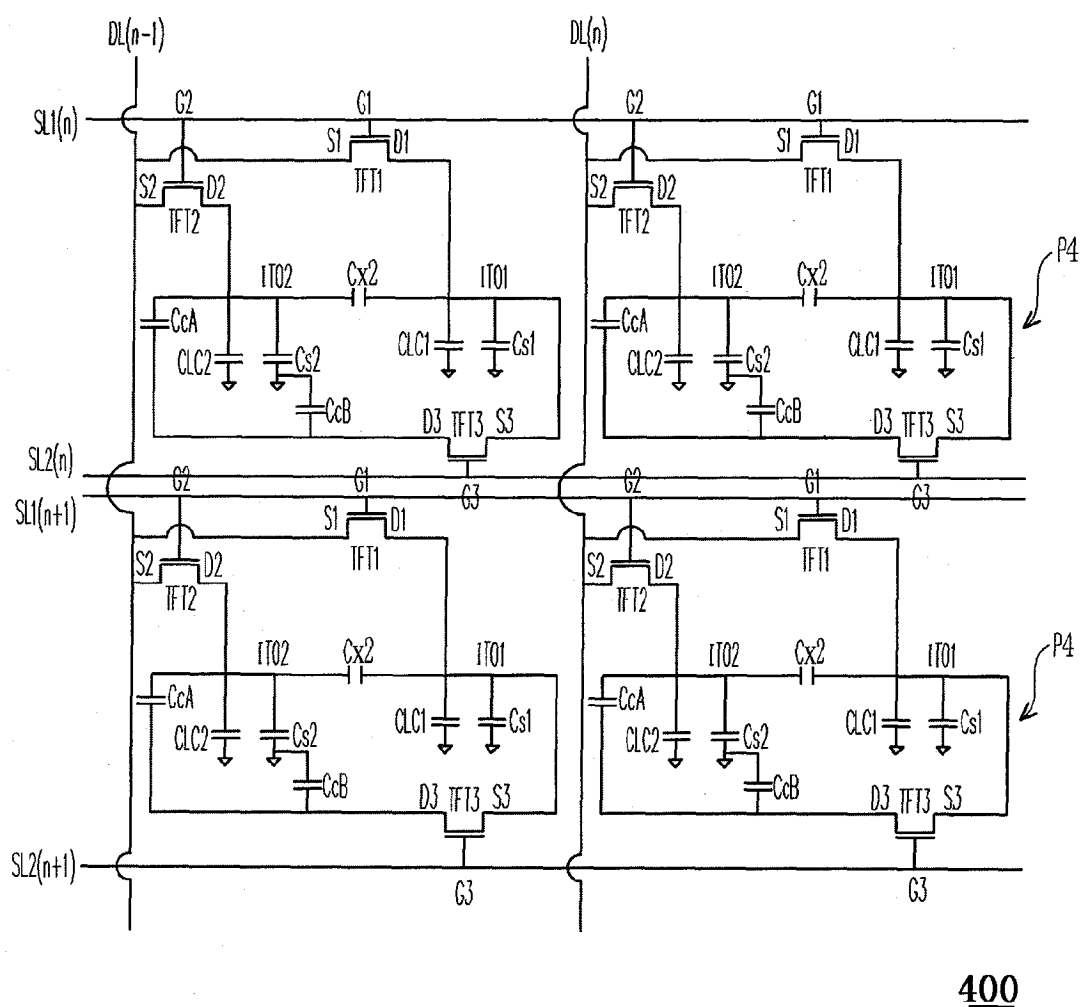


图 5A

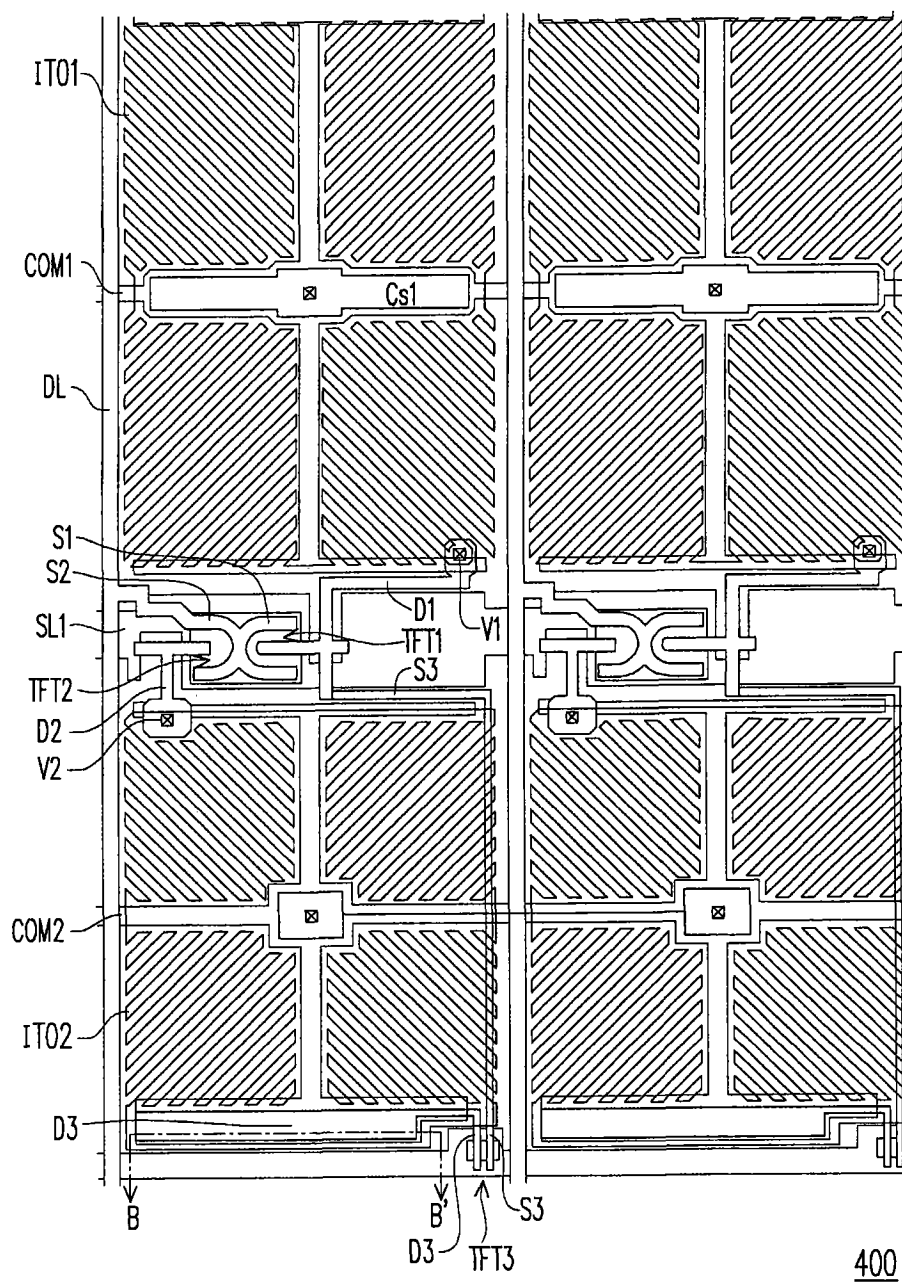


图 5B

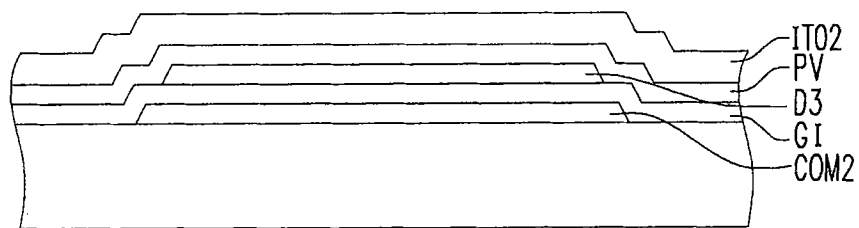


图 5B'

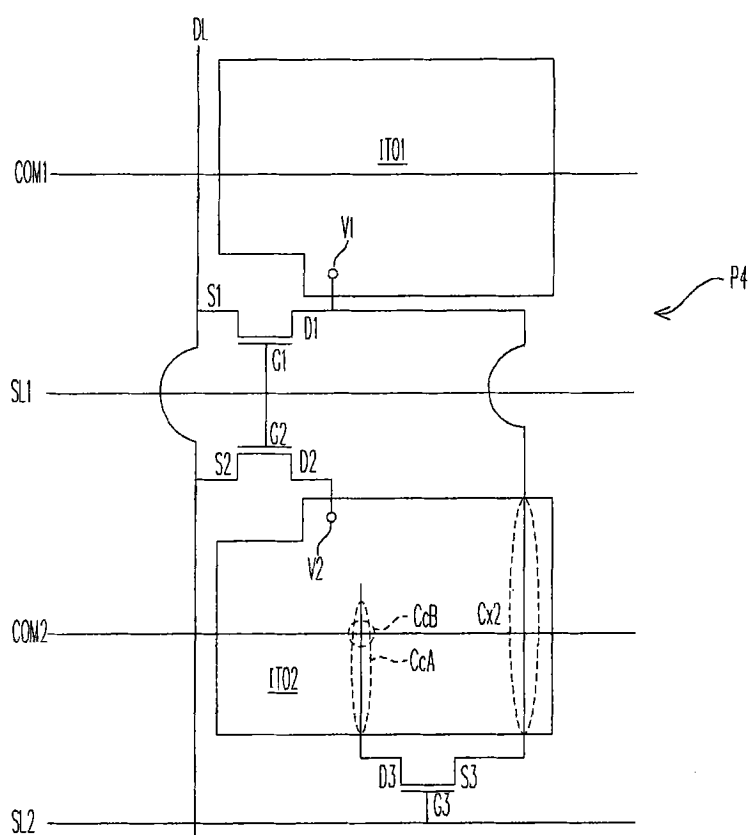


图 5C

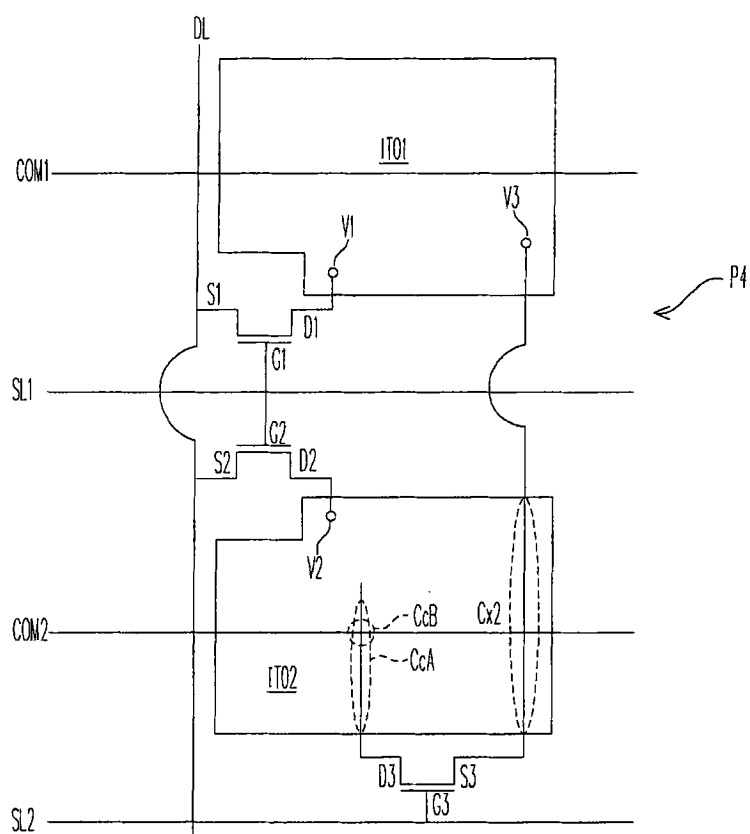


图 5D

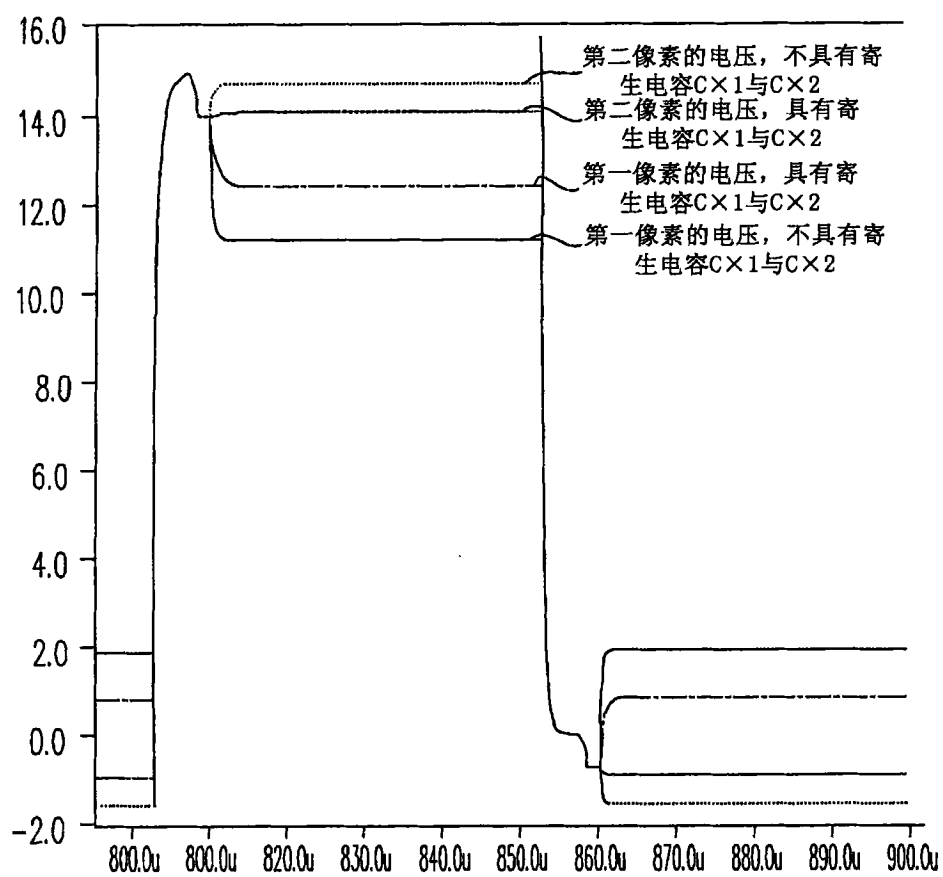


图 6

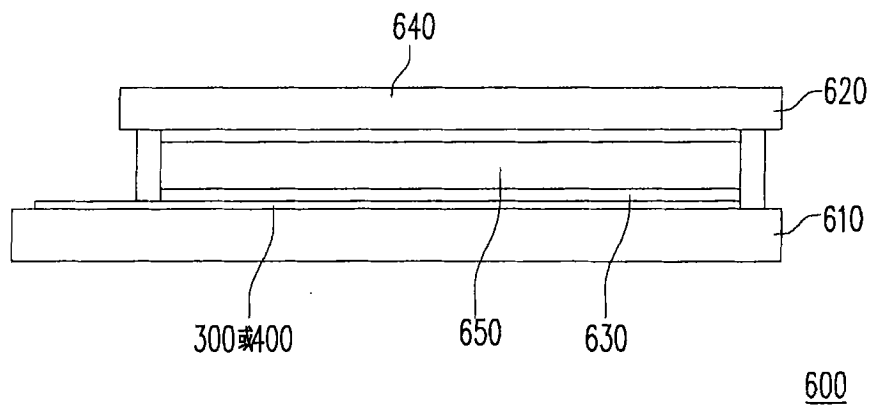


图 7

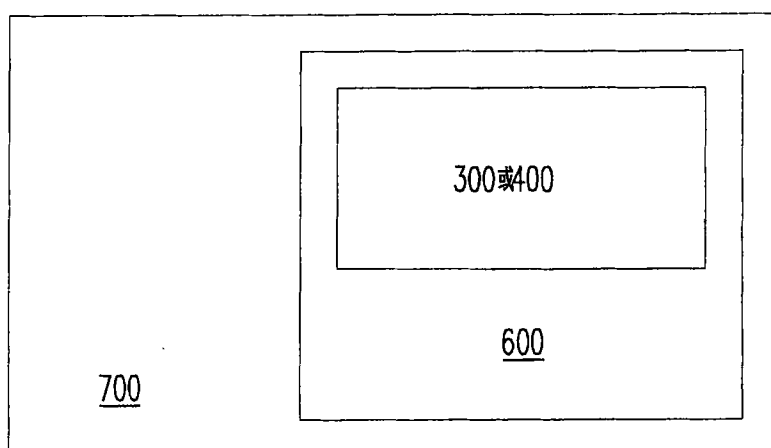


图 8

专利名称(译)	像素阵列、液晶显示面板以及光电装置		
公开(公告)号	CN101504503B	公开(公告)日	2011-01-05
申请号	CN200910129969.8	申请日	2009-04-10
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	丁天伦 陈介伟 王自豪 邱钟毅 徐文浩 苏振嘉		
发明人	丁天伦 陈介伟 王自豪 邱钟毅 徐文浩 苏振嘉		
IPC分类号	G02F1/1362 H01L23/528 G02F1/1333		
审查员(译)	钟宇		
其他公开文献	CN101504503A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素阵列、液晶显示面板以及光电装置。所述像素阵列，其包括多条第一扫描线、多条第二扫描线、多条数据线以及多个子像素。各个子像素包括第一开关元件、第二开关元件、第一像素电极、第二像素电极、第三开关元件以及多条彼此连接的共通线，其中第一开关元件与第二开关元件与同一条第一扫描线以及同一条数据线电连接，第一像素电极与第一开关元件电连接，第二像素电极与第二开关元件电连接，第一扫描线位于第一像素电极与第二像素电极之间，且共通线分布于第一像素电极以及第二像素电极下方。此外，第三开关元件与第二扫描线以及第一像素电极电连接，第三开关元件具有一电性浮置端。

