

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/1362 (2006.01)
H01L 27/12 (2006.01)



[12] 发明专利说明书

专利号 ZL 200810110112.7

[45] 授权公告日 2010 年 2 月 24 日

[11] 授权公告号 CN 100592184C

[22] 申请日 2008.6.10

[21] 申请号 200810110112.7

[73] 专利权人 昆山龙腾光电有限公司

地址 215300 江苏省昆山市龙腾路一号

[72] 发明人 钟德镇 邱郁雯 廖家德 简廷宪

[56] 参考文献

CN101118358A 2008.2.6

CN1945411A 2007.4.11

US6922183B2 2005.7.26

CN101021655A 2007.8.22

审查员 钟 宇

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 任默闻

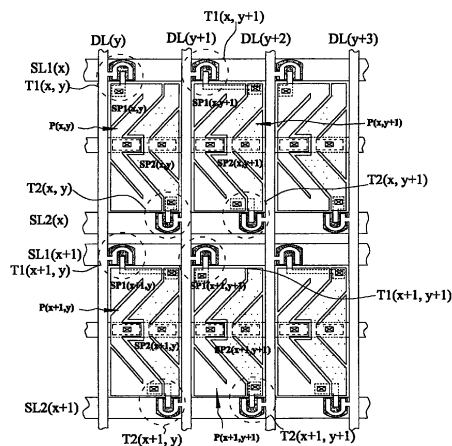
权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称

一种液晶显示装置及其像素阵列基板

[57] 摘要

本发明提供了一种液晶显示装置及其像素阵列基板，所述的像素阵列基板包括：多个像素电极，形成在所述的基板上，每个所述的像素电极具有两个子像素电极；多个开关元件，形成在所述的基板上，并且每个所述的开关元件与一个所述的子像素电极电性连接；多条数据线，形成在所述的基板上，与多个子像素所对应的开关元件电性连接，用于向任意两个相邻的子像素电极上施加极性相反的电压信号。本发明用以解决子像素的控制问题，提高画质的表现能力。



1. 一种液晶显示装置像素阵列基板，其包括：

多个像素电极，形成在所述的基板上，每个所述的像素电极具有两个子像素电极，分别为第一子像素电极和第二子像素电极；

多个薄膜晶体管，形成在所述的基板上，并且每个所述的薄膜晶体管与一个所述的子像素电极电性连接；

所述的多个像素电极排列为像素电极阵列；

其中所述像素电极阵列中每一行像素电极中的任意两个相邻子像素电极所对应的薄膜晶体管连接不同的数据线。

其特征在于，所述像素电极阵列中每一列像素电极中的任意两个相邻像素电极的第一子像素电极所对应的薄膜晶体管电性连接不同的数据线。

2. 根据权利要求1所述的像素阵列基板，其特征在于，所述每个像素中的第一子像素电极与第二子像素电极所分别对应的薄膜晶体管分别电性连接不同的扫描线。

3. 根据权利要求1所述的像素阵列基板，其特征在于，所述第一子像素电极与第二子像素电极被一狭缝电性隔离。

4. 根据权利要求3所述的像素阵列基板，其特征在于，所述的子像素电极上设有多个开口。

5. 根据权利要求4所述的像素阵列基板，其特征在于，所述的多个开口与所述的狭缝平行。

6. 根据权利要求1所述的像素阵列基板，其特征在于，所述的像素阵列基板还包括：

储存电容电极，设置于所述的狭缝之下，与所述的子像素电极构成储存电容。

7. 根据权利要求6所述的像素阵列基板，其特征在于，所述的子像素电

极下方设有辅助金属层，该辅助金属层通过通孔与所述的子像素电极电性相连。

8. 一种液晶显示装置，其包括：

第一基板和第二基板；

共同电极，形成在所述的第一基板上；

多个像素电极，形成在所述的第二基板上，每个所述的像素电极具有两个子像素电极，分别为第一子像素电极和第二子像素电极；

多个薄膜晶体管，形成在所述的第二基板上，并且每个所述的薄膜晶体管与一个所述的子像素电极电性连接；

所述的多个像素电极排列为像素电极阵列；

其中所述像素电极阵列中每一行像素电极中的任意两个相邻子像素电极所对应的薄膜晶体管连接不同的数据线。

其特征在于，所述像素电极阵列中每一列像素电极中的任意两个相邻像素电极的第一子像素电极所对应的薄膜晶体管电性连接不同的数据线。

9. 根据权利要求 8 所述的液晶显示装置，其特征在于，所述每个像素中的第一子像素电极与第二子像素电极所分别对应的薄膜晶体管分别电性连接不同的扫描线。

10. 根据权利要求 8 所述的液晶显示装置，其特征在于，所述第一子像素电极与第二子像素电极被一狭缝电性隔离。

11. 根据权利要求 10 所述的液晶显示装置，其特征在于，所述的第一子像素电极与第二子像素电极上设有多个开口。

一种液晶显示装置及其像素阵列基板

技术领域

本发明关于液晶显示技术领域，具体地，涉及一种具有高显示质量的液晶显示装置及其像素阵列基板。

背景技术

液晶显示装置具有轻、薄、低耗电等优点，被广泛应用于计算机、移动电话及个人数字助理等现代化信息设备。目前，市场对于液晶显示装置的性能要求是：高对比度、高亮度、高色彩饱和度、快速反应以及广视角等特性。

为了实现广视角，现有技术中开发出了多种技术，如：扭转向列型液晶显示装置(TN)加上广视角膜(wide viewing film)、共平面切换式(In-plane switching, IPS)液晶显示装置、边缘电场切换式(Fringe Field Switching, FFS)液晶显示装置以及多域垂直配向式(Multi-domain Vertical Alignment, MVA)液晶显示装置等。

多域垂直配向式液晶显示器在彩色滤光基板或薄膜晶体管阵列基板上设有配向凸起物或狭缝，它们可以使得液晶分子呈多方向排列，得到多个不同的配向域(Domain)。因此多域垂直配向式液晶显示器有利于实现广视角显示。

美国专利第 6,922,183 号公开了一种多域垂直配向式液晶显示器，图 1 为这种多域垂直配向式液晶显示器的像素结构。注意，为了清楚地描述该结构，图中省略了彩色滤光片基板。如图 1 所示，在这种液晶显示器的像素结构中，一个像素被分成两个子像素，一个像素的像素电极 $P(m,n)$ 也被分成两个子像素电极，即第一子像素电极 $SP1(m,n)$ 和第二子像素电极 $SP2(m,n)$ ，两个子像素电极 $SP1(m,n)$ 与 $SP2(m,n)$ 之间由狭缝 124 电性隔离。第一子像素电极

SP1(m,n)和第二子像素电极 SP2(m,n)由两个开关元件分别进行控制,这两个开关元件例如第一薄膜晶体管 (TFT) S1(m,n)及第二薄膜晶体管 S2(m,n)。第一薄膜晶体管 S1(m,n)及第二薄膜晶体管 S2(m,n)的栅极分别与扫描线 SL(m)及 SL(m+1)电性连接,第一薄膜晶体管 S1(m,n)及第二薄膜晶体管 S2(m,n)的源极分别和数据线 DL1(n)及 DL2(n)电性连接,第一薄膜晶体管 S1(m,n)及第二薄膜晶体管 S2(m,n)的漏极分别与第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)连接。

图 2 为图 1 的像素结构沿剖面线 I-I'所取的剖面图。如图 2 所示,该像素结构包括第一基板 102、第二基板 122 及液晶分子 126。黑矩阵 104 及彩色滤光层 106 形成于第一基板 102 的一个表面上,第一绝缘层 108 覆盖了黑矩阵 104 及彩色滤光层 106。公共电极 110 形成于第一绝缘层 108 上,在公共电极上设有多个凸起 131,配向膜 112 覆盖了公共电极 110 及多个凸起 131。

另外,扫描线 SL(m)及 SL(m+1)形成于第二基板 122 与公共电极 110 相对的那个表面上,栅极绝缘层 120 覆盖扫描线 SL(m)及 SL(m+1),数据线 DL(n) (图 2 中未示出)形成于栅极绝缘层 120 上,钝化层 118 覆盖数据线 DL(n)。第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)形成于钝化层 118 上,扫描线 SL(m)及 SL(m+1)上方相应地设有多个间隙 130,用于分隔相邻两个像素的像素电极,且第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)之间还设有狭缝 124,用于将第一子像素电极及第二子像素电极电性隔离。配向膜 116 覆盖第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)。液晶分子 126 被密封于第一基板 102 及第二基板 122 之间。

相反极性的数据信号分别通过第一薄膜晶体管 S1(m,n)及第二薄膜晶体管 S2(m,n),输入至第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n),可驱动整个像素。施加于公共电极 110 上的电压作为公共电压 Vcom,大于公共电压 Vcom 的电压定义为正极性电压,且小于公共电压 Vcom 的电压定义为负极性电压。在选择了该像素,并且第一薄膜晶体管 S1(m,n)及第二薄膜晶体管

S2(m,n)导通时, 具有正极性电压+V 及负极性电压-V 的数据信号分别被输入至第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)中。另外, 正极性电压+V 及公共电压 Vcom 之间的电压差和负极性电压-V 及公共电压 Vcom 之间的电压差大体相等, 从而在两个子像素中显示相同的灰阶值 (grey level)。

当具有不同极性的电压被施加于第一子像素电极 SP1(m,n)及第二子像素电极 SP2(m,n)上时, 由于间隙 130、狭缝 124 以及凸起 131 的作用, 液晶分子 126 形成多个具有相反视觉特性的显示域, 从而得到了具有广视角的多域垂直配向式液晶显示器。

图 3 为图 1 所示的 MVA LCD 的像素阵列结构示意图。其中, 每一像素被两根扫描线所驱动。在该像素阵列结构中, 一对扫描线分别与一行像素中所有第一子像素电极及所有第二子像素电极电性连接。以第 m 行的像素为例, 第 m 行中所有第一子像素电极与扫描线 SL1(m)电性连接, 而第 m 行中所有第二子像素电极与扫描线 SL2(m)电性连接。此外, 一列中的第二子像素电极及下一列的第一子像素电极与同一数据线电性连接, 例如, 第二子像素电极 SP2(m, n)及第一子像素电极 SP1(m, n-1)皆与数据线 DL(n-1)电性连接。

当图 3 所示的像素阵列被驱动时, 每一扫描线逐一地被扫描, 也就是说, 每一行的第一薄膜晶体管与第二薄膜晶体管依序被打开, 对应的数据信号将被输入至第一子像素电极及第二子像素电极。例如, 当扫描线 SL1(m)被扫描而使得第一薄膜晶体管 S1 (m, n-1) 及 S1 (m, n) 被打开时, 对应的数据信号线分别将经由数据线 DL (n-1) 及 DL (n) 输入至第一子像素电极 SP1 (m, n-1) 及 SP1 (m, n)。之后, 扫描线 SL2 (m) 被扫描, 第二薄膜晶体管 S2 (m, n-1) 及 S2 (m, n) 被打开, 而对应的数据信号将分别经由数据线 DL (n-2) 及 DL (n-1) 被输入至第二子像素电极 SP2 (m, n-1) 及 SP2 (m, n)。

上述像素阵列结构中, 同一像素中的第一子像素电极和第二子像素电极分别电性连接不同的数据线, 因此两个子像素电极上可以输入极性相反的数据信号, 从而可以实现子像素反向驱动。例如, 第一子像素电极 SP1 (m, n)

及 SP1 (m+1, n) 是通过数据线 DL (n) 输入负极性的数据信号, 而第二子像素电极 SP2 (m, n) 及 SP2 (m+1, n) 通过数据线 DL (n-1) 输入正极性的数据信号。

图 4 为图 3 所述像素阵列结构的各子像素极性示意图, 如图所示, 虽然同一像素中的两个子像素电极极性相反, 但是两个相邻像素之间的相邻子像素极性相同, 这样会产生电容耦合的问题, 同时也会使得显示时候产生闪烁 (Flicker) 现象, 从而影响显示画质。

发明内容

本发明提供了一种液晶显示装置及其像素阵列基板, 用以提高画质的表现能力。

本发明的目的之一是, 提供了一种液晶显示装置像素阵列基板, 所述的像素阵列基板包括: 多个像素电极, 形成在所述的基板上, 每个所述的像素电极具有两个子像素电极, 分别为第一子像素电极和第二子像素电极; 多个薄膜晶体管, 形成在所述的基板上, 并且每个所述的薄膜晶体管与一个所述的子像素电极电性连接; 所述的多个像素电极排列为像素电极阵列; 其中所述像素电极阵列中每一行像素电极中的任意两个相邻子像素电极所对应的薄膜晶体管连接不同的数据线。其特征在于, 所述像素电极阵列中每一列像素电极中的任意两个相邻像素电极的第一子像素电极所对应的薄膜晶体管连接不同的数据线。

本发明的目的之一是, 提供了一种液晶显示装置, 其特征在于, 所述液晶显示装置包括: 第一基板和第二基板; 共同电极, 形成在所述的第一基板上; 多个像素电极, 形成在所述的第二基板上, 每个所述的像素电极具有两个子像素电极, 分别为第一子像素电极和第二子像素电极; 多个薄膜晶体管, 形成在所述的第二基板上, 并且每个所述的薄膜晶体管与一个所述的子像素电极电性连接; 所述的多个像素电极排列为像素电极阵列; 其中所述像素电极阵列中每一行像素电极中的任意两个相邻子像素电极所对应的薄膜晶体管

连接不同的数据线。其特征在于，所述像素电极阵列中每一列像素电极中的任意两个相邻像素电极的第一子像素电极所对应的薄膜晶体管连接不同的数据线。

本发明的有一效果在于，使像素阵列结构中，任意两个相邻像素电极的第一子像素电极分别电性连接不同的数据线，因此每一个相邻的子像素上施加的电压的极性均是相反的，可以显著降低子像素之间的电容耦合问题，同时可以显著降低显示时候产生的闪烁（Flicker）现象，以实现更优化的画质表现。

附图说明

图 1 为现有的 MVA LCD 的像素结构图；

图 2 为图 1 的 MVA LCD 中沿剖面线 I-I'所示的剖面图；

图 3 为图 1 的 MVA LCD 的像素阵列结构示意图；

图 4 为图 3 中的像素阵列结构的各子像素极性示意图；

图 5 为本发明一实施例的像素阵列结构示意图；

图 6 为图 5 中单个像素的结构示意图；

图 7 为依照图 6 像素阵列结构所实现的各子像素极性示意图；

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，下面结合附图说明本发明的具体实施方式。

如图 5 所示，为本发明的像素阵列结构示意图。这里以像素电极左边的数据线来定义像素电极的纵坐标，以像素电极所对应的扫描线对来定义像素电极的横坐标，如：像素电极 $P(x, y)$ 即是由位于像素电极左边的第 y 条数据线 $DL(y)$ 与像素电极所对应的第 x 对扫描线 $SL1(x)$ 、 $SL2(x)$ 来定义的。同理，像素电极 $P(x+1, y+1)$ 即是由位于像素电极左边的第 $(y+1)$ 条数据线

DL(y+1)与像素电极所对应的第(x+1)对扫描线 SL1(x+1)、SL2(x+1)来定义的。

如图 6 所示, 为图 5 中单个像素的结构示意图。其中, 该像素被分成两个子像素 (sub-pixels), 像素电极 P (x, y) 可以被分成两个子像素电极, 如: 第一子像素电极 SP1(x, y) 及第二子像素电极 SP2(x, y)。

第一子像素电极 SP1(x, y) 及第二子像素电极 SP2(x, y) 之间通过一狭缝 424 而彼此电性隔离, 第一子像素电极 SP1(x, y) 及第二子像素电极 SP2(x, y) 分别由两个开关元件所控制, 此两开关元件例如是第一薄膜晶体管 (thin film transistor, TFT) T1(x, y) 及第二薄膜晶体管 T2 (x, y)。

第一薄膜晶体管 T1(x, y) 由栅极、半导体层 405a、源极 406a 及漏极 407a 组成; 第二薄膜晶体管 T2(x, y) 由栅极、半导体层 405b、源极 406b 及漏极 407b 组成。第一薄膜晶体管 T1(x, y) 及第二薄膜晶体管 T2(x, y) 的栅极分别与扫描线(scan lines) SL1(x) 及 SL2(x) 电性连接(如图 6 所示, 栅极为扫描线的一部分), 且第一薄膜晶体管 T1(x, y) 及第二薄膜晶体管 T1(x, y) 的源极 406a、406b 分别和数据线 (data lines) DL (y) 及 DL (y+1) 电性连接。第一薄膜晶体管 T1(x, y) 及第二薄膜晶体管 T2(x, y) 的漏极 407a、407b 分别通过通孔 404a、404b 与第一子像素电极 SP1(x, y) 及第二子像素电极 SP2(x, y) 电性连接。

其中, 在第一子像素电极 SP1(x, y) 与第二子像素电极 SP2(x, y) 上分别设有多个开口 408, 优选地, 本发明中, 狭缝 424 与开口 408 平行设置。401 为存储电容电极, 其与像素电极构成存储电容, 具体地, 存储电容电极 401 与第一子像素电极 SP1(x, y) 中间隔有栅极绝缘层和钝化层, 构成第一子存储电容,, 存储电容电极 401 与第二子像素电极 SP2(x, y) 中间隔有栅极绝缘层和钝化层, 构成第二子存储电容。优选地, 为增大存储电容, 在存储电容电极 401 与第一子像素电极 SP1(x, y)、第二子像素电极 SP2(x, y) 之间分别设有辅助金属层 402a、402b, 所述辅助金属层 402a、402b 位于栅极绝缘层与钝化层之间, 辅助金属层 402a、402b 分别通过通孔 403a、403b 穿过钝化层与第一子像素电极 SP1(x, y)、第二子像素电极 SP2(x, y) 电性相连。

每一像素分别由两根扫描线及两根数据线所驱动，第一子像素电极及第二子像素电极分别由不同的扫描线及数据线通过第一薄膜晶体管及第二薄膜晶体管（或者第二薄膜晶体管及第一薄膜晶体管）来驱动。如图 6 所示，第一子像素电极 $SP1(x, y)$ 由扫描线 $SL1(x)$ 与数据线 $DL(y)$ 通过第一薄膜晶体管 $T1(x, y)$ 来驱动，第二子像素电极 $SP2(x, y)$ 由扫描线 $SL2(x)$ 与数据线 $DL(y+1)$ 通过第二薄膜晶体管 $T2(x, y)$ 来驱动。因此数据线 $DL(y)$ 、 $DL(y+1)$ 的数据信号可以通过第一薄膜晶体管 $T1(x, y)$ 、第二薄膜晶体管 $T2(x, y)$ 分别传输到第一子像素电极 $SP1(x, y)$ 、第二子像素电极 $SP2(x, y)$ 。

同理，如图 5 所示，与像素电极 $P(x, y)$ 相邻的像素电极 $P(x, y+1)$ 的两个子像素电极 $SP1(x, y+1)$ 及 $SP2(x, y+1)$ 分别通过第二薄膜晶体管 $T2(x, y+1)$ 及第一薄膜晶体管 $T1(x, y+1)$ 来驱动，第一薄膜晶体管 $T1(x, y+1)$ 、第二薄膜晶体管 $T2(x, y+1)$ 的栅极分别电性连接扫描线 $SL1(x)$ 、 $SL2(x)$ （图中所示，所述薄膜晶体管的栅极为扫描线的一部分），第一薄膜晶体管 $T1(x, y+1)$ 、第二薄膜晶体管 $T2(x, y+1)$ 的源极分别连接像素 $P(x, y+1)$ 相邻的两根数据线 $DL(y+1)$ 及 $DL(y+2)$ ，第一薄膜晶体管 $T1(x, y+1)$ 、第二薄膜晶体管 $T2(x, y+1)$ 漏极则分别电性连接第二子像素电极 $SP2(x, y+1)$ 、第一子像素电极 $SP1(x, y+1)$ ，因此数据线 $DL(y+1)$ 、 $DL(y+2)$ 的数据信号可以通过第一薄膜晶体管 $T1(x, y+1)$ 、第二薄膜晶体管 $T2(x, y+1)$ 分别传输到第二子像素电极 $SP2(x, y+1)$ 、第一子像素电极 $SP1(x, y+1)$ 。由于相邻数据线施加的是极性相反的电压，因此每一行像素电极中任意两个相邻像素电极的第一子像素电极上施加的电压极性均相反，同理，每一行像素电极中任意两个相邻像素电极的第二子像素电极上施加的电压极性也均相反。

另外，与像素电极 $P(x, y)$ 下方相邻的像素电极 $P(x+1, y)$ 的两个子像素电极 $SP1(x+1, y)$ 及 $SP2(x+1, y)$ 亦分别通过第二薄膜晶体管 $T2(x+1, y)$ 及第一薄膜晶体管 $T1(x+1, y)$ 来驱动，第一薄膜晶体管 $T1(x+1, y)$ 、第二薄膜晶体管 $T2(x+1, y)$ 的栅极分别电性连接扫描线 $SL1(x+1)$ 、 $SL2(x+1)$ （如图 6 所示，所述薄膜晶

体管的栅极为扫描线的一部分), 第一薄膜晶体管 $T1(x+1, y)$ 、第二薄膜晶体管 $T2(x+1, y)$ 的源极分别连接像素 $P(x+1, y)$ 相邻的两根数据线 $DL(y)$ 及 $DL(y+1)$, 第一薄膜晶体管 $T1(x+1, y)$ 、第二薄膜晶体管 $T2(x+1, y)$ 漏极则分别电性连接第二子像素电极 $SP2(x+1, y)$ 、第一子像素电极 $SP1(x+1, y)$, 因此数据线 $DL(y)$ 、 $DL(y+1)$ 的数据信号可以通过第一薄膜晶体管 $T1(x+1, y)$ 、第二薄膜晶体管 $T2(x+1, y)$ 分别传输到第二子像素电极 $SP2(x+1, y)$ 、第一子像素电极 $SP1(x+1, y)$ 。由于相邻数据线施加的是极性相反的电压, 因此每一列中任意两个相邻像素电极的第一子像素电极上施加的电压极性均相反, 同理, 每一列像素电极中任意两个相邻像素电极的第二子像素电极上施加的电压极性也均相反。

当图 5 所示的像素阵列被驱动时, 每一扫描线逐一地被扫描, 也就是说, 每一行像素电极中的每个像素电极所对应的第一薄膜晶体管与第二薄膜晶体管依序被打开, 对应的数据信号将被输入至该像素的第一子像素电极及第二子像素电极。例如, 当扫描线 $SL1(x)$ 被扫描而使得第一薄膜晶体管 $T1(x, y)$ 及 $T1(x, y+1)$ 被打开时, 对应的数据信号线分别将经由数据线 $DL(y)$ 及 $DL(y+1)$ 输入至像素电极 $P(x, y)$ 的第一子像素电极 $SP1(x, y)$ 及像素电极 $P(x, y+1)$ 的第二子像素电极 $SP2(x, y+1)$ 。之后, 扫描线 $SL2(x)$ 被扫描, 第二薄膜晶体管 $T2(x, y)$ 及 $T2(x, y+1)$ 被打开, 而对应的数据信号将分别经由数据线 $DL(y+1)$ 及 $DL(y+2)$ 被输入至像素电极 $P(x, y)$ 的第二子像素电极 $SP2(x, y)$ 及像素电极 $P(x, y+1)$ 的第一子像素电极 $SP1(x, y+1)$ 。

同理, 当扫描线 $SL1(x+1)$ 被扫描而使得第一薄膜晶体管 $T1(x+1, y)$ 及 $T1(x+1, y+1)$ 被打开时, 对应的数据信号线分别将经由数据线 $DL(y)$ 及 $DL(y+1)$ 输入至像素电极 $P(x+1, y)$ 的第二子像素电极 $SP2(x+1, y)$ 及像素电极 $P(x+1, y+1)$ 的第一子像素电极 $SP1(x+1, y+1)$ 。之后, 扫描线 $SL2(x+1)$ 被扫描, 第二薄膜晶体管 $T2(x+1, y)$ 及 $T2(x+1, y+1)$ 被打开, 而对应的数据信号将分别经由数据线 $DL(y+1)$ 及 $DL(y+2)$ 被输入至像素电极 $P(x+1, y)$ 的第二子像素电极 $SP2(x+1, y)$ 及像素电极 $P(x+1, y+1)$ 的第一子像素电极 $SP1(x+1, y+1)$ 。

y)的第一子像素电极 SP1 (x+1, y) 及像素电极 P(x+1, y+1)的第二子像素电极 SP2 (x+1, y+1)。

上述像素阵列结构中, 任意一个像素电极内的第一子像素电极和第二子像素电极分别电性连接不同的数据线, 同时任意两个相邻像素电极的两个第一子像素电极或是第二子像素电极分别电性连接不同的数据线, 因此可以实现子像素反向驱动。

图 7 为依照本发明像素结构所实现的各子像素极性示意图, 依照本发明结构, 任意两个相邻的子像素上施加的电压的极性均是相反的, 可以显著降低子像素之间的电容耦合问题, 同时可以显著降低显示时候产生的闪烁 (Flicker) 现象, 以实现更优化的画质表现。

上文中以 MVA 液晶显示装置为例进行了说明。但是应当明白, 本发明并不限于 MVA 液晶显示装置, 只要阵列基板的像素结构中存在两个子像素, 就可以采用本发明。上文的说明中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施, 本领域技术人员可以在不违背本发明内涵的情况下做类似推广。

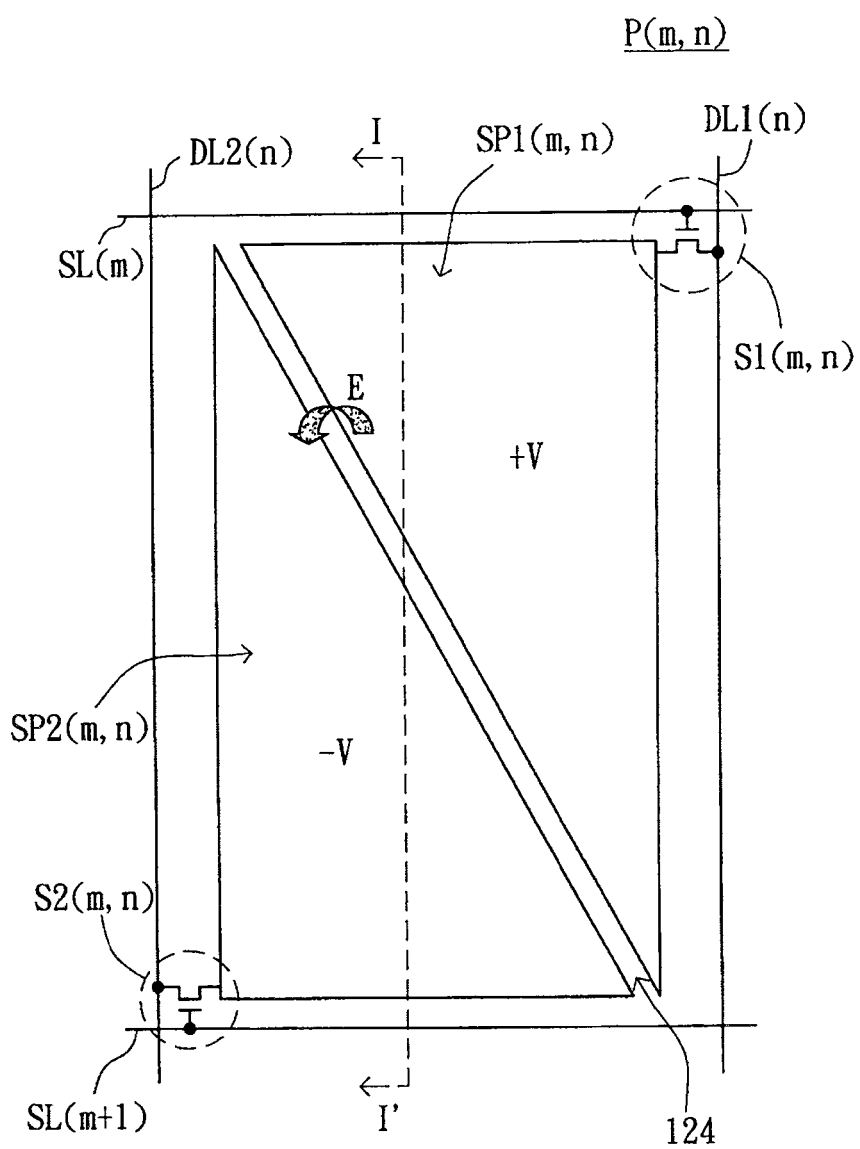


图 1

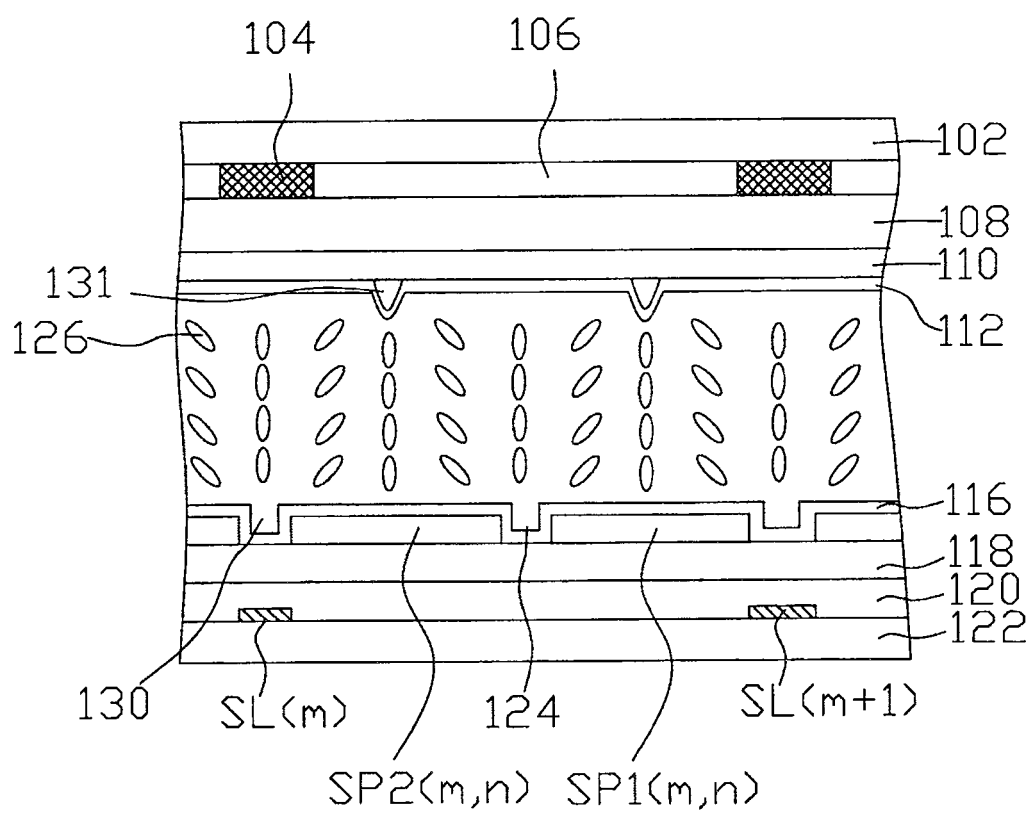


图 2

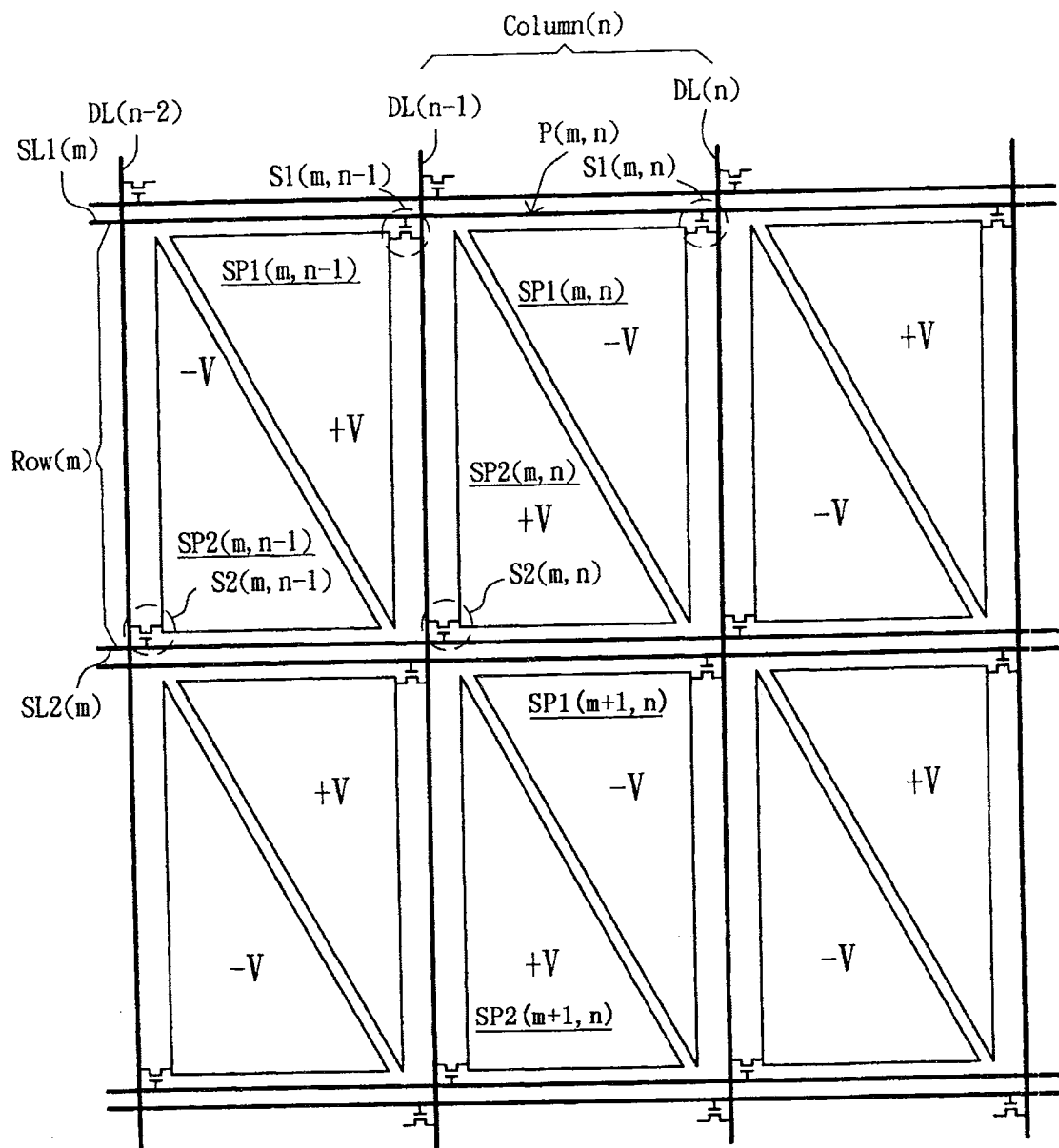


图 3

- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +
- +	+ -	- +

图 4

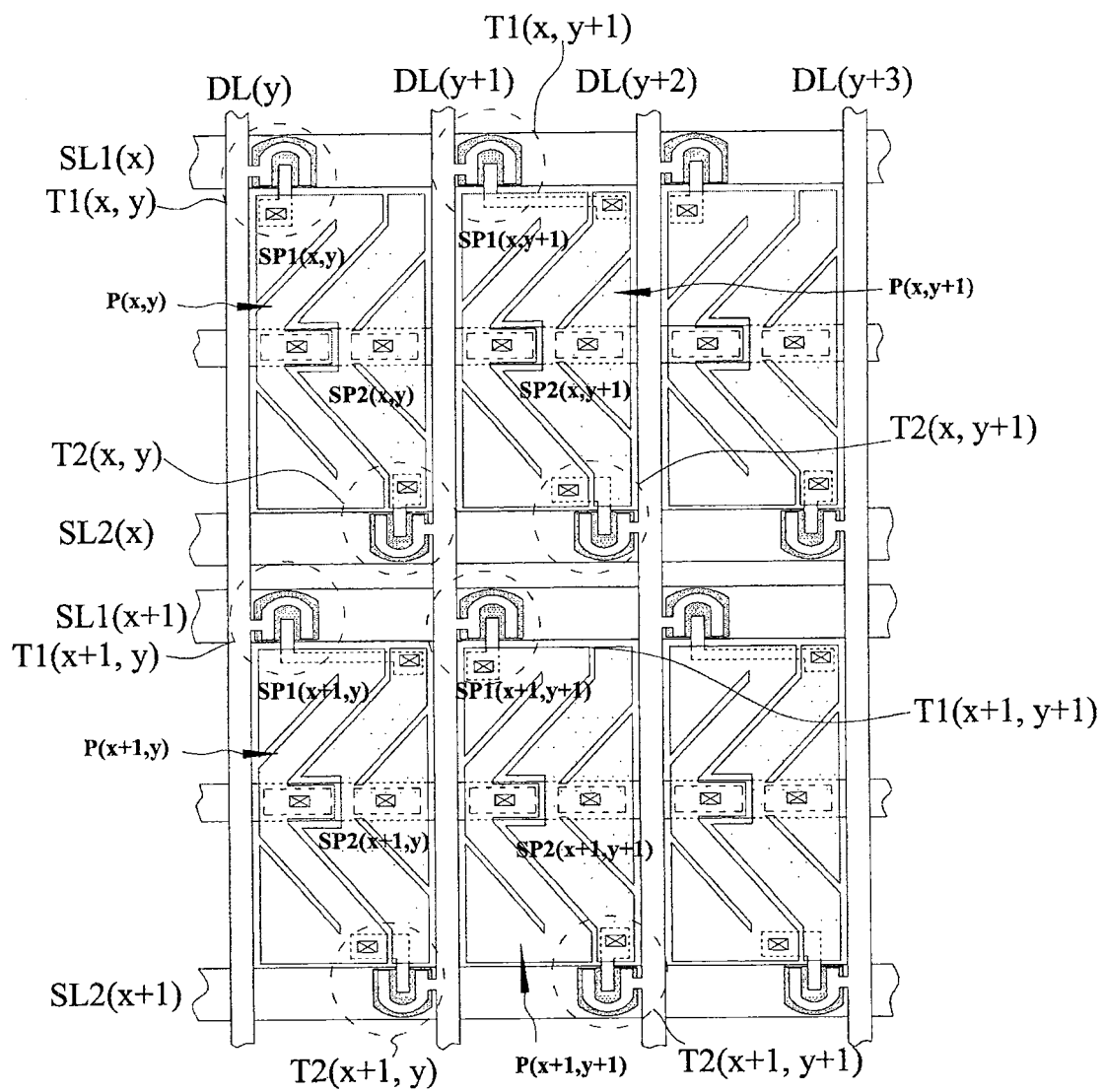


图 5

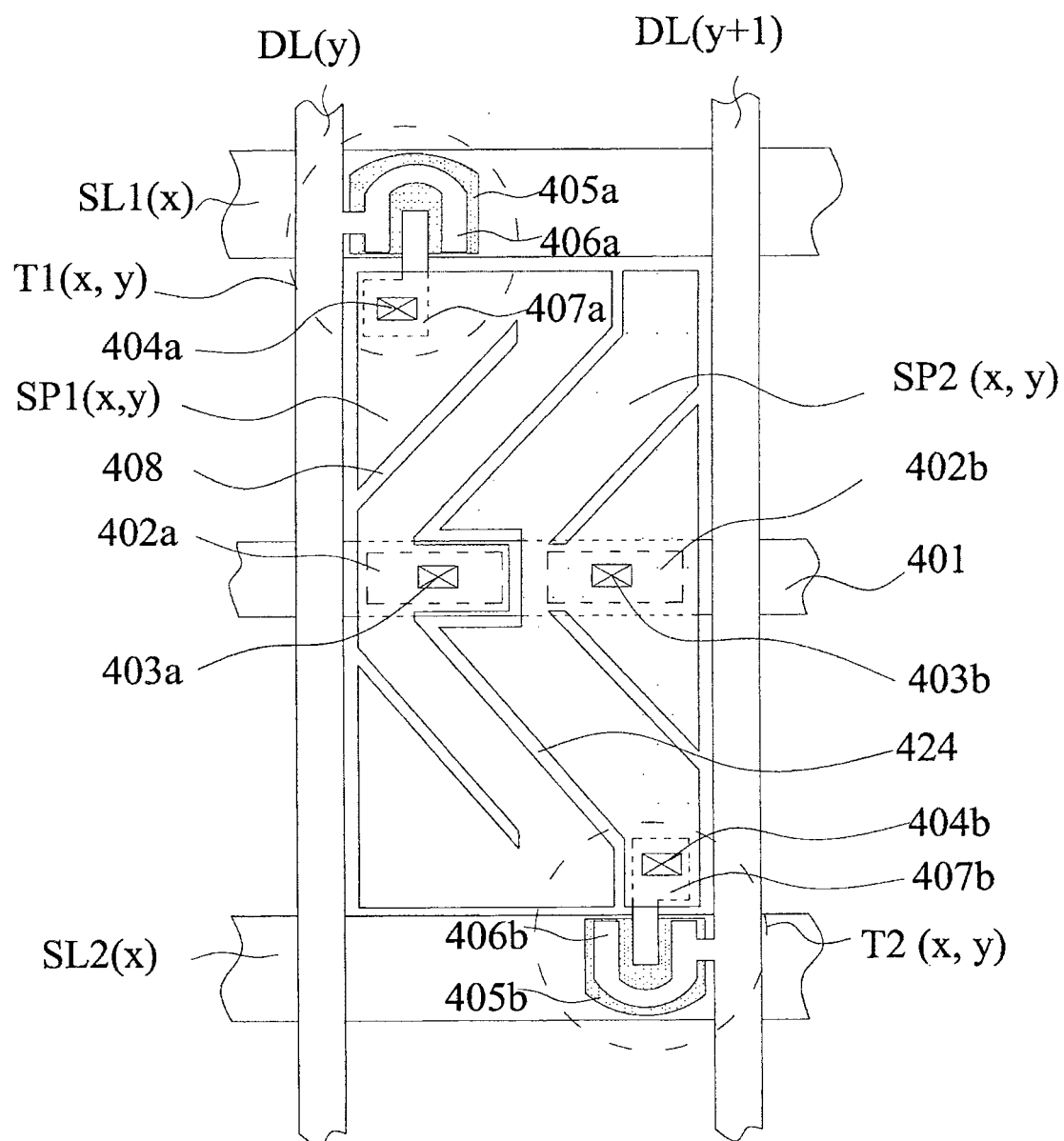


图 6

+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-

图 7

专利名称(译)	一种液晶显示装置及其像素阵列基板		
公开(公告)号	CN100592184C	公开(公告)日	2010-02-24
申请号	CN200810110112.7	申请日	2008-06-10
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
当前申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	钟德镇 邱郁雯 廖家德 简廷宪		
发明人	钟德镇 邱郁雯 廖家德 简廷宪		
IPC分类号	G02F1/1362 H01L27/12		
审查员(译)	钟宇		
其他公开文献	CN101295115A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种液晶显示装置及其像素阵列基板，所述的像素阵列基板包括：多个像素电极，形成在所述的基板上，每个所述的像素电极具有两个子像素电极；多个开关元件，形成在所述的基板上，并且每个所述的开关元件与一个所述的子像素电极电性连接；多条数据线，形成在所述的基板上，与多个子像素所对应的开关元件电性连接，用于向任意两个相邻的子像素电极上施加极性相反的电压信号。本发明用以解决子像素的控制问题，提高画质的表现能力。

