

[51] Int. Cl.

G02F 1/1362 (2006.01)

H01L 27/12 (2006.01)

H01L 27/04 (2006.01)

H01L 21/00 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200710127222. X

[45] 授权公告日 2009 年 2 月 25 日

[11] 授权公告号 CN 100464241C

[22] 申请日 2007.7.3

[21] 申请号 200710127222. X

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹

[72] 发明人 郑逸圣 赵志伟

[56] 参考文献

CN 1485655A 2004.3.31

US 2005/0161677A1 2005.7.28

CN 1680992A 2005.10.12

审查员 李 飞

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 梁 挥 祁建国

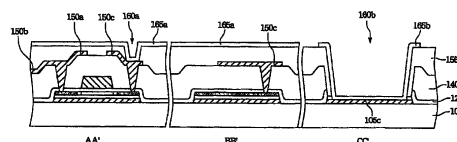
权利要求书 5 页 说明书 6 页 附图 12 页

[54] 发明名称

液晶显示器的像素结构及其制造方法

[57] 摘要

本发明公开了一种液晶显示器的像素结构及其制造方法,在此像素结构中,由金属层/介电层/重掺杂硅层构成储存电容器的下电极/电容介电层/上电极,以增加其电容量。同时,在薄膜晶体管的底部形成金属遮光层以减少光漏电流的发生。采用本发明,在储存电容器的部分,其下电极是由金属所构成,其上电极由重掺杂的硅层所构成。因此,与由非掺杂硅层、栅介电层与金属层所构成的现有技术的储存电容器相较下,可大幅增加储存电容器的电容量。此外,薄膜晶体管的下方也多一层金属遮光层,以阻断光漏电流的产生。



1. 一种像素结构的制造方法，适用于一液晶显示器，其特征在于，该制造方法包括：

依序形成一第一金属层、一第一介电层与一硅层于一基板上；

图案化该第一金属层、该第一介电层与该硅层，分别在该基板的一主动区与一电容区上形成一主动堆栈与一电容堆栈，以及形成与该电容堆栈连接的一电容线；

依序形成一栅介电层与一第二金属层于该基板、该主动堆栈、该电容堆栈与该电容线之上；

图案化该第二金属层，以在该主动堆栈上方形成至少一栅极，以及与该栅极相连的一扫描线；

以该栅极与该扫描线为掺杂掩膜，对该主动堆栈的该硅层、该电容堆栈的该硅层与该电容线的该硅层进行一重掺杂工艺以形成多个重掺杂区，其中该主动堆栈的该硅层两端的两个重掺杂区分别为一源极区与一漏极区，而该电容堆栈的该第一金属层与该电容堆栈的重掺杂区分别为构成一储存电容器的一第一电极与一第二电极；

形成一第二介电层于该栅介电层、该栅极与该扫描线之上；

图案化该第二介电层，以形成一第一开口、一第二开口与一第三开口分别暴露出该源极区、该漏极区与该第二电极；

形成一第三金属层覆盖于该第二介电层之上以及该第一开口、该第二开口与该第三开口中；

图案化该第三金属层，形成一数据线、电性连接该数据线与该源极区的第一导线以及电性连接该漏极区与该第二电极的第二导线；

形成一平坦层于该第二介电层、该数据线、该第一导线与该第二导线之上；

图案化该平坦层，形成一第五开口以暴露出该第二导线；

形成一透明导电层于该平坦层之上与该第五开口之中；以及

图案化该透明导电层，形成与该第二导线电性相接的一像素电极。

2. 根据权利要求1所述的方法，其特征在于，在进行该重掺杂工艺与形成该第二介电层的步骤之间还包括：

等向性蚀刻该栅极，以缩减该栅极的尺寸；以及

以蚀刻后的该栅极为掺杂掩膜，对该主动堆栈的该硅层进行一淡掺杂工艺，以在该源极区与该漏极区的内侧分别形成一淡掺杂区。

3. 根据权利要求1所述的方法，其特征在于，还包括在该电容线的末端形成一第一端子，该第一端子的形成方法包括：

在图案化该第一金属层、该第一介电层与该硅层的步骤中，形成连接该电容线末端的一端子堆栈；

在图案化该第二介电层的步骤中，形成一第四开口于该第二介电层中暴露出该端子堆栈的该硅层；

在图案化该第三金属层的步骤中，除去该端子堆栈上的该第三金属层与该硅层；

在图案化该平坦层的步骤中，除去该端子堆栈上的该平坦层与该第一介电层以暴露出该第一金属层，该端子堆栈的该第一金属层构成该第一端子；以及

在图案化该透明导电层的步骤中，形成一保护层于暴露出的该第一端子上。

4. 根据权利要求1所述的方法，其特征在于，图案化该第二金属层的步骤中还包括形成一第二端子，电性连接于该扫描线的末端。

5. 根据权利要求1所述的方法，其特征在于，该图案化该第三金属层的步骤中还包括形成一第三端子，电性连接于该数据线的末端。

6. 根据权利要求1所述的方法，其特征在于，部分的该扫描线位于该主动堆栈上方的该栅介电层上。

7. 根据权利要求1所述的方法，其特征在于，该硅层的材料包括多晶硅或非晶硅。

8. 根据权利要求1所述的方法，其特征在于，该第一介电层与该第二介电层的材料包括氧化硅。

9. 根据权利要求1所述的方法，其特征在于，该栅介电层的材料包括氧化硅、氮化硅或氮氧化硅。

10. 根据权利要求1所述的方法，其特征在于，该透明导电层的材料包括氧化铟锡、氧化铟锌或氧化铝锌。

11. 一种像素结构，适用于一液晶显示器，其特征在于，该像素结构至

少包括：

一薄膜晶体管，位于一基板的一主动区上，该薄膜晶体管包括：

一主动堆栈，该主动堆栈由下至上依序具有一金属遮光层、一介电层与一硅岛，该硅岛的两端具有重掺杂的一源极区与一漏极区；

一栅介电层，位于该主动堆栈之上；以及

至少一栅极，位于该主动堆栈上方的该栅介电层上；

一储存电容器，位于该基板的一电容区上，该储存电容器由下至上依序具有一第一电极、一电容介电层与一第二电极，其中该第一电极与该金属遮光层由不连续的一第一金属层所构成，该电容介电层与该介电层由不连续的一第一介电层所构成，该第二电极与该硅岛由不连续的一硅层所构成，该第二电极为重掺杂且与该漏极区电性相接；以及

一像素电极，与该第二电极电性相接。

12. 根据权利要求 11 所述的像素结构，其特征在于，还包括二个淡掺杂区，分别位于该源极区与该漏极区的内侧。

13. 根据权利要求 11 所述的像素结构，其特征在于，还包括：

一扫描线，电性连接于该至少一栅极；

一第二介电层，位于该栅介电层、该至少一栅极与该扫描线之上；

一数据线，位于该第二介电层上；

一第一导线，位于该第二介电层上，电性连接该数据线与该源极区；以及

一第二导线，位于该第二介电层上，电性连接该漏极区、该第二电极和该像素电极。

14. 根据权利要求 13 所述的像素结构，其特征在于，还包括：

一电容线，电性连接于该储存电容器，该电容线的结构由下至上与该储存电容器相同；以及

一第一端子位于该电容线的末端，该第一端子由该第一金属层所构成，该第一端子之上具有一保护层，该保护层与该像素电极由同一透明导电层所构成。

15. 根据权利要求 14 所述的像素结构，其特征在于，还包括一第二端子位于该扫描线的末端，以及一第三端子位于该数据线的末端。

16. 根据权利要求 15 所述的像素结构，其特征在于，该扫描线、该至少

一栅极与该第二端子由一第二金属层所构成，以及该数据线、该第一导线、该第二导线与该第三端子由一第三金属层所构成。

17. 根据权利要求 13 所述的像素结构，其特征在于，部分的该扫描线位于该主动堆栈上方的该栅介电层上。

18. 根据权利要求 11 所述的像素结构，其特征在于，该硅层的材料包括多晶硅或非晶硅。

19. 根据权利要求 11 所述的像素结构，其特征在于，该栅介电层的材料包括氧化硅、氮化硅或氮氧化硅。

20. 根据权利要求 11 所述的像素结构，其特征在于，该像素电极的材料包括氧化铟锡、氧化铟锌或氧化铝锌。

21. 一种像素结构，适用于一液晶显示器，其特征在于，该像素结构包括：

一薄膜晶体管，位于一基板的一主动区上，该薄膜晶体管包括：

一主动堆栈，该主动堆栈由下至上依序具有一金属遮光层、一介电层与一硅岛，该金属遮光层、该介电层与该硅岛具有相同的图案，且该硅岛的两端具有重掺杂的一源极区与一漏极区；

一栅介电层，位于该主动堆栈之上；以及

至少一栅极，位于该主动堆栈上方的该栅介电层上；

一储存电容器，位于该基板的一电容区上，该储存电容器由下至上依序具有一第一电极、一电容介电层与一第二电极，其中该第二电极为重掺杂的一硅层且与该漏极区电性相接；以及

一扫描线，电性连接于该至少一栅极；

一第二介电层，位于该栅介电层、该至少一栅极与该扫描线之上；

一数据线，位于该第二介电层上；

一第一导线，位于该第二介电层上，电性连接该数据线与该源极区；

一第二导线，位于该第二介电层上，电性连接该漏极区与该第二电极；以及

一像素电极，电性连接该第二导线。

22. 根据权利要求 21 所述的像素结构，其特征在于，还包括二个淡掺杂区，分别位于该源极区与该漏极区的内侧。

23. 根据权利要求 21 所述的像素结构，其特征在于，还包括：

一电容线，电性连接于该储存电容器，该电容线的结构由下至上与该储存电容器相同；以及

一第一端子位于该电容线的末端，该第一端子由一第一金属层所构成，该第一端子之上具有一保护层，该保护层与该像素电极由同一透明导电层所构成。

24. 根据权利要求 23 所述的像素结构，其特征在于，还包括一第二端子位于该扫描线的末端，以及一第三端子位于该数据线的末端。

25. 根据权利要求 24 所述的像素结构，其特征在于，该扫描线、该至少一栅极与该第二端子由一第二金属层所构成，以及该数据线、该第一导线、该第二导线与该第三端子由一第三金属层所构成。

26. 根据权利要求 21 所述的像素结构，其特征在于，部分的该扫描线位于该主动堆栈上方的该栅介电层上。

27. 根据权利要求 21 所述的像素结构，其特征在于，该硅层的材料包括多晶硅或非晶硅。

28. 根据权利要求 21 所述的像素结构，其特征在于，该栅介电层的材料包括氧化硅、氮化硅或氮氧化硅。

29. 根据权利要求 21 所述的像素结构，其特征在于，该像素电极的材料包括氧化铟锡、氧化铟锌或氧化铝锌。

液晶显示器的像素结构及其制造方法

技术领域

本发明涉及一种液晶显示器及其制造方法，且尤其涉及一种液晶显示器的像素结构及其制造方法。

背景技术

在现有液晶显示器的像素结构中，若其薄膜晶体管为顶栅极(top gate)的结构，则其储存电容器的下电极与薄膜晶体管的硅岛通常由同一层硅层所构成，而储存电容器的上电极与薄膜晶体管的栅极通常由同一层金属层所构成。造成在以栅极与上电极为掩膜来对上述硅层进行离子掺杂时，由于储存电容器的上电极将下电极遮盖住，因此无法对下电极进行有效的离子掺杂，造成无法有效增加储存电容器的储存电容量。而薄膜晶体管也容易因照光产生漏电流。

发明内容

本发明所要解决的技术问题在于提供一种适用于液晶显示器的像素结构及其制造方法。

为实现上述目的，本发明提供一种像素结构，适用于一液晶显示器，该像素结构至少包括：一薄膜晶体管，位于一基板的一主动区上，该薄膜晶体管包括：一主动堆栈，该主动堆栈由下至上依序具有一金属遮光层、一介电层与一硅岛，该硅岛的两端具有重掺杂的一源极区与一漏极区；一栅介电层，位于该主动堆栈之上；以及至少一栅极，位于该主动堆栈上方的该栅介电层上；一储存电容器，位于该基板的一电容区上，该储存电容器由下至上依序具有一第一电极、一电容介电层与一第二电极，其中该第一电极与该金属遮光层由不连续的一第一金属层所构成，该电容介电层与该介电层由不连续的一第一介电层所构成，该第二电极与该硅岛由不连续的一硅层所构成，该第二电极为重掺杂且与该漏极区电性相接；以及一像素电极，与该第二电极电性相接。

而且，为实现上述目的，本发明提供一种显示器像素结构的制造方法，首

先，在基板上依序形成第一金属层、第一介电层与硅层，然后图案化该一金属层、第一介电层与硅层，分别在基板的主动区与电容区上形成主动堆栈与电容堆栈，以及形成与电容堆栈连接的电容线。接着，在基板、主动堆栈、电容堆栈与电容线的上依序形成栅介电层与第二金属层，再图案化第二金属层，以在主动堆栈上方形成至少一栅极，以及与栅极相连的扫描线。以栅极与扫描线为掺杂掩膜，对主动堆栈、电容堆栈与电容线的硅层进行重掺杂工艺以形成多个重掺杂区。其中，主动堆栈的硅层两端的重掺杂区分别为源极区与漏极区，而电容堆栈的第一金属层与重掺杂区分别为构成储存电容器的第一电极与第二电极。

接着，在栅介电层、栅极与扫描线的上形成第二介电层，再图案化第二介电层，以形成第一开口、第二开口与第三开口分别暴露出源极区、漏极区与第二电极。然后，形成第三金属层覆盖于第二介电层之上，再图案化第三金属层，形成数据线、电性连接数据线与源极区的第一导线以及电性连接漏极区与第二电极的第二导线。然后，在第二介电层、数据线、第一导线与第二导线之上形成平坦层，然后图案化平坦层，形成第四开口以暴露出第二导线。然后，在平坦层之上与第四开口之中形成透明导电层，再图案化透明导电层，形成与第二导线电性相接的像素电极。

采用本发明，在储存电容器的部分，其下电极(也即第一电极 105b)是由金属所构成，其上电极(也即第二电极 130c)由重掺杂的硅层所构成。因此，与由非掺杂硅层、栅介电层与金属层所构成的现有技术的储存电容器相较下，可大幅增加储存电容器的电容量。此外，薄膜晶体管的下方也多一层金属遮光层，以阻断光漏电流的产生。

附图说明

为让本发明之上述和其它目的、特征、优点与实施例能更明显易懂，所附附图的详细说明如下：

请参照图 1A-图 6B，其绘示依照本发明单栅极实施例的一种液晶显示器的像素结构的制造流程示意图。

请参照图 7A-图 7B，其绘示依照本发明双栅极实施例的一种液晶显示器的像素结构的示意图。

其中，附图标记：

100：基板	105a：金属遮光层
105b：第一电极	105c：第一端子
110b：电容介电层	110a：第一介电层
110d：第一介电层	110c：第一介电层
115b：硅层	115a：硅岛
115d：硅层	115c：硅层
118b：电容堆栈	118a：主动堆栈
118d：电容线	118c：端子堆栈
125a：栅极	120：栅介电层
125c：第二端子	125b：扫描线
130b：漏极区	130a：源极区
130d：重掺杂区	130c：第二电极
130f：重掺杂区	130e：重掺杂区
140：第二介电层	135：轻掺杂区
145b：第二开口	145a：第一开口
145d：第四开口	145c：第三开口
150b：数据线	150a：第一导线
150d：第三端子	150c：第二导线
160a：第五开口	155：平坦层
165a：像素电极	160b：第六开口
165b：保护层	

具体实施方式

单栅极实施例：

请参照图 1A-图 6B，其绘示依照本发明单栅极实施例的一种液晶显示器的像素结构的制造流程示意图。

请先参照图 1A-图 1B，图 1A 为俯视图，图 1B 为图 1A 的 AA'、BB'、CC'剖面结构示意图。先在基板 100 上依序形成第一金属层、第一介电层与硅层，然后图案化第一金属层、第一介电层与硅层，分别在主动区(剖面线 AA')、电容

区(剖面线 BB')与端子区(剖面线 CC')分别形成主动堆栈 118a、电容堆栈 118b 与端子堆栈 118c,以及与电容堆栈 118b 和端子堆栈 118c 连接的电容线 118d。上述的硅层的材料例如可为多晶硅或非晶硅,第一介电层的材料例如可为氧化硅。

上述的主动堆栈 118a 由金属遮光层 105a、第一介电层 110a 与硅岛 115a 堆栈而成,其中金属遮光层 105a 由第一金属层构成,硅岛 115a 由硅层所构成。电容堆栈 118b 由第一电极 105b、电容介电层 110b 与硅层 115b 堆栈而成,其中第一电极 105b 由第一金属层构成,电容介电层 110b 由第一介电层所构成。端子堆栈 118c 由第一端子 105c、第一介电层 110c 与硅层 115c 堆栈而成,第一端子 105c 由第一金属层构成。而上述的电容线 118d (图 1A),其由第一金属层、第一介电层与硅层堆栈而成,在第 1A 图只能看到最上层的硅层 115d。

请先参照图 2A-图 2B,图 2A 为俯视图,图 2B 为图 2A 的 AA'、BB'、CC'剖面结构示意图。先在基板 100、主动堆栈 118a、电容堆栈 118b、端子堆栈 118c 与电容线 118d 之上依序形成栅介电层 120 与第二金属层,然后图案化第二金属层,以在主动堆栈 118a 上形成栅极 125a 以及与栅极 125a 相连的扫描线 125b 与第二端子 125c。接着,以栅极 125a 为掺杂掩膜对硅岛 115a 以及硅层 115b、115c、115d 进行重掺杂工艺,以形成重掺杂区。其中位于硅岛 115a 中的重掺杂区分别作为源极区 130a 与漏极区 130b,重掺杂的硅层 115b 作为第二电极 130c,以及位于硅层 115d 中的重掺杂区 130e。此外,还有位在硅层 115c 中的重掺杂区 130d。上述的第一电极 105b 与第二电极 130c 组成储存电容器。上述的栅介电层 120 例如可为氧化硅、氮化硅或氮氧化硅。

此外,也可选择性地进一步等向性蚀刻栅极 125a(以及扫描线 125b),再以栅极 125a 为掺杂掩膜对硅岛 115a 进行淡掺杂工艺,形成淡掺杂区 135。

请参照图 3,先在栅介电层 120、栅极 125a 与扫描线 125b 与第二端子 125c 之上形成第二介电层 140。接着,图案化第二介电层 140,在第二介电层 140 之中形成第一开口 145a、第二开口 145b、第三开口 145c 与第四开口 145d 以分别暴露出源极区 130a、漏极区 130b、第二电极 130c 以及重掺杂区 130d。上述的第二介电层 140 的材料例如可为氧化硅。

请先参照图 4A-图 4B,图 4A 为俯视图,图 4B 为图 4A 的 AA'、BB'、CC'剖面结构示意图。先在第二介电层 140 之上以及第一开口 145a、第二开口 145b、

第三开口 145c 与第四开口 145d 之中形成第三金属层。然后,图案化第三金属层,以形成数据线 150b、数据线 150b 末端的第三端子 150d、连接数据线 150b 与源极区 130a 的第一导线 150a (经由第一开口 145a) 以及连接漏极区 130b 与第二电极 130c 的第二导线 150c (经由第二开口 145b 与第三开口 145c)。同时,也将第四开口 145d 内的第二金属层以及暴露出的重掺杂区 130d 移除之,暴露出第一介电层 110c。

请参照图 5,接着在在第二介电层 140、数据线 150b、第一导线 150a、第二导线 150c、第三端子 150d 之上以及第四开口 145d 之中形成平坦层 155。然后,图案化平坦层 155,在平坦层 155 中形成第五开口 160a 与第六开口 160b。其中,第五开口 160a 暴露出第二导线 150c,而第六开口 160b 则暴露出第一端子 105c。

请先参照图 6A-图 6B,图 6A 为俯视图,图 6B 为图 6A 的 AA'、BB'、CC' 剖面结构示意图。接着,在平坦层 155 之上以及第五开口 160a、第六开口 160b 的内形成透明导电层。再图案化透明导电层,以形成像素电极 165a 以及第一端子 105c 的保护层 165b。上述的透明导电层的材料例如可为氧化铟锡、氧化铟锌或氧化铝锌。

双栅极实施例:

请参照图 7A-图 7B,其绘示依照本发明双栅极实施例的一种液晶显示器的像素结构的示意图。图 7A 为俯视图,图 7B 为图 7A 的 AA'、BB'、CC' 剖面结构示意图。

基本上,除了晶体管的结构由单栅极改为双栅极之外(显示于剖面线 AA'),其它基本结构相同(如剖面线 BB' 与剖面线 CC')。因此相同结构的部分,都采用相同的元件标号,不再赘述。此外,由于双栅极实施例与单栅极实施例的制造流程也基本上相同,因此也不再赘述。以下仅就薄膜晶体管结构的部分加以叙述。

在图 7A 中,薄膜晶体管结构的主动堆栈 118a 的形状为弯曲的,以与栅极 125a 与扫描线 125b 部分重迭,让重迭的部分形成双栅极结构(125a、125b)。在图 7B 中的剖面 AA' 部分,栅极 125a 与作为栅极的部分扫描线 125b、源极区 130a、漏极区 130b 与重掺杂区 130f 构成双栅极薄膜晶体管。此外,也可在制造过程中,选择在栅极 125a 与作为栅极的部分扫描线 125b 的两侧硅层中分别

制造掺杂区 135。

由上述可知，在储存电容器的部分，其下电极(也即第一电极 105b)是由金属所构成，其上电极(也即第二电极 130c)由重掺杂的硅层所构成。因此，与由非掺杂硅层、栅介电层与金属层所构成的现有技术的储存电容器相较下，可大幅增加储存电容器的电容量。此外，薄膜晶体管的下方也多一层金属遮光层，以阻断光漏电流的产生。

当然，本发明还可有其它多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的普通技术人员当可根据本发明做出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

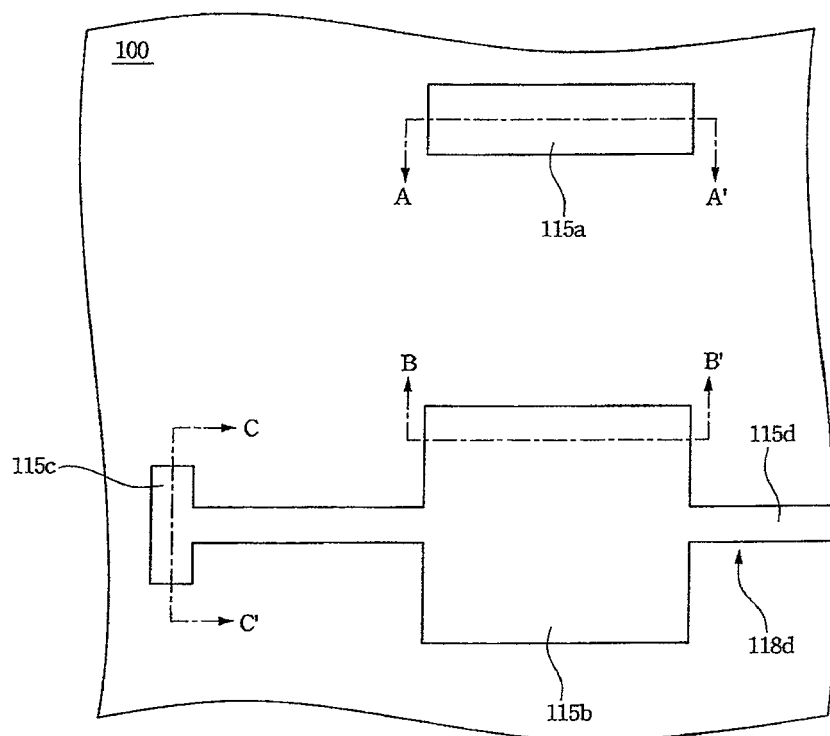


图 1A

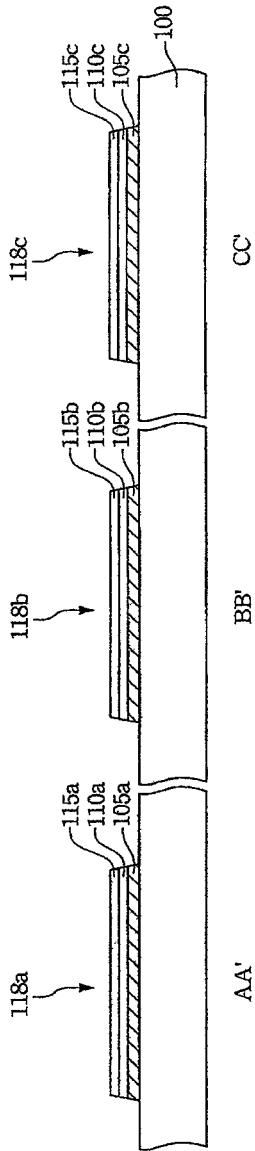


图 1B

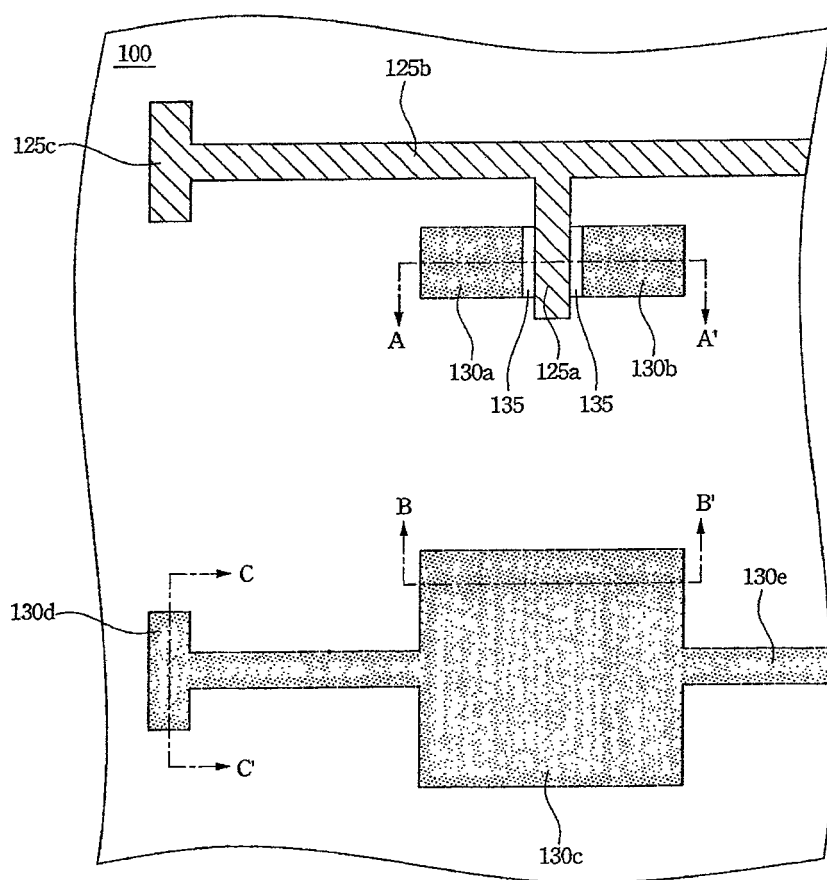


图 2A

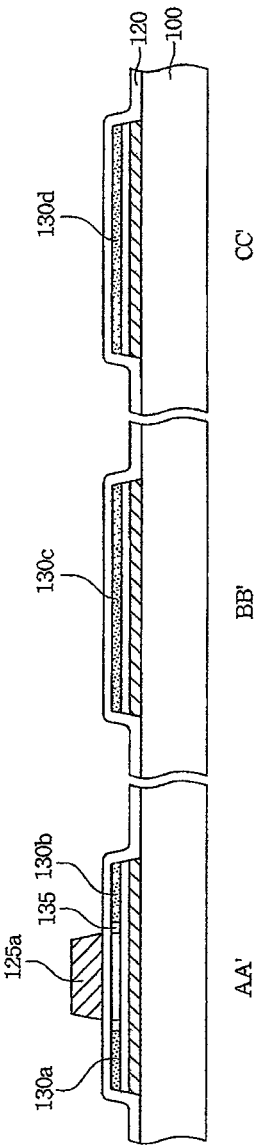
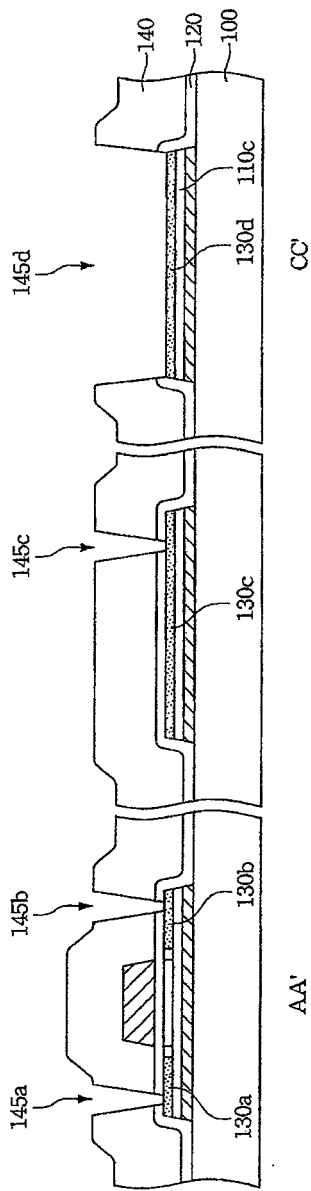


图 2B



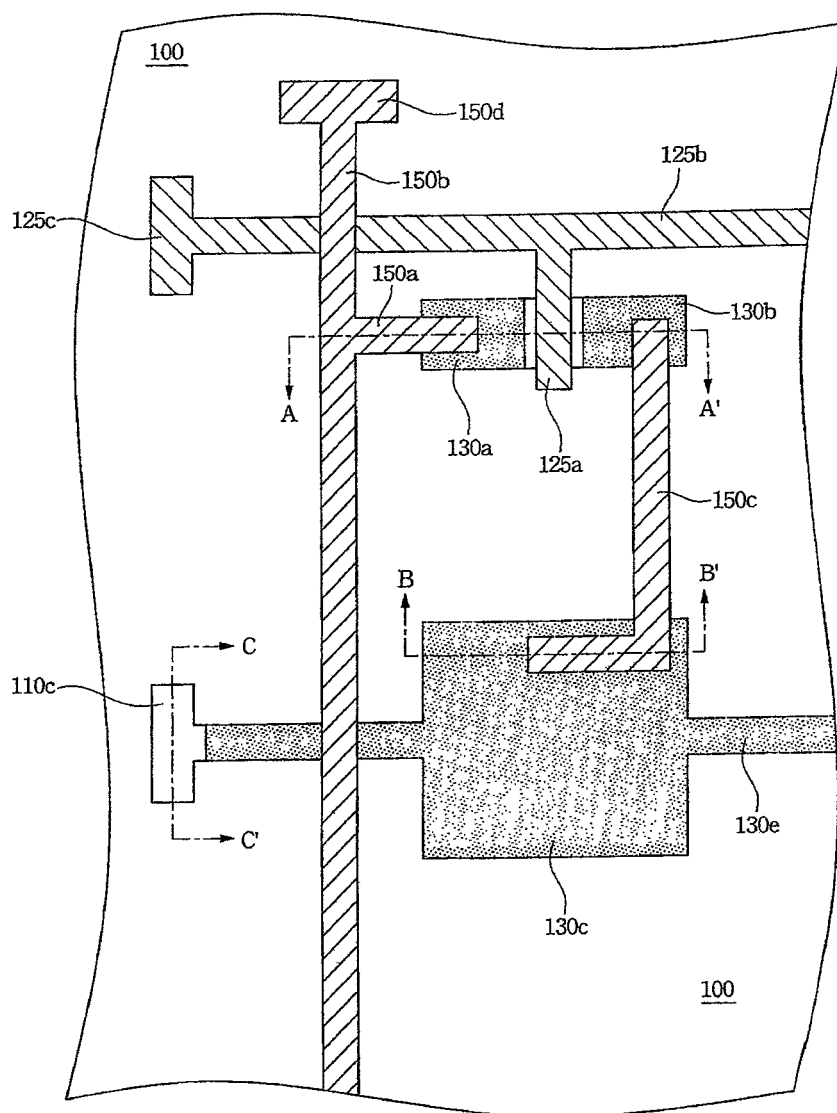


图 4A

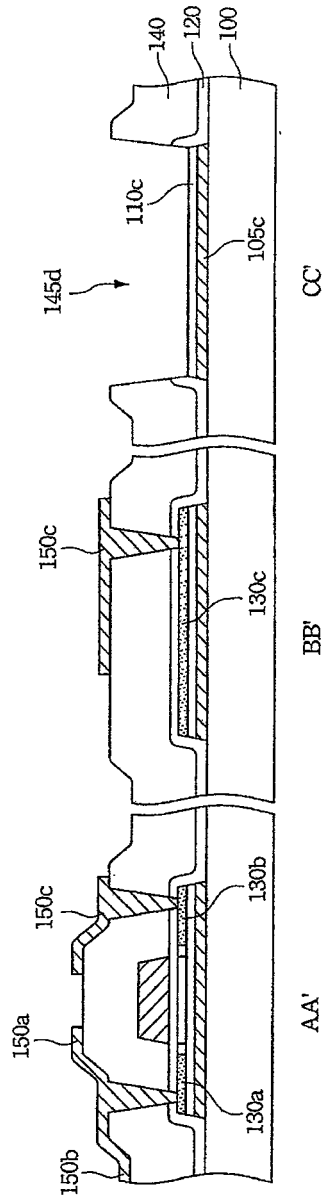


图 4B

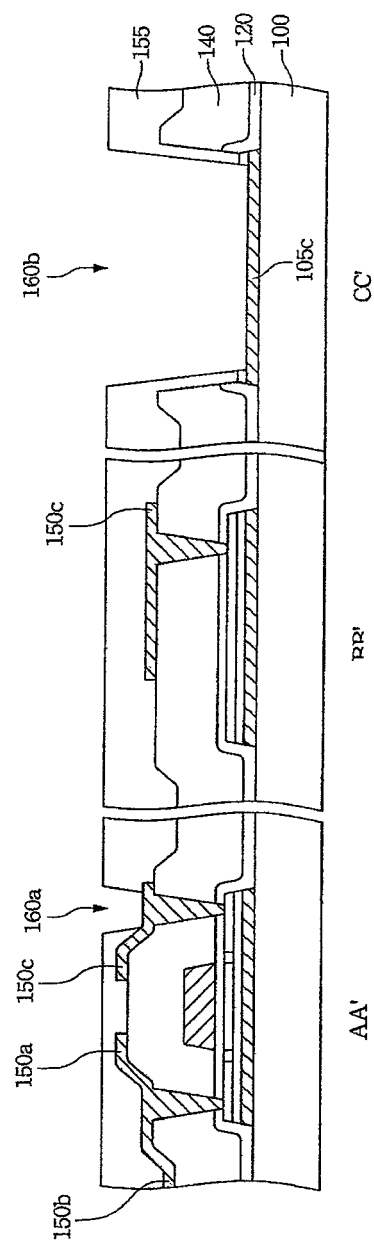


图 5

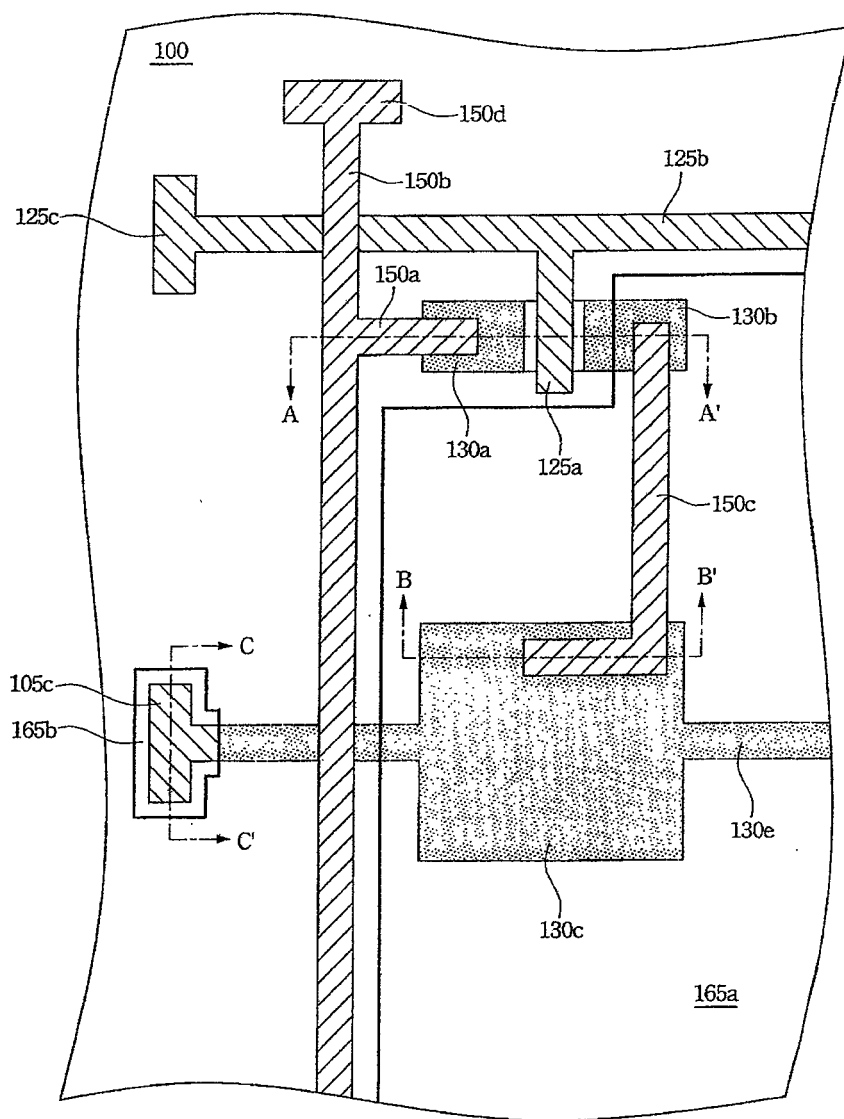


图 6A

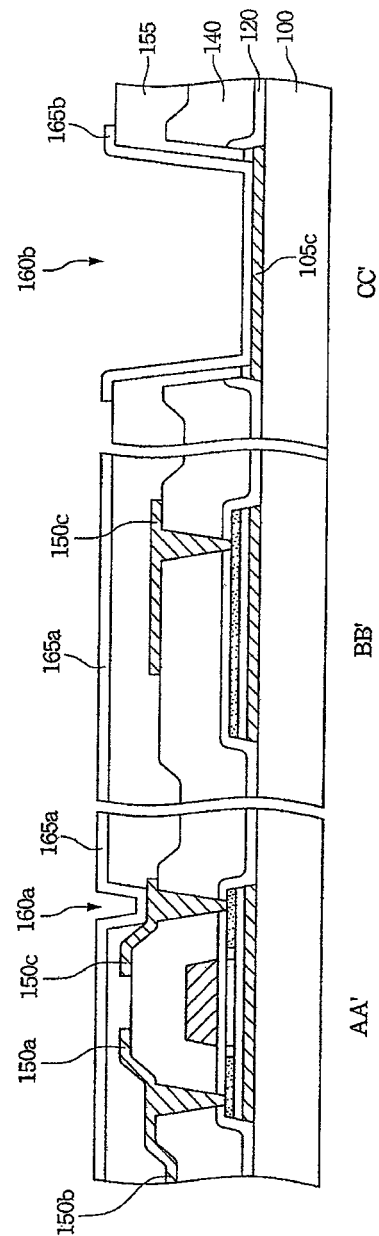


图 6B

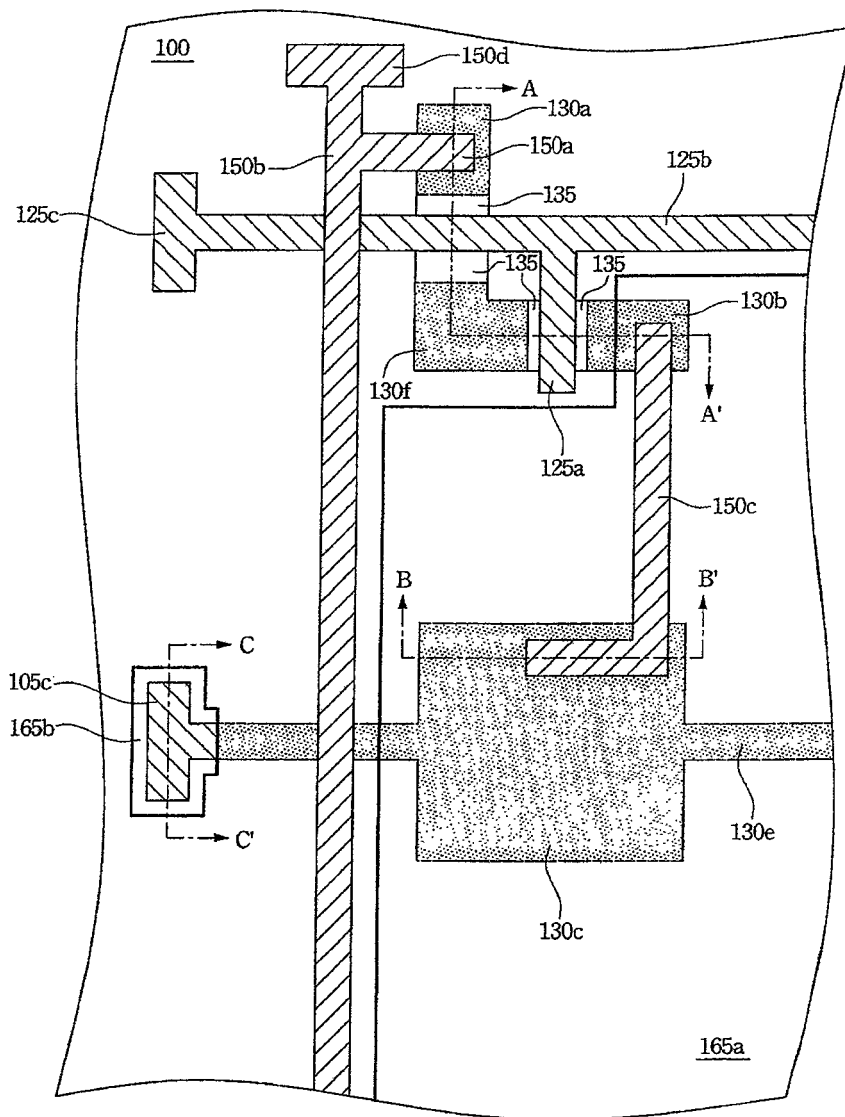


图 7A

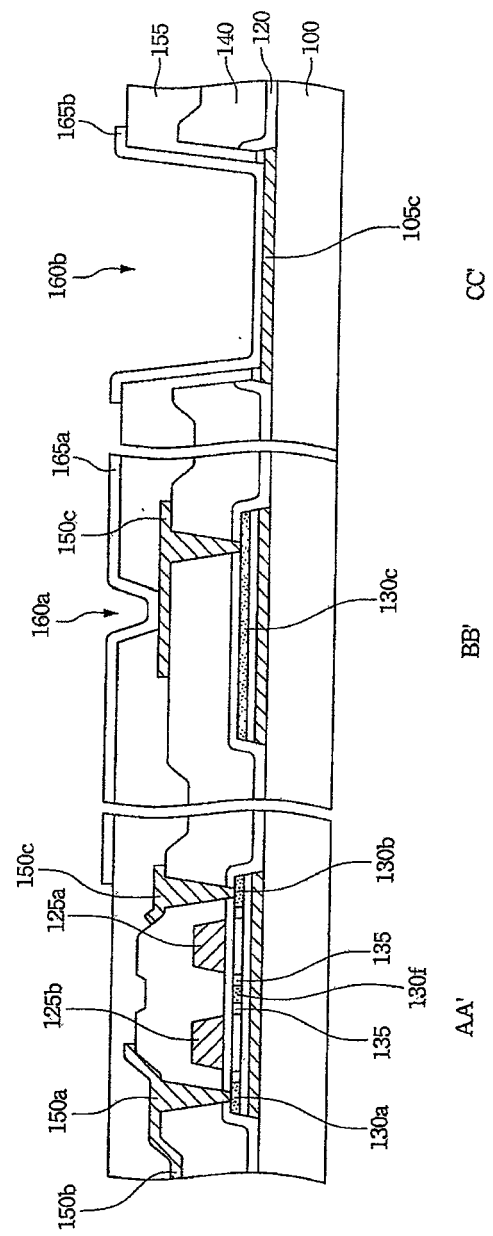


图 7B

专利名称(译)	液晶显示器的像素结构及其制造方法		
公开(公告)号	CN100464241C	公开(公告)日	2009-02-25
申请号	CN200710127222.X	申请日	2007-07-03
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	郑逸圣 赵志伟		
发明人	郑逸圣 赵志伟		
IPC分类号	G02F1/1362 H01L27/12 H01L27/04 H01L21/00		
审查员(译)	李飞		
其他公开文献	CN101067705A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器的像素结构及其制造方法，在此像素结构中，由金属层/介电层/重掺杂硅层构成储存电容器的下电极/电容介电层/上电极，以增加其电容量。同时，在薄膜晶体管的底部形成金属遮光层以减少光漏电流的发生。采用本发明，在储存电容器的部分，其下电极是由金属所构成，其上电极由重掺杂的硅层所构成。因此，与由非掺杂硅层、栅介电层与金属层所构成的现有技术的储存电容器相较下，可大幅增加储存电容器的电容量。此外，薄膜晶体管的下方也多一层金属遮光层，以阻断光漏电流的产生。

