

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410083705.0

[51] Int. Cl.

G02F 1/136 (2006.01)

H01L 29/786 (2006.01)

G02F 1/1335 (2006.01)

H01L 21/00 (2006.01)

[45] 授权公告日 2008 年 2 月 13 日

[11] 授权公告号 CN 100368909C

[22] 申请日 2004.10.14

[21] 申请号 200410083705.0

[30] 优先权

[32] 2003.10.14 [33] KR [31] 10-2003-0071400

[32] 2003.12.17 [33] KR [31] 10-2003-0092698

[32] 2003.12.29 [33] KR [31] 10-2003-0098823

[32] 2003.12.30 [33] KR [31] 10-2003-0100989

[73] 专利权人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 林炳昊 柳洵城 李昌德 南承熙

吴载映 金泓植 郭喜荣

[56] 参考文献

CN1195893A 1998.2.27

CN1290922A 2001.4.11

审查员 焦丽宁

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 梁挥

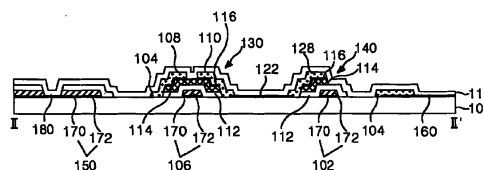
权利要求书 9 页 说明书 34 页 附图 55 页

[54] 发明名称

薄膜晶体管阵列基板、液晶显示器件及其制造和检测方法

[57] 摘要

用减少数量的工序制造的薄膜晶体管 (TFT) 阵列基板包括: 具有扩大接触面的栅极焊盘和数据焊盘, 以方便与检测装置的检测针接触。具有该 TFT 阵列基板的液晶显示器件通过将检测针与栅极焊盘和数据焊盘接触进行检测。该 TFT 阵列基板包括第一、第二和第三导电图案组。第一导电图案组包括: 栅极、栅极线和下栅极焊盘电极。第二导电图案组包括源极和漏极、数据线和下数据焊盘电极。第三导电图案组包括像素电极、上栅极焊盘电极和上数据焊盘电极。在第二导电图案组下, 沿第二导电图案组设置半导体图案。栅极绝缘图案和保护膜图案位于没有第三导电图案组的区域上。



1、一种薄膜晶体管阵列基板，包括：

第一导电图案组，其设置在第一基板上，并且包括栅极、与所述栅极相连接的栅极线和与所述栅极线相连接的下栅极焊盘电极；

第二导电图案组，其设置在所述基板上，并且包括源极、漏极、与所述源极相连接的数据线和与所述数据线相连接的下数据焊盘电极；

半导体图案，其沿所述第二导电图案组设置在所述第二导电图案组的下面；

第三导电图案组，其设置在所述基板上，并且包括与所述漏极相连接的像素电极、与所述下栅极焊盘电极相连接的上栅极焊盘电极，所述的上栅极焊盘电极与所述基板相连接；

栅极绝缘图案，其设置在所述第一和第二导电图案之间；和

保护膜图案，其设置在所述第三导电图案组的所述像素电极、上栅极焊盘电极和上数据焊盘电极之间。

2、根据权利要求1所述的薄膜晶体管阵列基板，其特征在于，所述上栅极焊盘电极和上数据焊盘电极中至少一个的线宽大于检测针的宽度。

3、根据权利要求2所述的薄膜晶体管阵列基板，其特征在于，所述上栅极焊盘电极和上数据焊盘电极中至少一个的线宽大于 $26\mu\text{m}$ 。

4、根据根据权利要求3所述的薄膜晶体管阵列基板，其特征在于，所述上栅极焊盘电极和上数据焊盘电极中至少一个的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

5、根据权利要求1所述的薄膜晶体管阵列基板，其特征在于，所述薄膜晶体管阵列基板还包括至少一数据接触孔，其暴露出所述基板和所述下数据焊盘电极的至少一侧表面。

6、根据权利要求5所述的薄膜晶体管阵列基板，其特征在于，所述数据接触孔包括：

第一数据接触孔，其暴露出所述下数据焊盘电极的第一侧表面；和

第二数据接触孔，其与所述第一数据接触孔相距预定距离，并暴露出所述下数据焊盘电极的第二侧表面。

7、根据权利要求5所述的薄膜晶体管阵列基板，其特征在于，所述数据

接触孔至少还包括在所述上数据焊盘电极和所述第一基板之间的至少一所述数据接触孔内的虚拟图案。

8、根据权利要求7所述的薄膜晶体管阵列基板，其特征在于，所述虚拟图案和所述栅极绝缘图案具有相同的材料。

9、根据权利要求1所述的薄膜晶体管阵列基板，其特征在于，所述像素电极与所述基板和漏极的侧表面相接触。

10、根据权利要求1所述的薄膜晶体管阵列基板，其特征在于，所述薄膜晶体管阵列基板还包括存储电容，其中所述存储电容包括所述栅极线、与所述栅极线重叠的存储电极和在所述栅极线和所述存储电极之间的栅极绝缘图案和半导体图案，其中所述存储电极与所述像素电极的侧表面相接触。

11、一种薄膜晶体管阵列基板，包括：

栅极线，其设置在基板上；

数据线，其与所述栅极线互相交叉，以限定像素区域；

栅极绝缘膜，其位于所述栅极线和所述数据线之间；

薄膜晶体管，其设置在所述栅极线和所述数据线的交叉点；

像素电极，其设置在所述像素区域，并与所述薄膜晶体管相连接；

栅极焊盘，其与所述栅极线相连接；和

数据焊盘，其与所述数据线相连接；

其中，栅极焊盘和数据焊盘中至少一个与基板相接触，并且具有暴露出的透明导电材料，并且

其中，所述栅极焊盘和数据焊盘中至少一个暴露出的透明导电材料的线宽大于检测针的宽度。

12、根据权利要求11所述的薄膜晶体管阵列基板，其特征在于，所述栅极焊盘和数据焊盘中至少一个暴露出的透明导电材料的线宽大于 $26\mu\text{m}$ 。

13、根据权利要求12所述的薄膜晶体管阵列基板，其特征在于，所述栅极焊盘和数据焊盘中至少一个暴露出的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

14、根据权利要求11所述的薄膜晶体管阵列基板，其特征在于，所述栅极焊盘包括透明导电材料，所述薄膜晶体管阵列基板还包括在栅极焊盘透明导电材料上的栅极金属材料，其中所述栅极焊盘透明导电材料至少一部分被所述

栅极金属材料暴露出。

15、根据权利要求 11 所述的薄膜晶体管阵列基板，其特征在于，所述栅极线和栅极包括所述透明导电材料，并且所述薄膜晶体管阵列基板还包括与所述栅极线和栅极的透明导电材料一部分重叠的栅极金属材料。

16、根据权利要求 14 所述的薄膜晶体管阵列基板，其特征在于，其中：所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

17、根据权利要求 15 所述的薄膜晶体管阵列基板，其特征在于，其中：所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

18、一种液晶显示器件，包括：

薄膜晶体管阵列基板，其中所述薄膜晶体管阵列基板包括：

在第一基板上的栅极线；

与所述栅极线相交叉的数据线；

在所述栅极线和所述数据线的交叉点上的薄膜晶体管；

覆盖所述薄膜晶体管的保护膜；

与所述薄膜晶体管相连接的像素电极；和

至少与所述栅极线和数据线中的一条相连接的焊盘，其中所述焊盘包括与所述第一基板接触的透明导电材料；和

滤色片基板，其中所述滤色片基板与所述保护膜重叠，并且其中所述保护膜和滤色片阵列基板暴露出所述焊盘的透明导电材料。

19、根据权利要求 18 所述的液晶显示器件，其特征在于，所述焊盘包括：

与所述栅极线相连接的栅极焊盘；和

与数据线相连接的数据焊盘。

20、根据权利要求 19 所述的液晶显示器件，其特征在于，所述栅极焊盘和数据焊盘中至少一个暴露出的透明导电材料的线宽大于检测针的宽度。

21、根据权利要求 19 所述的液晶显示器件，其特征在于，所述栅极焊盘和数据焊盘中至少一个的暴露出的透明导电材料的线宽大于 $26\mu\text{m}$ 。

22、根据权利要求 19 所述的液晶显示器件，其特征在于，所述栅极焊盘和数据焊盘中至少一个暴露出的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

23、根据权利要求 19 所述的液晶显示器件，其特征在于，所述栅极焊盘包括透明导电材料，并且所述薄膜晶体管阵列基板在所述栅极焊盘的透明导电材料上还包括栅极金属材料，其至少暴露出栅极焊盘透明导电材料的一部分。

24、根据权利要求 18 所述的液晶显示器件，其特征在于，所述栅极线和栅极包括透明导电材料，并且所述薄膜晶体管阵列基板还包括与所述栅极线和栅极的透明导电材料一部分重叠的栅极金属材料。

25、根据权利要求 23 所述的液晶显示器件，其特征在于，其中：
所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和
所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

26、根据权利要求 24 所述的液晶显示器件，其特征在于，其中：
所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和
所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

27、根据权利要求 23 所述的液晶显示器件，其特征在于，还包括：
贯穿所述栅极焊盘的栅极绝缘膜和栅极金属材料的接触孔，其中所述接触孔暴露出所述栅极焊盘透明导电材料的一部分；和
导电膜，其与通过所述接触孔暴露出的栅极焊盘透明导电材料的一部分相连接。

28、一种薄膜晶体管的制造方法，包括：
在基板上形成第一导电图案组，其中所述第一导电图案组包括栅极、与所述栅极相连接的栅极线和与所述栅极线相连接的下栅极焊盘电极；
在所述基板和第一导电图案组上形成栅极绝缘膜；
在所述栅极绝缘膜上形成第二导电图案组，其中所述第二导电图案组包括源极、漏极、与所述源极相连接的数据线和与所述数据线相连接的下数据焊盘电极；
在所述第二导电图案组下并沿着所述第二导电图案组形成半导体图案；
在所述基板上形成第三导电图案组，其中第三导电图案组可以包括与所述

漏极相连接的像素电极、与所述下栅极焊盘电极相连接的上栅极焊盘电极和与
所述下数据焊盘电极的侧表面相连接的上数据焊盘电极；

在所述第一导电图案组和所述第二导电图案组之间形成栅极绝缘图案；和
在所述第三导电图案组的像素电极、上栅极焊盘电极和上数据焊盘电极之
间形成保护膜。

29、根据权利要求 28 所述的方法，其特征在于，所述形成第三导电图案
组的步骤还包括至少形成上栅极焊盘电极和上数据焊盘电极中一个，其线宽比
检测针的宽度更宽。

30、根据权利要求 29 所述的方法，其特征在于，所述上栅极焊盘和上数
据焊盘中至少一个的线宽大于 $26\mu\text{m}$ 。

31、根据权利要求 30 所述的方法，其特征在于，所述上栅极焊盘和上数
据焊盘中至少一个的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

32、根据权利要求 28 所述的方法，其特征在于，所述形成栅极绝缘图案
和保护膜图案的步骤包括形成至少一贯穿所述栅极绝缘图案、保护膜图案和下
数据焊盘电极至少一侧表面的数据接触孔，其中至少一所述数据接触孔暴露出
所述基板和下数据焊盘电极至少一侧表面。

33、根据权利要求 32 所述的方法，其特征在于，其中所述形成栅极绝缘
图案和保护膜图案的步骤包括：

形成第一数据接触孔，用于暴露出所述下数据焊盘电极的第一侧表面；和
形成第二数据接触孔，其与所述第一接触孔相距预定距离，并且暴露出所
述下数据焊盘电极的第二侧表面。

34、根据权利要求 32 所述的方法，其特征在于，所述方法进一步还包括
在所述上数据焊盘电极和第一基板之间的至少一个所述数据接触孔内至少形
成虚拟图案。

35、根据权利要求 34 所述的方法，其特征在于，所述形成虚拟图案的步
骤包括：

在所述基板和下数据焊盘电极上形成保护膜；

在所述保护膜上形成光刻胶图案；

利用所述光刻胶图案为掩模，在第一蚀刻混合气体的作用下蚀刻保护膜以
形成保护膜图案，其中所述第一蚀刻气体包括 O_2 和 SF_6 ，并且 O_2 比 SF_6 多；

利用所述光刻胶图案作为掩模,在第二蚀刻混合气体的作用下蚀刻所述下数据焊盘电极,其中所述第二蚀刻混合气体包含 O_2 和 SF_6 , 并且 SF_6 比 O_2 多;

利用所述光刻胶作为掩模,在包括有 Cl_2 和 HCl 的第三蚀刻混合气体的作用下部分蚀刻所述半导体图案以保留部分半导体图案; 和

利用所述保留下来的部分半导体图案作为掩模,部分蚀刻所述栅极绝缘膜以保留部分栅极绝缘膜。

36、根据权利要求 35 所述的方法,其特征在于,其中所述第一蚀刻混合气体的比例为 $SF_6 : O_2$ 约为 1: 3。

37、根据权利要求 35 所述的方法,其特征在于,其中所述第二蚀刻混合气体的比例为 $SF_6 : O_2$ 约为 3~10: 1。

38、根据权利要求 28 所述的方法,其特征在于,其中所述形成第三导电图案组、栅极绝缘图案和保护膜图案的步骤包括:

通过在所述栅极绝缘膜和第二导电图案组上形成保护膜;

在所述保护膜上形成光刻胶图案;

利用所述光刻胶图案为掩模,在蚀刻气体的作用下蚀刻所述保护膜、栅极绝缘膜、漏极和半导体图案以形成栅极绝缘图案和保护膜图案,其中所述漏极和半导体图案在包括 SF_6 和 O_2 的蚀刻气体的作用下被蚀刻,以使得所述漏极的一侧表面与所述保护图案和栅极绝缘图案的一侧表面共平面;

在所述基板的保护膜图案、栅极绝缘图案和光刻胶图案的一侧表面上沉积透明导电材料; 和

通过去除所述光刻胶图案和在光刻胶图案部分的透明导电材料以形成第三导电图案组。

39、根据权利要求 28 所述的方法,其特征在于,其中所述方法进一步还包括:在所述栅极线上形成被所述栅极绝缘图案和半导体图案与栅极线相分离的存储电极,其中所述存储电极形成存储电容,并且与所述像素电极的一侧表面相接触。

40、一种薄膜晶体管的制造方法,包括:

在基板上形成栅极线;

形成与所述栅极线相交叉以限定像素区域的数据线;

在所述栅极线和数据线之间形成栅极绝缘膜;

在所述数据线和栅极线的交叉点形成薄膜晶体管；

在所述基板像素区域上形成与所述薄膜晶体管相连接的像素电极；

形成与所述栅极线相连接的栅极焊盘和与所述数据线相连接的数据焊盘，其中所述栅极焊盘和数据焊盘中至少一个与所述基板相接触并且包括透明导电材料；和

至少暴露出所述栅极焊盘和数据焊盘中至少一个的透明导电材料的一部分，

其中所述暴露包括限定一具有线宽比检测针宽度更宽的暴露区域。

41、根据权利要求 40 所述的方法，其特征在于，其中所述栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于 $26\mu\text{m}$ 。

42、根据权利要求 41 所述的方法，其特征在于，其中所述栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

43、根据权利要求 41 所述的方法，其特征在于，其中所述栅极焊盘包括透明导电材料，所述方法进一步还包括：

在所述栅极焊盘的透明导电材料上形成栅极金属材料；和

去除一部分所述栅极金属材料，以至少暴露出所述栅极焊盘透明导电材料的一部分。

44、根据权利要求 40 所述的方法，其特征在于，其中所述栅极线包括透明导电材料，所述方法进一步还包括：

在所述薄膜晶体管的所述栅极线和栅极的透明导电材料上形成栅极金属材料。

45、根据权利要求 43 所述的方法，其特征在于，其中：

所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和

所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

46、根据权利要求 44 所述的方法，其特征在于，其中：

所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和

所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

47、一种液晶显示器件的制造方法，包括：

形成薄膜晶体管阵列基板；所述形成薄膜晶体管阵列基板的步骤包括：
在第一基板上形成栅极线；
形成与所述栅极线相交叉的数据线；
在所述栅极线和数据线的交叉点形成薄膜晶体管；
在所述薄膜晶体管上形成保护膜；
形成与所述薄膜晶体管相连接的像素电极；和
形成至少与所述栅极线和数据线中的一个相连接的焊盘，其中所述焊盘包括有与第一基板接触的透明导电材料；
形成滤色片阵列基板；
连接所述薄膜晶体管阵列基板和滤色片基板；其中，所述滤色片阵列基板与保护膜重叠；和
至少暴露出在所述焊盘保护膜内透明导电材料的一部分，
其中所述暴露的步骤包括至少暴露栅极焊盘和数据焊盘中至少一个的透明导电材料的一部分，以限定线宽比检测针的宽度相对更宽的暴露区域。

48、根据权利要求 47 所述的方法，其特征在于，所述形成焊盘的步骤包括：

形成与所述栅极线相连接的栅极焊盘；和
形成与所述数据线相连接的数据焊盘。

49、根据权利要求 47 所述的方法，其特征在于，所述栅极焊盘和数据焊盘中至少一个的暴露的透明导电材料的线宽大于 $26\mu\text{m}$ 。

50、根据权利要求 49 所述的方法，其特征在于，所述栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

51、根据权利要求 48 所述的方法，其特征在于，所述栅极焊盘包括透明导电材料，所述方法进一步还包括：

在所述栅极焊盘的透明导电材料上形成栅极金属材料；和
去除一部分所述栅极金属材料，以至少暴露出所述栅极焊盘透明导电材料的一部分。

52、根据权利要求 47 所述的方法，其中所述栅极线包括透明导电材料，其特征在于，所述方法进一步还包括：

在所述薄膜晶体管的栅极线和栅极的透明导电材料上形成栅极金属材料。

53、根据权利要求 51 所述的方法，其特征在于，其中：

所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和
所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

54、根据权利要求 52 所述的方法，其特征在于，其中：

所述透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种；和
所述栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

55、根据权利要求 47 所述的方法，其特征在于，所述方法还包括：

形成贯穿所述栅极焊盘的栅极绝缘膜和栅极金属材料的接触孔，其中所述接触孔可以暴露出所述栅极焊盘透明导电材料的一部分；和
在被所述接触孔暴露出的所述部分透明导电膜上设置导电膜。

56、一种液晶显示器件的检测方法，其特征在于，包括：

将所述已构图的保护膜暴露出的在所述液晶显示器件的栅极焊盘和数据焊盘中的至少一表面上形成的所述透明导电材料与检测针直接接触，其中，所述检测针的宽度为第一宽度，所述栅极焊盘和数据焊盘中至少一个具有比所述第一宽度宽的第二宽度，所述栅极焊盘与所述液晶显示器件的栅极线相连接，所述数据焊盘与所述液晶显示器件的数据线相连接；

从所述检测针向所述连接的栅极焊盘和数据焊盘中的一个施加信号；和
基于所述施加的信号检测所述栅极线和数据线中是否至少有一条是有缺陷的。

57、根据权利要求 56 所述的方法，其特征在于，所述检测针的宽度小于 26 μm ，所述暴露出的透明导电材料的线宽大于 26 μm 。

薄膜晶体管阵列基板、液晶显示器件及其制造和检测方法

本申请要求享有 2003 年 10 月 14 日、2003 年 12 月 17 日、2003 年 12 月 29 日和 2003 年 12 月 30 日在韩国递交的韩国专利申请 P2003-71400、P2003-92698、P2003-98823 和 P2003-100989 号的权益，以上申请可供参考。

技术领域

本发明涉及到液晶显示器件及其制造方法，具体涉及到在简化掩模工序下的一种薄膜晶体管（TFT）阵列基板及其制造方法。本发明还涉及到一种液晶显示器件的检测方法。特别涉及一种可能使检测工序方便的 TFT 阵列基板制造方法。

背景技术

液晶显示（LCD）器件通过选择性改变 LCD 面板中液晶材料的透光性来显示图像。液晶材料的透光性可以通过设置在下基板的像素电极和设置在上基板的公共电极之间产生的电场选择性地改变。

通常，LCD 面板包括 TFT 阵列基板和滤色片基板，它们相互连接并且相互分离形成盒间隙。在盒间隙中分布有衬垫料以保持 TFT 阵列基板和滤色片基板之间距离一致，并且在包含衬垫料的盒间隙中排列有液晶材料。

典型的 TFT 阵列基板包括多条信号线、多个 TFT 和涂覆在其上对液晶材料分子进行定向的定向膜。滤色片阵列基板包括对具有预定范围波长的光进行选择透过的滤色片；在像素电极外部区域阻止光透过的黑矩阵；和涂覆在其上对液晶材料分子进行定向的定向膜。

由于包括需要多轮掩模工序的半导体生产工艺，因此前面所描述的用于制造 TFT 阵列基板的工序复杂而且相对昂贵。众所周知，一轮掩模工序包括多个子工序如薄膜沉积、清洗、光刻、蚀刻、光刻胶剥离和检测等。为了降低 TFT 阵列基板制造的复杂性和成本，开发了一种使所需要的掩模工序的数量最少的工序。于是，研开发出一种四轮掩模工序，其从标准五轮掩模工序中减少

一个必须的掩模工序。

图 1 所示为利用现有技术四轮掩模工序制造的 TFT 阵列基板的平面图。

图 2 所示为沿图 1 中 I-I' 线提取的薄膜晶体管阵列基板的截面图。

参见图 1 和图 2, TFT 阵列基板包括设置在下基板 1 上彼此交叉限定多个像素区域 5 的栅极线 2 和数据线 4; 在栅极线 2 和数据线 4 之间的栅极绝缘膜 12; 设置在栅极线 2 和数据线 4 各交叉点上的 TFT 30; 以及设置在像素区域上的像素电极 22; 设置在像素电极 22 与栅极线 2 重叠部分上的存储电容 28; 以及连接到数据线 4 的数据焊盘 60。

每条栅极线 2 向相应的 TFT 30 的栅极 6 施加栅极信号。每条数据线 4 通过相应的 TFT 30 的漏极 10 向像素电极 22 施加像素信号。

TFT 30 响应栅极线 2 施加的栅极信号, 在像素电极上充入并保持相应数据线 4 施加的像素信号。因此, 每个 TFT 30 包括连接到相应栅极线 2 的栅极 6, 连接到相应数据线 4 的源极 8, 和连接到相应像素电极 22 的漏极 10。每个 TFT 30 还包括与栅极 6 重叠并且被栅极绝缘图案 12 隔开的有源层 14。有源层 14 在源极 8 和漏极 10 之间的部分形成一沟道。在有源层 14 上形成一欧姆接触层 16, 其与重叠的数据线 14、源极 8 和漏极 10 还有重叠的下数据焊盘电极 62 和存储电极 28 欧姆接触。

每个像素电极 22 通过贯穿保护膜 18 的第一接触孔 20 连接到相应 TFT 30 的漏极 10。

每个存储电容 40 包括栅极线 2 和与栅极线 2 重叠部分的存储电极, 其中两个导体被栅极绝缘膜 12、有源层 14 和欧姆接触层 16 隔开。像素电极 22 通过贯穿保护膜 18 的第二接触孔 42 连接到存储电极 28。具有如上所述的构造, 存储电容 40 使得充入到像素电极 22 的像素信号可以均匀保持, 直到像素电极充入下一个像素信号。

每条栅极线 2 通过相应的栅极焊盘 50 连接到栅极驱动器(未示出)。因此, 栅极焊盘 50 包括下栅极焊盘电极 52 和上栅极焊盘电极 54。下栅极焊盘电极 52 是栅极线 2 的延伸, 并且通过贯穿栅极绝缘膜 12 和保护膜 18 的第三接触孔 56 与上栅极焊盘电极 54 连接。

每条数据线 4 通过相应的数据焊盘 60 连接到数据驱动器(未示出)。因此, 数据焊盘 60 包括下数据焊盘电极 62 和上栅数据焊盘电极 64。下数据焊盘电

极 62 是数据线 4 的延伸，并且通过贯穿保护膜 18 的第四接触孔 66 与上数据焊盘电极 64 连接。

通常，当 TFT 30 向像素电极 22 施加像素信号和向公共电极施加参考电压时，形成在滤色片阵列基板上（未示出）的公共电极和像素电极 22 之间产生电场。液晶分子具有特别的介电各向异性。因此，当出现电场时，液晶分子在 TFT 阵列基板和滤色片基板之间旋转以垂直排列。施加电场的强度决定了液晶分子的旋转程度。因此，通过改变施加电场的强度，可以用像素区显示灰度级。

以下要具体参照图 3A 到图 3D 详细描述适合四轮掩模工序的具有上述结构的薄膜晶体管基板的一种制造方法。

参见图 3A，在下基板 1 上用第一掩模工序形成包括栅极线 2，栅极 6 和下栅极焊盘电极 52 的第一导电图案组。

具体地说，在下基板 1 的整个表面上用溅射等沉积技术形成一栅极金属层。典型的栅极金属层包括一铝族金属。然后用光刻法和蚀刻技术使用重叠的第一掩模图案对栅极金属层构图，以形成前述的第一导电图案组。

参见图 3B，栅极绝缘膜 12 涂覆在设有栅极金属图案的下基板 1 的整个表面上。

进而用第二掩模工序在栅极绝缘膜 12 上设置包括有源层 14 和欧姆接触层 16 的半导体图案和包括数据线 4、源极 8、漏极 10、下数据焊盘电极 62 和存储电极 28 的第二导电图案组。

具体地说，利用诸如等离子增强化学气相沉积法（PECVD）和溅射等沉积技术在具有第一导电图案组的下基板 1 的整个表面上依次形成栅极绝缘膜 12、第一和第二导电层和数据金属层。此处的栅极绝缘膜 12 用诸如氮化硅（SiN_x）或氧化硅（SiO_x）等无机绝缘材料形成。从半导体层形成的有源层 14 包括没有掺杂的非晶硅。欧姆接触层 16 由第二半导体层形成并且包括 n⁺ 掺杂非晶硅。数据金属膜包括钼（Mo）、钛（Ti）、钽（Ta）。

然后，在整个数据金属层上形成光刻胶膜，并且采用第二掩模图案进行光刻构图。具体地说，用一种在依次形成的 TFT 沟道部分具有衍射曝光部分的衍射曝光掩模作为第二掩模图案，通过对第二掩模图案曝光和显影，形成光刻胶图案，其中保留在相应沟道部分的光刻胶膜具有比保留在沟道外部区域的光刻胶膜相对较低的高度。

接下来,在湿蚀刻工序中用光刻胶图案作为掩模对数据金属层构图,以形成前述的第二导电图案组(如数据线4、源极8、漏极10和存储电极28),其中,源极8和漏极10在沟道部分的区域相互连接。接下来,在干蚀刻法工序中用光刻胶图案作掩模,依次对第一半导体层和第二半导体层构图,以形成有源层14和欧姆接触层16。

在有源层14和欧姆接触层16形成以后,用灰化工序从沟道部分区域去除高度相对较低的那部分光刻胶。执行灰化工序后,在沟道外部区域相对较厚的光刻胶变薄,但是仍然保留。在干蚀刻法中,用光刻图案作掩模,对排列在沟道部分区域内的部分第二导电图案和欧姆接触层16进行蚀刻。因此,沟道部分的有源层14被曝光,源极8与漏极10不再连接,用剥离工序清除留下的光刻胶图案。

接下来对照图3C,在下基板1的整个表面上涂覆保护膜18,并且位于栅极绝缘膜12、第二导电图案组和有源层14的上面。用第三掩模工序依次形成贯穿保护膜18的第一到第四接触孔20、42、56和66。

具体地说,在下基板的整个表面并且在栅极绝缘膜12、第二导电图案组和有源层14的上面用诸如等离子增强化学气相沉积法(PECVD)等沉积技术形成保护膜18。保护膜18有代表性地包括诸如氮化硅(SiN_x)或氧化硅(SiO_x)等无机绝缘材料或者诸如丙烯酸有机化合物、BCB(苯并环丁烯)或者PFCB(全氟环丁烷)具有低介电常数的有机化合物。然后,整个在保护膜18上排列第三掩膜图案,并且用光刻和蚀刻工序对保护膜18进行构图,以定义第一到第四接触孔20,42,56,和66。第一接触孔20贯穿保护膜18以暴露出漏极10,第二接触孔42贯穿保护膜18以暴露存储电极28,第三接触孔56贯穿保护膜18和栅极绝缘膜12以暴露出下栅极焊盘电极52,和第四接触孔贯穿保护膜18以暴露出下数据焊盘电极62。

接下来参照图3D,在第四掩模工序中,在保护膜18中形成包括像素电极22、上栅极焊盘电极54和上数据焊盘电极64的第三导电图案组。

具体地说,在具有第一到第四接触孔20、42、56和66的保护膜18的整个表面上,用诸如溅射法等沉积法涂覆透明导电材料。典型的透明导电材料包括氧化铟锡(ITO)、氧化锡(TO)、氧化铟锌(IZO)或者氧化铟锡锌(ITZO)。在第四掩模工序中,用光刻和蚀刻工序对透明导电材料进行构图,以形成前述

的第三导电图案组(如像素电极22、上栅极焊盘电极54和上数据焊盘电极64)。

因此,像素电极22通过第一接触孔20电连接到漏极10上,同时通过第二接触孔42电连接到存储电极28上。上栅极焊盘电极54通过第三接触孔56电连接到下栅极焊盘电极52,并且上数据焊盘电极64通过第四接触孔66电连接到下数据焊盘电极62上。

前述的TFT阵列基板用具有超过先前已知的五轮掩模工序优点的四轮掩模工序形成,但是四轮掩模工序仍然具有不希望的复杂性及其高成本。因此,总希望制造TFT阵列基板的工序具有低复杂性及其低成本。

发明内容

因此,本发明提供一种薄膜晶体管阵列基板及其制造方法,使用该薄膜晶体管基板的液晶显示器件及其制造方法,以及液晶显示器件的检测方法,其可以避免由于现有技术限制和缺点而引起的一个或更多问题。

本发明的一个优点是提供一种减少掩模工序数量的薄膜晶体管阵列基板及其制造方法,使用该薄膜晶体管基板的液晶显示器件及其制造方法,和液晶显示面板检测方法。

本发明的另一个优点是提供一种减少掩模工序数量的薄膜晶体管阵列基板及其制造方法,使用该薄膜晶体管基板的液晶显示器件及其制造方法,和在自动检测工序中可方便接触自动检测针的液晶显示器件检测方法。

下面的描述阐明本发明另外的特点和优点,一部分可以通过描述清晰得到,或者通过实施本发明而得到。本发明的目的和另外的优点可以通过说明书及其权利要求范围特别指出的结构和附图来实现和获得的。

为了实现这些目的和其他优点,并根据本发明的目的,作为概括性和广义上的描述,一种薄膜晶体管阵列基板包括:设置在第一基板上的第一导电图案组,其包括栅极、与栅极相连接的栅极线和与栅极线相连接的下栅极焊盘电极;设置在基板上的第二导电图案组,其包括源极、漏极、与源极相连接的数据线和与数据线相连接的下数据焊接电极;在第二导电图案组下沿第二导电图案组设置的半导体图案;设置在基板上的第三导电图案组,其包括与漏极相连接的像素电极、与下栅极焊盘电极相连接的上栅极焊盘电极和与下数据焊盘电极一侧表面相连接的上数据焊盘电极,其中上数据焊盘电极接触基板;在第一和第

二导电图案组之间的栅极绝缘图案；和在第三导电图案组的像素电极、上栅极焊接电极和上数据焊盘电极之间的保护膜图案。

本发明的另一个方面，上栅极焊盘电极和上数据焊盘电极中至少一个的线宽大于检测针的宽度。

本发明的另一个方面，上栅极焊盘电极和上数据焊盘电极中至少一个线宽大于 $26\mu\text{m}$ 。

本发明的另一个方面，上栅极焊盘电极和上数据焊盘电极中至少一个线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

本发明的另一个方面，薄膜晶体管阵列基板还可以包括至少一数据接触孔，以暴露出基板和下数据焊盘电极的至少一侧表面。

本发明的另一个方面，至少一个数据接触孔包括暴露出下数据焊盘电极的第一侧表面的第一数据接触孔和距离第一接触孔预定距离的第二数据接触孔，其可以暴露出下数据焊盘的第二侧表面。

本发明的另一方面，薄膜晶体管阵列基板在上数据焊盘电极和第一基板之间的至少一数据接触孔内还可以包括至少一虚拟图案。

本发明的另一方面，虚拟图案具有与栅极绝缘图案相同的材料。

本发明的另一方面，像素电极可以与基板和漏极的一侧表面相接触。

本发明的另一方面，薄膜晶体管阵列基板还包括一存储电容，其中存储电容包括栅极线、重叠在栅极线和栅极绝缘图案上的存储电极和位于栅极线和存储电极之间的半导体图案，其中存储电极与像素电极的一侧表面接触。

依据本发明的原理，一种薄膜晶体管阵列基板可以包括：设置在基板上的栅极线；与栅极线交叉并限定像素区域的数据线；在栅极线和数据线之间的栅极绝缘膜；在像素区上并与薄膜晶体管相连接的像素电极；与栅极线相连接的栅极焊盘；和与数据线相连接的数据焊盘，其中栅极焊盘和数据焊盘至少一个与基板相连接并且具有暴露的透明导电材料。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于检测针的宽度。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于 $26\mu\text{m}$ 。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料

的线宽约为 34 μm 到 38 μm 。

本发明的另一方面，栅极焊盘包括透明导电材料，并且薄膜晶体管阵列基板还包括在栅极焊盘的透明导电材料上的栅极金属材料，其中，通过栅极导电金属材料至少暴露出栅极焊盘透明导电材料的一部分。

本发明的另一方面，栅极线和栅极包括透明导电材料，并且薄膜晶体管阵列基板还包括与栅极线和栅极的透明导电材料一部分重叠的栅极金属材料。

本发明的另一方面，透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种，并且栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

依据本发明的原理，一种液晶显示器件包括与滤色片阵列基板相连接的薄膜晶体管阵列基板。薄膜晶体管阵列基板包括在第一基板上的栅极线；与栅极线相交叉的数据线；在栅极线和数据线的交叉点上的薄膜晶体管；覆盖薄膜晶体管的保护膜；与薄膜晶体管相连接的像素电极；和至少与栅极线和数据线中的一个相连接的焊盘，其中焊盘包括与第一基板接触的透明导电材料。当连接时，滤色片基板覆盖保护膜，并且保护膜和滤色片阵列基板暴露出焊盘的透明导电材料。

本发明的另一方面，焊盘可以包括与栅极线相连接的栅极焊盘和与数据线相连接的数据焊盘。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于检测针的宽度。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于 26 μm 。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽约为 34 μm 到 38 μm 。

本发明的另一方面，栅极焊盘包括透明导电材料，并且薄膜晶体管阵列基板还可以包括设置在栅极焊盘的透明导电材料上的栅极金属材料，其至少暴露出栅极焊盘透明导电材料的一部分。

本发明的另一方面，栅极线和栅极包括透明导电材料，并且薄膜晶体管阵列基板还包括与栅极线和栅极的透明导电材料一部分重叠的栅极金属材料。

本发明的另一方面，透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的

一种，并且栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

本发明的另一方面，液晶显示器件还包括贯穿栅极焊盘的栅极绝缘膜和栅极金属材料的一接触孔，其中该接触孔暴露出栅极焊盘透明导电材料的一部分；与通过该接触孔暴露的栅极焊盘透明导电材料的一部分相连接的导电膜。

依据本发明的原理，一种薄膜晶体管的制造方法包括：在基板上形成一第一导电图案组，其中该第一导电图案组包括栅极、与栅极相连接的栅极线和与栅极线相连接的下栅极焊盘电极；在基板和第一导电图案组上形成栅极绝缘膜；在栅极绝缘膜上形成第二导电图案组，其中第二导电图案组包括源极、漏极、与源极相连接的数据线和与数据线相连接的下数据焊盘电极；在第二导电图案组下并沿着第二导电图案组形成半导体图案；在基板上形成第三导电图案组，其中第三导电图案组可以包括与漏极相连接的像素电极、与下栅极焊盘电极相连接的上栅极焊盘电极和与下数据焊盘电极的一侧表面相连接的上数据焊盘电极；在第一导电图案组和第二导电图案组之间形成栅极绝缘图案；和在第三导电图案组的像素电极、上栅极焊盘电极和上数据焊盘电极之间形成保护膜。

本发明的另一方面，形成第三导电图案组的步骤包括至少形成上栅极焊盘电极和上数据焊盘电极中一个，其线宽比检测针的宽度更宽。

本发明的另一方面，上栅极焊盘和上数据焊盘中至少一个的线宽大于 $26\mu\text{m}$ 。

本发明的另一方面，上栅极焊盘和上数据焊盘中至少一个的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

本发明的另一方面，形成栅极绝缘图案和保护膜图案的步骤包括至少形成一个贯穿栅极绝缘图案、保护膜图案和下数据焊盘电极至少一侧表面的数据接触孔，其中至少一数据接触孔暴露出基板和下数据焊盘电极至少一侧表面。

本发明的另一方面，形成栅极绝缘图案和保护膜图案的步骤包括：形成第一数据接触孔，用于暴露出所述下数据焊盘电极的第一侧表面；和形成第二数据接触孔，其与所述第一接触孔相距预定距离，并且暴露出所述下数据焊盘电极的第二侧表面。

本发明的另一方面，该方法进一步还包括在上数据焊盘电极和第一基板之

间的至少一个数据接触孔内形成至少一虚拟图案。

本发明的另一方面，形成虚拟图案的步骤可以包括：通过在基板和下数据焊盘电极上形成保护膜；在保护膜上形成光刻胶图案；利用光刻胶图案为掩模，在第一蚀刻混合气体的作用下蚀刻保护膜以形成保护膜图案，其中第一蚀刻气体包括 O_2 和 SF_6 ，并且 O_2 比 SF_6 多；利用光刻胶图案作为掩模，在包含 O_2 和 SF_6 的第二蚀刻混合气体的作用下蚀刻下数据焊盘电极，其中 SF_6 比 O_2 多；利用光刻胶作为掩模，在包括有 Cl_2 和 HCl 的第三蚀刻混合气体的作用下部分蚀刻半导体图案以保留部分半导体图案；和利用保留下来的部分半导体图案作为掩模，部分地蚀刻栅极绝缘膜以保留部分栅极绝缘膜。

本发明的另一方面，第一蚀刻混合气体的比例为 $SF_6 : O_2$ 约为 1: 3。

本发明的另一方面，第二蚀刻混合气体的比例为 $SF_6 : O_2$ 约为 3~10: 1。

本发明的另一方面，第三导电图案组、栅极绝缘图案和保护膜图案的形成步骤可以包括：在栅极绝缘膜和第二导电图案组上形成保护膜；在保护膜上形成光刻胶图案；利用光刻胶图案为掩模，在蚀刻气体的作用下蚀刻保护膜、栅极绝缘膜、漏极和半导体图案以形成栅极绝缘图案和保护膜图案，其中漏极和半导体图案在包括 SF_6 和 O_2 的蚀刻气体的作用下被蚀刻，以使得漏极的一侧表面与保护图案和栅极绝缘图案的一侧表面共平面；在基板上和保护图案、栅极绝缘图案和光刻胶图案的一侧表面上沉积透明导电材料；通过去除光刻胶图案和在光刻胶图案的透明导电材料部分以形成第三导电图案组。

本发明的另一方面，该方法进一步还包括：在栅极线上形成被栅极绝缘图案和半导体图案与栅极线相分离的一存储电极，其中存储电极可以形成存储电容，并且可以与像素电极的一侧表面相接触。

依据本发明的另一方面，一种薄膜晶体管的制造方法可以包括：在基板上形成一栅极线；形成一数据线，其与栅极线相交叉以限定一像素区域，在栅极线和数据线之间形成一栅极绝缘膜；在数据线和栅极线的交叉点形成一薄膜晶体管；在基板的像素区域上形成与薄膜晶体管相连接的一像素电极；形成与栅极线相连接的栅极焊盘和与数据线相连接的数据焊盘，其中栅极焊盘和数据焊盘中至少一个与基板相接触并且包括一透明导电材料；至少暴露出栅极焊盘和数据焊盘中至少一个的透明导电材料的一部分。

本发明的另一方面，暴露步骤可以包括定义一具有线宽比检测针宽度更宽

的暴露区域。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于 $26\mu\text{m}$ 。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个的暴露的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

本发明的另一方面，栅极焊盘包括透明导电材料，并且该方法进一步还包括在栅极焊盘的透明导电材料上形成栅极金属材料，并且去除一部分栅极金属材料，以至少暴露出栅极焊盘透明导电材料的一部分。

本发明的另一方面，栅极线包括透明导电材料，并且该方法进一步还包括在薄膜晶体管的栅极线和栅极的透明导电材料上形成栅极金属材料。

本发明的另一方面，透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种，并且栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

依据本发明的原理，一种液晶显示器件的制造方法包括：形成薄膜晶体管；形成滤色片基板；和连接薄膜晶体管阵列基板和滤色片基板。薄膜晶体管阵列基板的形成步骤包括：在第一基板上形成栅极线；形成与栅极线相交叉的数据线；在栅极线和数据线的交叉点形成薄膜晶体管；在薄膜晶体管上形成保护膜；形成与薄膜晶体管相连接的像素电极；和形成至少与栅极线和数据线中的一个相连接的焊盘，其中焊盘包括有与第一基板接触的透明导电材料。在连接之后，滤色片阵列基板覆盖保护膜。该方法还包括至少暴露出在焊盘保护膜内的透明导电材料的一部分。

本发明的另一方面，形成焊盘的步骤可以包括：形成与栅极线相连接的栅极焊盘和形成与数据线相连接的数据焊盘。

本发明的另一方面，暴露步骤可以包括至少暴露出栅极焊盘和数据焊盘中至少一个的透明导电材料的一部分，以限定线宽比检测针的宽度相对更宽的暴露区域。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽大于 $26\mu\text{m}$ 。

本发明的另一方面，栅极焊盘和数据焊盘中至少一个暴露的透明导电材料的线宽约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

本发明的另一方面，栅极焊盘包括透明导电材料，并且该方法进一步还包括在栅极焊盘的透明导电材料上形成一栅极金属材料，并且去除一部分栅极金属材料，以至少暴露出栅极焊盘透明导电材料的一部分。

本发明的另一方面，栅极线包括透明导电材料，并且该方法进一步还包括在和薄膜晶体管的栅极线和栅极的透明导电材料上形成一栅极金属材料。

本发明的另一方面，透明导电材料至少包括 TO、ITO、IZO 和 ITZO 中的一种，并且栅极金属材料至少包括诸如 Mo、Cu、Cr、Ta 和 Ti 的铝族金属中的一种。

本发明的另一方面，该方法还包括形成贯穿栅极焊盘的栅极绝缘膜和栅极金属材料的接触孔，其中该接触孔可以暴露出栅极焊盘透明导电材料的一部分；和向被接触孔暴露的透明导电膜的部分设置导电膜。

依据本发明的原理，一种液晶显示器件的检测方法包括：将已构图的保护膜暴露出的在液晶显示器件的栅极焊盘和数据焊盘中的至少一个表面上形成的透明导电材料与检测针直接接触；其中，检测针宽度为第一宽度，栅极焊盘和数据焊盘中至少一个的线宽度为比第一宽度相对更宽的第二宽度，栅极焊盘与液晶显示器件的栅极线相连接，数据焊盘与液晶显示器件的数据线相连接；从检测针向所连接的栅极焊盘和数据焊盘中的一个施加信号；和基于施加的信号检测栅极线和数据线中是否至少有一个是有缺陷的。

本发明的另一方面，检测针的宽度小于 $26\mu\text{m}$ ，暴露出的透明导电材料的线宽大于 $26\mu\text{m}$ 。

应该意识到，以上对本发明的概述和下文的详细说明都是示例性和解释性的，都是为了进一步解释所要保护的本发明。

附图说明

所包括的用来进一步理解本发明并且作为说明书一部分的附图表示了本发明的实施例，并且连同说明书一起用来解释本发明的原理。

在附图中：

图 1 所示为使用现有四轮掩模工序制造的薄膜晶体管（TFT）阵列基板的平面图；

图 2 所示为沿图 1 中的 I-I' 线提取的薄膜晶体管阵列基板的截面图；

图 3A 到图 3D 所示为图 1 和图 2 中所示的薄膜晶体管阵列基板的一种制造方法；

图 4 所示为按照本发明第一实施例的薄膜晶体管阵列基板的平面图；

图 5 是沿图 4 中 II-II' 线提取的薄膜晶体管阵列基板的截面图；

图 6A 和图 6B 所示为分别用来解释按照本发明第一实施例的薄膜晶体管阵列基板制造方法中的第一掩模工艺的平面图和截面图；

图 7A 和图 7B 所示为分别用来解释按照本发明第一实施例的薄膜晶体管阵列基板制造方法中的第二掩模工艺的平面图和截面图；

图 8A 到图 8C 所示为用来详细解释按照本发明第一实施例的薄膜晶体管阵列基板制造方法中的第二掩模工艺的截面图；

图 9A 和图 9B 所示为分别用来解释按照本发明第二实施例的薄膜晶体管阵列基板制造方法中的第三掩模工艺的平面图和截面图；

图 10A 到图 10E 所示为用来详细解释按照本发明第一实施例的薄膜晶体管阵列基板制造方法中的第三掩模工艺的截面图；

图 11 所示为按照本发明第二实施例的薄膜晶体管阵列基板的平面图；

图 12 是沿图 11 中 III-III' 线提取的薄膜晶体管阵列基板的截面图；

图 13A 到图 13C 所示为解释按照本发明第二实施例的薄膜晶体管阵列基板制造方法的截面图；

图 14 所示为具有图 4 中所示的 TFT 阵列基板的液晶显示器件的平面图；

图 15 所示为沿图 14 中 IV-IV' 提取的液晶显示器件的截面图；

图 16 所示为具有图 11 中所示的 TFT 阵列基板的液晶显示器件的平面图；

图 17 所示为沿图 16 中 V-V' 提取的液晶显示器件的截面图；

图 18 所示为按照本发明第三实施例的薄膜晶体管阵列基板的平面图；

图 19 是沿图 18 中 VI-VI' 线提取的薄膜晶体管阵列基板的截面图；

图 20A 和图 20B 所示为分别用来解释按照本发明第三实施例的薄膜晶体管阵列基板制造方法中的第一掩模工艺的平面图和截面图；

图 21A 和图 21C 所示为分别用来解释按照本发明第三实施例的薄膜晶体管阵列基板制造方法中的第二掩模工艺的平面图和截面图；

图 22A 和图 22D 所示为分别用来解释按照本发明第三实施例的薄膜晶体管阵列基板制造方法中的第三掩模工艺的平面图和截面图；

图 23 所示为非连续形成像素电极的截面图；

图 24 所示为按照本发明第四实施例的薄膜晶体管阵列基板的平面图；

图 25 是沿图 24 中 VII-VII' 线提取的薄膜晶体管阵列基板的截面图；

图 26A 到图 26D 所示为图 25 中形成虚拟图案的过程；

图 27 所示为按照本发明第五实施例的薄膜晶体管阵列基板数据焊盘的平面图；

图 28 是沿图 27 中 VIII-VIII' 线提取的薄膜晶体管阵列基板数据焊盘的截面图；

图 29A 到 29D 所示为解释图 27 和图 28 中数据焊盘制造方法的截面图；

图 30 所示为按照本发明第六实施例的薄膜晶体管阵列基板数据焊盘的平面图；

图 31 是沿图 30 中 IX-IX' 线提取的薄膜晶体管阵列基板数据焊盘的截面图；和

图 32A 到 32D 所示为解释图 31 中数据焊盘制造方法的截面图。

具体实施方式

以下根据附图示例，具体描述本发明的优选实施例。

图 4 为根据本发明第一实施例的 TFT 阵列基板的平面图。图 5 示出了沿图 4 中线 II-II' 提取的 TFT 阵列基板的截面图。

参考图 4 和 5，本发明第一实施例的 TFT 阵列基板可包括，例如，彼此交叉形成在下基板 101 上并限定多个像素区 105 的栅极线 102 和数据线 104；一形成于栅极线 102 和数据线 104 之间的栅极绝缘图案 112；形成于栅极线 102 和数据线 104 每个交点的薄膜晶体管 130；形成于每个像素区的像素电极 122；在存储电极 128 和栅极线 102 重叠区形成的存储电容 140，一从栅极线 102 延伸而来的栅极焊盘 150，以及一从数据线 104 延伸出的数据焊盘 160。

每条栅极线 102 可接收一栅极信号，每条数据线 104 可接收一数据信号。响应施加到栅极线 102 的栅极信号，TFT130 在像素电极 122 中充电并保持施加到相应的数据线 104 的一像素信号。从而，每个 TFT130 可以包括一连接到相应栅极线 102 上的栅极 106，一连接到相应数据线 104 上的源极 108，以及一连接到相应像素电极 122 的漏极电极 110。

进而，每个薄膜晶体管 130 可包括一与栅极电极 106 重叠的有源层 114，其在重叠处被栅极绝缘图案 112 绝缘。从而，在有源层 114 在源极 108 和漏极 110 之间的部分形成一沟道。一欧姆接触层 116 形成在有源层 114 上，并与重叠的数据线 104、源极 108、漏极 110 和存储电极 128 欧姆接触。在本发明的另一方面，可以去除相邻液晶单元间的有源层 114 和欧姆接触层 116 部分以防止信号干扰。

正如下面将要详述的那样，栅极电极 106，栅极线 102，栅极焊盘 150，数据焊盘 160 以及像素电极 122 构成第一导电图案组。在本发明的一方面，栅极电极 106，栅极线 102 和栅极焊盘 150，包括透明导电材料 170 和置于其上的栅极金属材料 172。在本发明的另一方面，数据焊盘 160 和像素电极 122，仅包括透明导电材料 170。本发明还具有的一种情况是，数据焊盘 160 在数据线 104 下的部分包括透明导电材料 170 和重叠的栅极金属材料 172。

每个像素电极 122 可包括透明导电材料 170 并与相应 TFT130 的漏极电极 110 直接接触。

每个存储电容 140 可包括栅极线 102 和与栅极线 102 重叠的存储电极 128，此两导体被栅极绝缘图案 112，有源层 114 和欧姆接触层 116 分隔。存储电极 128 与像素电极 122 直接接触。如上述结构，存储电容 140 使得像素电极 122 中充入的像素信号可以一直保持到下一像素信号充入像素电极 122。

栅极信号通过相应的栅极焊盘 150 提供给每一栅极线 102。从而，每个栅极焊盘 150 连接到一提供栅极信号的栅极驱动器（未示出）上。在本发明的一方面，每个栅极焊盘 150 可包括透明导电材料 170 和重叠的栅极金属材料 172。在本发明的另一方面，栅极线 102 和栅极电极 106 可也包括透明导电材料 170 和重叠的栅极金属材料 172。本发明的另一方面是，至少有一部分栅极焊盘 150 的透明导电材料 170，通过贯穿栅极焊盘 150 内的栅极绝缘图案 112 和栅极金属材料 172 形成的接触孔暴露出来。

数据信号可以通过相应的数据焊盘 160 提供给每条数据线 104。从而，每个数据焊盘 160 连接到提供数据信号的数据驱动器（未示出）上。在本发明的一方面，每个数据焊盘 160 包括透明导电材料 170 并与数据线 104 直接接触，其中数据焊盘 160 中的部分透明导电材料 170 通过数据线 104 暴露出来。或者，数据焊盘 160 包括透明导电材料 170，以及在与数据线 104 重叠的区域形成在

透明导电材料 170 上的栅极金属材料 172。

在运行中，当 TFT130 向像素电极 122 提供一像素信号，并当向形成在滤色片阵列基板（未示出）上的公共电极上施加一参考电压时，在像素电极 122 和公共电极之间形成一电场。液晶分子具有特殊的介电各项异性。因而，在电场存在的情况下，液晶分子旋转，并在 TFT 和滤色片阵列基板中排列。所施加电场的强度决定液晶分子旋转的程度。从而，可以通过变化所施加电场的强度，光源（未示出）发出的具有不同灰度级的光可通过像素区进行发射。

根据本发明的原理，透明导电材料 170 具有很强的抗腐蚀能力。因此，如上所述，透明导电材料 170 在栅极焊盘 150 和数据焊盘 160 内形成的部分暴露出来，以保证抗腐蚀的高可靠性。进而，可以防止具有暴露出透明导电材料 170 的栅极焊盘 150 和数据焊盘 160 在重复连接和拆离带式载体封装（TCP）时损坏。

图 6A 和 6B 分别为解释根据本发明第一实施例 TFT 阵列基板的制造方法中的第一掩模工序的平面图和截面图。

参考图 6A 和 6B，第一导电图案组在第一掩模工序中形成于下基板 101 上。在本发明的一方面，第一导电图案组包括：像素电极 122，栅极线 102，栅极电极 106，栅极焊盘 150 和数据焊盘 160。

根据本发明的原理，第一导电图案组包括采用溅射或类似技术，依次沉积在下基板 101 上的透明导电材料 170 和栅极金属材料 172。在本发明的一方面，透明导电材料 170 可包括如氧化铟锡（ITO）、氧化锡（TO）、氧化铟锌（IZO）、氧化铟锡锌（ITZO）等类似材料，或其结合。在本发明的另一方面，栅极金属材料 172 可包括诸如铝族金属（如铝/钽（AlNd）等），钼（Mo）、铜（Cu）、铬（Cr）、钽（Ta）、钛（Ti）等金属材料或其结合。可采用光刻和蚀刻技术通过第一掩模图案对透明导电材料 170 和栅极金属材料 172 构图，以形成前述第一导电图案组。从而栅极线 102、栅极电极 106、栅极焊盘 150、数据焊盘 160 以及像素电极 122 可以具有包括透明导电材料 170 和栅极金属材料 172 的双层结构。

图 7A 和 7B 分别为概括描述根据本发明第一实施例的 TFT 阵列基板制造方法中的第二掩模工序的平面图和截面图。

参见图 7A 和 7B，栅极绝缘图案 112 和包括有源层 114 和欧姆接触层 116

的半导体图案，通过第二掩模工序在下基板 101 和第一导电图案上形成。根据本发明的原理，栅极绝缘图案 112 和有源层 114 以及欧姆接触层 116 在形成时暴露出栅极焊盘 150、数据焊盘 160 和像素电极 122。在本发明的一方面，栅极金属材料 172 通过栅极绝缘图案 112 和有源层 114 以及欧姆接触层 116 暴露出来的部分可以被去除，以完全将数据焊盘 160 和像素电极 122 之间的透明导电材料 170 暴露出来。在本发明的另一方面，形成的第一接触孔 180 贯穿半导体图案、栅极绝缘图案 112 和栅极焊盘 150 内的栅极金属材料 172 部分，以部分暴露出包括在栅极焊盘 150 内的透明导电材料 170。

下面将结合图 8A 至 8C 详细描述图 7A 和 7B 描述的第一实施例的第二掩模工序。

参见图 8A，栅极绝缘薄膜 111，第一半导体层 115 以及第二半导体层 117 依次形成在下基板 101 和第一导电图案组上。在本发明的一方面，栅极绝缘薄膜 111 和第一半导体层 115 及第二半导体层 117 通过如 PEVCD，溅射等沉积技术形成。在本发明的另一方面，栅极绝缘薄膜 111 可以包括如氮化硅(SiN_x)、氧化硅(SiO_x)的无机绝缘材料。在本发明的另一方面，第一半导体层 115 可以包括没有掺杂的非晶硅。本发明的另一方面，第二半导体层 117 可包括 N 型或 P 型掺杂的非晶硅。

接着，第一光刻胶薄膜 156 在第二半导体层 117 的整个表面形成，并通过第二掩模图案 162 以光刻法进行构图。根据本发明的原理，第二掩模图案 162 可包括一采用适合的透明材料形成的第二基板和在第二基板 152 上屏蔽区 S2 内的多个屏蔽部分 154，其中屏蔽区 S2 被曝光区 S1 分隔开。

参见图 8B，采用第二掩模图案 162，第一光刻胶薄膜 156，有选择地通过曝光区 S1 进行曝光和显影，从而形成第一光刻胶图案 158。栅极绝缘薄膜 111 和第一半导体层 115 及第二半导体层 117 接着进行构图，通过第一光刻胶图案 158，采用光刻和蚀刻技术分别形成栅极绝缘图案 112 和包括有源层 114 及欧姆接触层 116 的半导体图案。在本发明的一方面，栅极绝缘图案 112，以及有源层 114 和欧姆接触层 116，可构图将像素电极 122 和数据焊盘 160 暴露出来。进而，第一接触孔 180 可贯穿栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 形成，将栅极焊盘 150 的一部分暴露出来。在本发明的另一方面，栅极绝缘图案 112 和有源层 114 以及欧姆接触层 116 的宽度大于第一导电图案组的结

构宽度，以防止 TFT130 的沟道特性恶化。从而，在形成栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 后，栅极焊盘 150、像素电极 122 以及数据焊盘 160 内的栅极金属材料 172，被暴露出来。在形成栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 后，第一光刻胶图案 158 被剥离。

接着，参见图 8C，暴露的栅极金属材料 172 部分，可以采用栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 作为掩模，用湿蚀刻工艺去除。从而，数据焊盘 160 和像素电极 122 内的全部栅极金属材料 172 被去除，暴露出其中的全部透明导电材料 170，同时，栅极焊盘 150 内的栅极金属材料 172 被去除，暴露出在第一接触孔 180 内的透明导电材料 170。

图 9A 和 9B 分别为概括描述根据本发明第一实施例 TFT 阵列基板的制造方法中的第三掩模工序的平面图和截面图。

参见图 9A 和 9B，在第三掩模工序中，第二导电图案组形成在下基板 101 和栅极绝缘图案 112、有源层 114 及欧姆接触层 116 上。在本发明的一方面，第二导电图案组包括数据线 104，源极 108，漏极 110 以及存储电极 128。

下面将结合图 10A 至 10E 详细描述图 9A 和 9B 描述的第一实施例的第三掩模工序。

参见图 10A，数据金属层 109 形成在下基板 101，栅极绝缘图案 112 以及有源层 114 和欧姆接触层 116 上。在本发明的一方面，数据金属层 109 可用如溅射等沉积技术形成。在本发明的另一方面，数据金属层 109 可包括如钼 (Mo)，铜 (Cu)，等金属，或其结合。

接着在数据金属层 109 的整个表面形成第二光刻胶薄膜 178 并采用第三掩模图案 161 进行光刻法构图。根据本发明的原理，第三掩模图案 161 为一局部曝光掩模。例如，第三掩模图案 161 包括一以适合的透明材料形成的掩模基板 164、掩模基板 164 上的屏蔽区 S2 内的多个屏蔽部分 166，以及在掩模基板 164 上的局部曝光区 S3 内的局部曝光部分（例如，一衍射部分或者一反射部分）168。需要注意的是，掩模 161 不提供屏蔽或局部曝光部分的区域为曝光区 S1。

参见图 10B，通过第三掩模图案 161，第二光刻胶薄膜 178，有选择地通过曝光区 S1 和局部曝光区 S3 进行曝光和显影，从而形成在屏蔽区 S2 和局部曝光区 S3 间具有阶梯差的第二光刻胶图案 179。从而，设置在局部曝光区 S3 的第二光刻胶图案 179 的高度低于设置在屏蔽区 S2 的第二光刻胶图案的高度。

接着，用第二光刻胶图案 179 作为掩模，采用湿蚀刻技术对数据金属层 109 构图，形成前述的第二导电图案组（即，存储电极 128、数据线 104、源极 108 和漏极 110），其中源极 108 和漏极 110 在一对对应于局部曝光区 S3（即继而形成 TFT130 的沟道区）的区域彼此连接，其中，源极 108 连接到数据线 104 的一端，漏极 110 连接到像素电极 122。在本发明的一方面，数据金属层 109 可以构图以暴露出在栅极焊盘 150 的第一接触孔 180、数据焊盘 160 和像素电极 122 内的透明导电材料 170 部分。在本发明的另一方面，数据金属层 109 可构图以使漏极 110 和存储电极 128 直接与像素电极 122 接触。

接着，用第二光刻胶图案 179 作为掩模，采用干蚀刻工序对有源层 114 和欧姆接触层 116 构图。在本发明的一方面，构图可包括去除有源层 114 和欧姆接触层 116 没有与第二导电图案组重叠的部分。在本发明的另一方面，构图可包括对相邻液晶单元间的有源层 114 和欧姆接触层 116 干蚀刻，以防止其间的短路。

参见图 10C，在有源层 114 和欧姆接触层 116 形成和构图后，采用氧（ O_2 ）等离子体的灰化工序将具有较低高度（即设置在继而形成 TFT130 的沟道区的，通过第三掩模图案 161 的局部曝光区 S3 形成的第二光刻胶图案 179 的部分）的第二光刻胶图案 179 部分去除。在进行完灰化工序后，相对较厚的第二光刻胶图案 179（即通过屏蔽区 S2 形成在继而形成 TFT130 的沟道区外的第二光刻胶图案 179 部分）部分变薄，但仍然存在。用变薄的第二光刻胶图案 179 作为掩模，采用蚀刻工序，将在继而形成 TFT30 的沟道部分的数据金属层 109 和欧姆接触层 116 部分去除。从而，沟道部分的有源层 114 被暴露，源极 108 与漏极 110 断开连接。参考图 10D，光刻胶图案 179 的剩余部分通过剥离工序去除。

下面参见图 10E，保护薄膜 118 形成在基板 101 的整个表面和第二导电图案组上。在本发明的一方面，保护薄膜 118 包括如氮化硅（ SiN_x ）或氧化硅（ SiO_x ）等无机绝缘材料或其结合，以及如具有小介电常数的丙烯酸有机化合物，BCB（苯并环丁烯），或是 PFCB（全氟环丁烷）等有机绝缘材料，及其结合。

图 11 为根据本发明第二实施例的 TFT 阵列基板的平面图。图 12 为沿图 11 中 III-III' 线提取的 TFT 阵列基板的截面图。

图 11 和图 12 中示出的 TFT 阵列基板，以及其制造方法，在很多方面与图 4 与图 5 示出的 TFT 阵列基板相似，不同的是两者的栅极焊盘。因此，为简明起见，下面将略去第二实施例与第一实施例中相似部分的详细说明。

参见图 11 和图 12，栅极信号可通过相应的栅极焊盘 150 提供给每条栅极线 102。因此，栅极焊盘 150 连接到一提供栅极信号的栅极驱动器（未示出）上。在本发明的一方面，栅极线 102 包括透明导电材料 170 和重叠的栅极金属材料 172。在本发明的另一方面，栅极焊盘 150 由栅极线 102 延伸并包括透明导电材料 170。本发明的另一方面，栅极焊盘 150 的透明导电材料 170 可被栅极线 102 的栅极金属材料 172 完全暴露。

根据本发明的原理，透明导电材料 170 具有很强的抗腐蚀能力。因此，如上所述，透明导电材料 170 在栅极焊盘 150 和数据焊盘 160 内形成的部分暴露出来，以保证抗腐蚀的高可靠性。进而，可以防止具有暴露出透明导电材料 170 的栅极焊盘 150 和数据焊盘 160 在重复连接和拆离带式载体封装（TCP）时损坏。

图 13A 到图 13C 所示为解释按照本发明第二实施例的薄膜晶体管阵列基板制造方法的截面图。

参考图 13A，第一导电图案组在第一掩模工序中形成于下基板 101 上。在本发明的一方面，第一导电图案组包括：像素电极 122，栅极线 102，栅极电极 106，栅极焊盘 150 和数据焊盘 160。

根据本发明的原理，第一导电图案组包括采用溅射等技术，依次沉积在下基板 101 和透明导电材料 170 和栅极金属材料 172 上。在本发明的一方面，透明导电材料 170 可包括如氧化铟锡（ITO）、氧化锡（TO）、氧化铟锌（IZO）、氧化铟锡锌（ITZO）等材料，或其结合。在本发明的另一方面，栅极金属材料 172 可包括诸如铝族金属（如铝/钨（AlNd）等），钼（Mo）、铜（Cu）、铬（Cr）、钽（Ta）、钛（Ti）等金属材料或其结合。可采用光刻和蚀刻技术通过第一掩模图案对透明导电材料 170 和栅极金属材料 172 构图，以形成前述第一导电图案组。从而栅极线 102、栅极电极 106、栅极焊盘 150、数据焊盘 160 以及像素电极 122 具有包括透明导电材料 170 和栅极金属材料 172 的双层结构。

参见图 13B，在下基板 101 和第一传导图案上，通过第二掩模工序形成栅

极绝缘图案 112 和包括有源层 114 和欧姆接触层 116 的半导体图案。从而，栅极绝缘图案 112 和有源层 114 以及欧姆接触层 116 在形成时暴露出栅极焊盘 150、数据焊盘 160 和像素电极 122。在本发明的一方面，栅极金属材料 172 通过栅极绝缘图案 112 和有源层 114 以及欧姆接触层 116 暴露出来的部分可以被去除，以将包括在数据焊盘 160、像素电极 122 和栅极焊盘 150 内的透明导电材料 170 暴露出来。

例如，栅极绝缘薄膜和第一半导体层以及第二半导体层依次形成在下基板 101 和第一导电图案组上。在本发明的一方面，栅极绝缘薄膜和第一半导体层及第二半导体层通过如 PEVCD，溅射等沉积技术形成。在采用第二掩模的蚀刻技术中，栅极绝缘薄膜和第一半导体层及第二半导体层被构图，分别形成栅极绝缘图案 112、有源层 114 及欧姆接触层 116。在本发明的一方面，栅极绝缘图案 112 与有源层 114 和欧姆接触层 116 被构图以暴露出像素电极 122、数据焊盘 160 和栅极焊盘 150。因此，在形成栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 后，栅极焊盘 150、像素电极 122 和数据焊盘 160 内的栅极金属材料 172 被暴露出来。

接着，暴露的栅极金属材料 172 部分，可以采用栅极绝缘图案 112 和有源层 114 及欧姆接触层 116 作为掩模，用湿蚀刻工序去除。从而，数据焊盘 160、像素电极 122 和栅极焊盘内的栅极金属材料 172 被去除，暴露出其中的透明导电材料 170。

参见图 13C，在第三掩模工序中，第二导电图案组形成在下基板 101、栅极绝缘图案 112、有源层 114 及欧姆接触层 116 上。在本发明的一方面，第二导电图案组包括数据线 104，源极 108，漏极 110 以及存储电极 128。

例如，数据金属层形成在下基板 101、栅极绝缘图案 112 以及有源层 114 和欧姆接触层 116 上。与前述第一实施例相似，第三掩模图案（即，局部曝光掩模图案）可用来形成光刻胶掩模，其具有对应于第三掩模图案的屏蔽区的较厚区域，和对应于第三掩模的局部曝光区的相对薄区域。在采用上述光刻胶掩模的湿蚀刻中，数据金属层被构图以形成前述第二导电图案组（即存储电极 128、数据线 104、源极 108 和漏极 110），其中源极 108 和漏极 110 在对应于第三掩模图案的局部曝光区的区域内彼此连接，并且源极 108 连接到数据线 104 的一端。在本发明的一方面，数据金属层被构图，以暴露出栅极焊盘 150、

数据焊盘 160 和像素电极 122 的透明导电材料 170 部分。在本发明的另一方面，数据金属层被构图，使漏极 110 和存储电极 128 与像素电极 122 直接接触。

接着，用光刻胶图案作为掩模，采用干蚀刻工序对有源层 114 和欧姆接触层 116 进行构图。在有源层 114 和欧姆接触层 116 被构图后，光刻胶掩模图案相对薄的部分被去除，较厚的部分在采用氧(O₂)等离子体的灰化工序中变薄。采用变薄的光刻胶图案作为掩模，用蚀刻工序去除在继而形成 TFT130 的沟道部分的数据金属层和欧姆接触层 116 部分。从而，沟道部分内的有源层 114 被暴露，源极 108 与漏极 110 断开连接。接着，在下基板 101 的整个表面和第二导电图案组上形成保护薄膜 118。

图 14 示出了包含有图 4 所示的 TFT 阵列基板的液晶显示器件的平面图。图 15 示出了沿图 14 中的 IV-IV'线提取的液晶显示器件的截面图。图 16 示出了包含有图 11 所示的 TFT 阵列基板的液晶显示器件的平面图。图 17 示出了沿图 16 中的 V-V'线提取的液晶显示器件的截面图。

参照图 14 到 17，通过将上面讨论的第一和第二实施例中的上述 TFT 阵列基板与滤色片阵列基板粘接在一起，形成液晶显示器件(LCD)。按照本发明的一方面，例如，所述滤色片阵列基板包括形成在上基板 88 上的滤色片阵列 96。按照本发明的另一方面，该 TFT 阵列基板和滤色片基板可以使用密封剂 94 彼此粘接到一起。

按照本发明的原理，在与滤色片阵列基板粘接到一起时，TFT 阵列基板可以侧面延伸超出滤色片阵列基板，使得栅极焊盘 150 和数据焊盘 160（统称为“焊盘”）位于由粘接的 TFT 阵列基板和滤色片阵列基限定盒间隙之外。

将 TFT 阵列基板和滤色片阵列基板粘接到一起之后，位于焊盘上部的部分保护膜 118 通过焊盘打开工序去除，以暴露出包含在栅极焊盘 150 和数据焊盘 160 中的透明导电材料 170。具体参照图 14 和图 15，所提供的栅极焊盘 150 的透明导电材料 170 通过第一接触孔 180 部分暴露出。具体参照图 16 和图 17，所提供的栅极焊盘 150 的透明导电材料 170 完全暴露出。

然后，执行检测工序，其中，使得例如检测装置（例如，自动检测装置）的检测针接触栅极焊盘 150 和数据焊盘 160 中暴露出的透明导电材料 170。通过检测装置，检测针判断栅极线 102 和数据线 104 是良好还是有缺陷（例如，通过将来自检测针的电信号施加到栅极焊盘 150 和数据焊盘 160）。为了在检

测针和各焊盘的透明导电材料 170 之间便于连接,由保护膜 118 暴露出的透明导电材料 170 的线宽 d_1 大于 $26\mu\text{m}$ 。例如,如果栅极焊盘 150 和数据焊盘 160 的任一线宽 d_2 大约为 $40\mu\text{m}$ 到 $44\mu\text{m}$ 时,暴露出的透明导电材料 170 的线宽可以是 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

执行完检测工序后,各自具有驱动器集成电路 (IC) 的数据 TCP 80 和栅极 TCP 84 使用各向异性的导电膜 (ACF) 92 分别连接到数据焊盘 160 和栅极焊盘 150。按照本发明的一方面,所述 ACF 包括多个导电球 90。按照本发明的另一方面,数据 TCP 80 和栅极 TCP 84 的输出焊盘 76 和 82 通过 ACF 92 中的导电球 90 分别电连接到数据焊盘 160 和栅极焊盘 150。例如,形成在栅极 TCP 84 的基膜 74 上的栅极 TCP 输出焊盘 82 通过 ACF 92 电连接到栅极焊盘 150 中的透明导电材料 170。按照本发明的另一方面,形成在数据 TCP 80 的基膜 74 上的数据 TCP 输出焊盘 76 通过 ACF 92 电连接到数据焊盘 160 中的透明导电材料 170。如上所述,栅极焊盘 150 和数据焊盘 160 中的透明导电材料 170 具有强的抗腐蚀性和相对高的强度。因此,应用本发明的原理可以基本上防止由于分别多次连接和分离栅极 TCP 84 和数据 TCP 80 而产生的栅极焊盘 150 和数据焊盘 160 的断裂。

按照本发明的原理,通过顺序扫描每一单独的栅极焊盘 150 和数据焊盘 160 以暴露出其中包含的透明导电材料 170,执行焊盘打开工序。或者,通过扫描栅极焊盘 150 或者数据焊盘 160 中的一种的全部、然后再扫描栅极焊盘 150 或者数据焊盘 160 中的另一种的全部以暴露出其中包含的透明导电材料 170,执行焊盘打开工序。

按照本发明的一方面,通过使用例如是气压等离子体发生器 (atmosphere plasma generator) 产生等离子体执行焊盘打开工序。按照本发明的另一方面,通过将多个 LCD 面板放入蚀刻腔室中并且使用例如是常压等离子体发生器 (normal-atmosphere plasma generator) 产生等离子体,执行焊盘打开工序。按照本发明的再一方面,通过将 LCD 面板完全浸入到能够选择去除部分暴露出的保护膜 118 以暴露出透明导电材料 170 的蚀刻液体中,执行焊盘打开工序。按照本发明的又一方面,通过在将 TFT 阵列基板与滤色片阵列基板粘接到一起之前,在保护膜 118 上形成排列图案并使用该排列图案作为掩模去除部分保护膜 118,执行焊盘打开工序。

图 18 示出了按照本发明第三实施例的 TFT 阵列基板的平面图。图 19 示出了沿图 18 中的 VI-VI'线提取的 TFT 阵列基板的截面图。

图 18 和图 19 所示的 TFT 阵列基板及其制造方法在许多方面与图 4 和图 5 所示的 TFT 阵列基板相似，只是在像素电极、栅极焊盘、上栅极焊盘电极、数据焊盘、下数据焊盘电极和上数据焊盘电极方面不同。这样，为了简洁，第三实施例和第一实施例中相似的部分就不再详细描述。

参照图 18 和图 19，像素电极 272 直接设置在下基板 288 上。按照本发明的一方面，像素电极 272 直接接触由保护膜图案 298 暴露出的薄膜晶体管 280 的漏极 262 的一部分。在工作过程中，当来自 TFT 280 的像素信号施加到像素电极 272、参考电压施加到形成在滤色片阵列基板（未示出）的公共电极时，会在像素电极 272 和公共电极之间产生电场。液晶分子具有介电各向异性的特点。因此，有电场存在时，液晶分子发生旋转以在 TFT 阵列基板和滤色片阵列基板之间进行排列。施加的电场强度决定液晶分子的旋转程度。因此，通过改变施加的电场强度，光源（未示出）发出的光的不同灰度级可以通过像素区传输。

存储电容 278 包括前级栅极线 252 和与前级栅极线重叠的存储电极 266，其中这两个导体由栅极绝缘膜 290、有源层 292 和欧姆接触层 294 分隔开。存储电极 266 直接接触像素电极 272。按照本发明的一方面，像素电极 272 直接接触由保护膜图案 298 暴露出的部分存储电极 266。按照上述的结构，存储电容 278 允许充入在像素电极 272 中的像素信号保持均匀，直到下一像素信号充入像素电极 272。

栅极信号通过相应的栅极焊盘 282 施加到每一条栅极线 252 上。因此，每一栅极焊盘 282 连接到提供栅极信号的栅极驱动器（未示出）。按照本发明的一方面，每一栅极焊盘 282 包括从栅极线 252 延伸的下栅极焊盘电极 256、贯穿栅极绝缘膜 290 和保护膜图案 298 的栅极接触孔 230 以及通过栅极接触孔 230 连接到下栅极焊盘电极 256 的上栅极焊盘电极 274。

数据信号通过相应的数据焊盘 284 施加到每一条数据线 258 上。因此，每一数据焊盘 284 连接到提供数据信号的数据驱动器（未示出）。按照本发明的一方面，每一数据焊盘 284 包括下数据焊盘电极 264、贯穿栅极绝缘膜 290、半导体图案 247、下数据焊盘电极 264 和保护膜图案 298 以暴露出下基板 288

的数据接触孔 238 以及通过数据接触孔 238 连接到下数据焊盘电极 264 的侧表面的上数据焊盘电极 276。按照本发明的一方面，下数据焊盘电极 264 从数据线 258 延伸并且具有与形成在栅极绝缘图案 290 上的半导体图案 247 相同的图案。

如图 18 和图 19 所示，栅极绝缘图案 290 和保护膜图案 298 提供在没有形成像素电极 272、上栅极焊盘电极 274 和上数据焊盘电极 276 的区域。

按照本发明的原理，参照图 18 和图 19 描述的上述 TFT 阵列基板可以通过三轮掩模工序形成。这样，参照图 20A 到 22D，本发明第三实施例的三轮掩模工序包括提供第一导电图案组的第一掩模工序、提供半导体图案和第二导电图案组的第二掩模工序以及提供栅极绝缘图案、保护膜图案和第三导电图案组的第三掩模工序。

图 20A 和图 20B 分别示出了描述按照本发明第三实施例的 TFT 阵列基板的制造方法中的第一掩模工序。

参照图 20A 和图 20B，在第一掩模工序中，在下基板 288 上形成第一导电图案组。按照本发明的一方面，第一导电图案组包括栅极线 252、栅极 254 和下栅极焊盘电极 256。

按照本发明的原理，第一导电图案组包括通过例如是溅射法等的技术在下基板 288 上沉积的栅极金属材料。按照本发明的一方面，所述栅极金属材料可以包括由例如 Cr、MoW、Cr/Al、Cu、Al (Nd)、Mo/Al、Mo/Al (Nd)、Cr/Al (Nd) 等或者它们的结合形成的单层或双层结构。该栅极金属材料通过使用第一掩模图案、利用光刻和蚀刻技术进行构图，以提供前面提到过的第一导电图案组。

图 21A 到图 21C 分别示出了描述按照本发明第三实施例的 TFT 阵列基板的制造方法中第二掩模工序的平面图和截面图。

参照图 21A，在第二掩模工序中，在下基板 288 上形成栅极绝缘膜 290a、包括有源层 292 和欧姆接触层 294 的半导体图案以及第二导电图案组。按照本发明的一方面，所述第二导电图案组包括数据线 258、源极 260、漏极 262、存储电极 266 和下数据焊盘电极 264。执行完第二掩模工序后，漏极 262 与源极 260 连接。关于图 21A 的上述第三实施例的第二掩模工序将参照图 21B 和图 21C 更加详细地描述。

参照图 21B, 在下基板 288 和第一导电图案组上顺序形成栅极绝缘膜 290a、第一半导体膜 292a、第二半导体膜 294a 和数据金属层 258a。按照本发明的一方面, 栅极绝缘膜 290a、第一和第二半导体层 292a 和 294a 按照诸如 PEVCD、溅射等沉积技术形成。按照本发明的另一方面, 栅极绝缘膜 290a 包括例如是氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机绝缘材料。按照本发明的另一方面, 第一半导体层 292a 包括没有掺杂的非晶硅。按照本发明的再一方面, 第二半导体层 294a 包括 n⁺掺杂非晶硅。按照本发明的又一方面, 数据金属层 258a 包括例如是钼 (Mo)、钛 (Ti)、钽 (Ta)、或者是合金以及其结合等。

然后, 使用第二掩模图案, 通过光刻和蚀刻工序在数据金属层 258a 上形成第一光刻胶图案 271b。按照本发明的原理, 所述第二掩模图案是类似于上述的第一实施例的部分曝光掩模。因此, 所述第二掩模图案包括与后续形成的 TFT 的沟道区对准的部分曝光区域、多个屏蔽区域和多个曝光区域。因此, 在与第二掩模图案的部分曝光区域和屏蔽区域对准的第一光刻胶图案 271b 的两部分之间存在阶梯差。

参照图 21C, 使用第一光刻胶图案 271b 作为掩模, 通过湿蚀刻工序构图数据金属层 258a, 以形成前面提到的第二导电图案组 (即, 数据线 258、源极 260、漏极 262、存储电极 266 和下数据焊盘电极 264), 其中源极 260 和漏极 262 在对应于第二掩模图案的部分曝光区域彼此连接。

然后, 使用第一光刻胶图案 271b 作为掩模通过干蚀刻工序构图第二和第一半导体层 294a 和 292a, 分别形成欧姆接触层 294 和有源层 292。

形成有源层和欧姆接触层 292 和 294 之后, 使用氧 (O₂) 等离子体, 通过灰化工序去除具有相对低高度的部分第一光刻胶图案 271b (即, 与第二掩模图案的部分曝光区域对准的部分第一光刻胶图案 271b)。执行过灰化工序后, 相对较厚的部分第一光刻胶图案 271b (即, 与第二掩模图案的屏蔽区域对准的部分第一光刻胶图案 271b) 变薄但还存在。使用变薄的第一光刻胶图案 271b 作为掩模, 与第二掩模图案的部分曝光区域对准的部分数据金属层 258a 和欧姆接触层 294 通过干蚀刻工序进行蚀刻。这样, 在 TFT 280 的沟道部分的有源层 292 暴露出, 源极 260 与漏极 262 分隔开。然后, 通过剥离工序去除剩余的第一光刻胶图案 271b。

图 22A 到图 22D 示出了描述按照本发明第三实施例的 TFT 阵列基板的制

造方法中第三掩模工序的平面图和截面图。

参照图 22A, 通过第三掩模工序, 在下基板 288 上形成栅极绝缘膜 290、保护膜 298 和第三导电图案组。按照本发明的一方面, 第三导电图案组包括上栅极焊盘电极 274、像素电极 272 和上数据焊盘电极 276。下面将参照图 22B 到 22D 更加详细描述上述的参照图 22A 的本发明第三实施例的第三掩模工序。

参照图 22B, 在下基板 288 的整个表面上、并直接在栅极绝缘膜 290a 和第二导电图案组上形成保护膜 298a。按照本发明的一方面, 保护膜 298a 用例如溅射等沉积技术形成。按照本发明的另一方面, 保护膜 298a 例如是氮化硅 (SiN_x)、氧化硅 (SiO_x) 或其结合等的无机绝缘材料和例如是具有小介电常数的丙烯酸有机化合物、BCB (苯并环丁烯) 或 PFCB (全氟环丁烷) 及其结合等的有机绝缘材料。然后使用第三掩模, 通过光刻和蚀刻工序在保护膜 298a 上形成第二光刻胶图案 271c。

参照图 22C, 由第二光刻胶图案 271c 暴露出的部分保护膜 298a 使用预定的蚀刻混合气体进行干蚀刻。从而形成保护膜 298。

在应用中, 预定的蚀刻混合气体与蚀刻保护膜 298a 相比, 可以更快地蚀刻栅极绝缘膜 290a。这样, 如果在形成保护膜图案 298 之后继续使用该预定的蚀刻混合气体, 如图 23 所示, 栅极绝缘膜 290a 就会出现不期望的过蚀刻, 并且会下切漏极 262、存储电极 266 和半导体图案 247 的一部分。由于底切, 后续形成的像素电极 272 会不连续地贯穿存储电极 266、下基板 288 和漏极 262 (参见图 23 的 A 部分)。为了克服这一问题, 在形成保护膜图案 298 之后, 改变蚀刻混合气体, 从而以优选的速度蚀刻由第二光刻胶图案 271c 暴露出的部分第二导电图案组、半导体图案 247 和栅极绝缘膜 290a。按照本发明的一方面, 第二导电图案组、半导体图案 247 和栅极绝缘膜 290a 使用例如包括 SF_6 和 O_2 的混合气体蚀刻。使用包括 SF_6 和 O_2 的混合气体的结果是, 过蚀刻栅极绝缘膜 290a 的不良影响可以基本消除, 形成栅极接触孔 230 和数据接触孔 238。按照本发明的另一方面, 形成贯穿保护膜 298a 和栅极绝缘膜 290a 的栅极接触孔 230 以暴露出下栅极焊盘电极 256。按照本发明的再一方面, 形成贯穿保护膜 298a、下数据焊盘电极 264、半导体图案 247 和栅极绝缘膜 290a 的数据接触孔 238 以暴露出下基板 288。

在分别形成保护膜 298 和栅极绝缘图案和 290、分别形成栅极和数据接触

孔 230 和 238 后,可以在存储电极 266、下基板 288 和漏极 262 上连续形成像素电极 272。例如,在下基板 288 和第二光刻胶图案 271c 上形成透明导电材料 274a。按照本发明的一方面,透明导电材料 274a 通过例如溅射等沉积技术形成。按照本发明的另一方面,透明导电材料 274a 包括 ITO、TO、IZO 或者它们的结合等。

参照图 22D,通过剥离或提升工序去除第二光刻胶图案 271c。在去除光刻胶图案 271c 的同时,相对于不在第二光刻胶图案 271c 上的透明导电材料 274a 部分,去除位于第二光刻胶图案 271c 上的部分透明导电材料 274a。这样,在去除光刻胶图案 271c 的同时,形成第三导电图案组。按照本发明的一方面,第三透明导电图案组包括上栅极焊盘电极 274、像素电极 272 和上数据焊盘电极 276。

按照本发明的原理,上栅极焊盘电极 274 电连接到下栅极焊盘电极 256 的表面,像素电极 272 电连接到漏极 262 和存储电极 266,以及上数据焊盘 276 电连接到下数据焊盘电极 264 的侧表面并且直接接触下基板 288 的上表面。

图 24 示出了按照本发明第四实施例的 TFT 阵列基板的平面图。图 25 示出了沿图 24 中的 VII-VII'线提取的截面图。

图 24 和图 25 所示的 TFT 阵列基板及其制造方法在许多方面类似于图 18 和图 19 所示的 TFT 阵列基板,除了位于上数据焊盘电极和下基板之间的虚拟图案不同。这样,为了简洁,与第四和第三实施例相似的部分不再详细描述。

参照图 24 和图 25,栅极信号通过相应的栅极焊盘 382 施加到每一栅极线 352。因此,栅极焊盘 382 连接到提供栅极信号的栅极驱动器(未示出)。按照本发明的一方面,栅极焊盘 382 包括从栅极线 352 延伸出的下栅极焊盘电极 356 和连接到下栅极焊盘电极 356 的上栅极焊盘电极 374。按照本发明的一方面,下栅极焊盘电极 356 的线宽 d_2 大约为 $40\mu\text{m}$ 到 $44\mu\text{m}$,上栅极焊盘电极 374 的线宽 d_1 大于 $26\mu\text{m}$ 。按照本发明的另一方面,上栅极焊盘电极 374 的线宽 d_1 大约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

数据信号通过相应的数据焊盘 384 施加到每一数据线 358。因此,数据焊盘 384 连接到提供数据信号的数据驱动器。按照本发明的一方面,每一数据焊盘 384 包括从数据线 358 延伸出的下数据焊盘电极 364 和连接到下数据焊盘电极 364 的上数据焊盘电极 376。按照本发明的一方面,数据焊盘 384 包括位于

下数据焊盘电极 364 和下基板 388 之间的栅极绝缘图案 390、有源层 392 和欧姆接触层 394。按照本发明的另一方面，数据焊盘 384 的线宽 d_2 约为 $40\mu\text{m}$ 到 $44\mu\text{m}$ ，上数据焊盘电极 376 的线宽 d_1 大于 $26\mu\text{m}$ 。按照本发明的另一方面，上数据焊盘电极 376 的线宽 d_1 大约为 $34\mu\text{m}$ 到 $38\mu\text{m}$ 。

TFT 380 响应来自栅极线 352 的栅极信号，在像素电极 372 中充入并保持施加到相应数据线 358 的像素信号。因此，每一 TFT 380 包括连接到相应的栅极线 352 的栅极 354、连接到相应的数据线 358 的源极 360 以及连接到相应的像素电极 372 的漏极 362。

按照本发明的原理，上栅极焊盘电极 374 和上数据焊盘电极 376 分别具有比传统的上栅极焊盘电极和上数据焊盘电极更宽的线宽。上栅极焊盘电极和上数据焊盘电极的相对大的线宽允许具有约 $26\mu\text{m}$ 线宽的检测针容易地接触上栅极焊盘电极 374 和上数据焊盘电极 376。从而很容易地检测栅极线 352 和数据线 358 的缺陷（例如，通过向上栅极焊盘电极 374 和上数据焊盘电极 376 施加电信号）。

而且，上数据焊盘电极 376 直接接触下数据焊盘电极 364 的侧表面，以基本防止上述的彻底现象发生并且确保在存储电极 366 和漏极 362 之间形成连续的像素电极 372。如图 24 所示，上数据焊盘电极 376 和下数据焊盘电极 364 形成接触表面 F。按照本发明的一方面，接触表面 F 可以稍微凹进以增大下数据焊盘电极 364 的接触面。

如图 25 所示，在下栅极焊盘电极 356 和上栅极焊盘电极 374 之间以及在下基板 388 和上数据焊盘电极 376 之间提供有至少一个虚拟图案 385。按照本发明的一方面，虚拟图案 385 包括栅极绝缘膜 390 的一部分。按照本发明的另一方面，虚拟图案 385 通过在构图保护膜 398 的过程中控制半导体图案 374 和栅极绝缘图案 390 的蚀刻速度形成。按照本发明的另一方面，虚拟图案 385 位于数据焊盘 384 的拐角区域并且具有相对弱的粘滞特性以使上数据焊盘电极 376 和下基板 388 之间的粘滞性最大。按照本发明的原理，虚拟图案 385 可以最小化在后续的工序步骤中静电的产生（例如，用于形成上数据焊盘电极 376 的工序步骤等）。

按照本发明的原理，图 24 和图 25 所示的上述 TFT 阵列基板可以按照与图 20A 到 22D 所示的相似的三轮掩模工序形成。这样，为了简洁，下面只

详细描述第四实施例仅有的第三掩模工序。

按照本发明的原理，通过第三掩模工序，在下基板 388 上形成栅极绝缘图案 390、保护膜图案 398 和第三导电图案组。按照本发明的一方面，保护膜图案可以由沉积在栅极绝缘膜的整个表面上的无机或有机绝缘材料形成，即，在已经形成有第二导电图案组的上面形成。按照本发明的原理，保护膜图案和栅极绝缘膜图案可以使用光刻胶图案分别通过构图保护膜和栅极绝缘膜形成。按照本发明的一方面，可以使用第三掩模图案形成光刻胶图案。这样，可以在没有形成第三导电图案组的区域形成栅极绝缘图案和保护膜图案。而且，形成于没有在构图栅极绝缘膜时去除的少量绝缘材料的虚拟图案位于栅极焊盘和数据焊盘内。

下面参照图 26A 到 26D 详细描述上述的光刻胶图案和虚拟图案的形成方法。

参照图 26A，在保护膜 398a 上形成光刻胶图案 371c，按照本发明的一方面，保护膜 398a 形成在下基板 388 的整个表面上。按照本发明的原理，由光刻胶图案 371c 暴露出的保护膜区域 398a 区域的线宽 d_1 大于 $26\mu\text{m}$ （即，大约 $34\mu\text{m}$ 到 $38\mu\text{m}$ ），每一栅极焊盘 382 和栅极焊盘 384 的线宽 d_2 大约为 $40\mu\text{m}$ 到 $44\mu\text{m}$ 。

接着，使用光刻胶 371c 作为掩模，通过干蚀刻工序构图保护膜 398a。按照本发明的一方面，使用包括 SF_6 和 O_2 的蚀刻气体构图保护膜 398a。按照本发明的另一方面，蚀刻气体中包括的 O_2 多于 SF_6 （例如， SF_6 : O_2 大约为 1: 3）。

参照图 26B，经过蚀刻后，去除少量的光刻胶图案 371c，在去除少量的光刻胶图案 371c 的同时，栅极绝缘膜 390a 的 D 部分也被去除，其中栅极绝缘膜 390a 和保护膜 398a 由相同或相似的材料形成。

接着，参照图 26，使用光刻胶图案 371c 通过蚀刻工序对下数据焊盘电极 364 构图以基本上消除过蚀刻栅极绝缘膜 390a 的影响（即，底切漏极 362、存储电极 366 和半导体图案 347）并且确保像素电极连续与存储电极 366 和漏极 362 交叉。按照本发明的一方面，使用包括有 SF_6 多于 O_2 （即， SF_6 : O_2 大约为 3~10: 1）的蚀刻气体以基本上消除过蚀刻栅极绝缘膜 390a 的影响。

接着，使用光刻胶图案 371c 作为掩模，通过干蚀刻工序蚀刻半导体图案 347。按照本发明的一方面，可以使用包含有例如 Cl_2 和/或 HCl 的蚀刻气体蚀

刻半导体图案 347。通过控制半导体图案 347 的蚀刻速度，如图 26C 所示，与光刻胶图案 371c 的拐角部分 C 重叠的半导体图案 347 的部分 347a 保留在栅极绝缘膜 390a 上。

参照图 26D，使用光刻胶图案 371c 作为掩模，通过干蚀刻工序蚀刻栅极绝缘膜 390a 以形成栅极绝缘图案 390。按照本发明的一方面，使用包含的 O_2 多于 SF_6 的蚀刻气体以形成栅极绝缘图案 390。由于半导体图案 347 的部分 347a 的存在，使得保留了少量的栅极绝缘膜，从而形成虚拟图案 385。

然后，在整个基板和剩余的光刻胶图案 371c 上沉积透明导电材料并且去除光刻胶图案 371c 以形成上述的第三导电图案组（即，像素电极 372、上栅极焊盘电极 374 和上数据焊盘电极 376）。

按照本发明的原理，分别位于栅极焊盘 382 和数据焊盘 384 中的栅极接触孔 330 和数据接触孔 338 的直径（或线宽）大于检测装置中的检测针（未示出）的直径（或线宽）。按照本发明的一方面，检测针在接触孔 330 和 338 内接触上栅极焊盘电极 374 和上数据焊盘电极 376。在将检测针接触到上栅极焊盘电极 374 和上数据焊盘电极 376 时，可以检测到栅极线 352 和数据线 358 中存在的缺陷（例如，向栅极焊盘电极 374 和数据焊盘电极 376 施加电信号）。按照本发明的一方面，检测针的直径（或线宽）大约为 $26\mu m$ 到 $30\mu m$ ，而分别位于各自的数据接触孔 338 和栅极接触孔 330 内的上数据焊盘电极 376 和上栅极焊盘电极 374 的直径（或线宽）大于 $26\mu m$ （例如，大约 $34\mu m$ 到 $38\mu m$ ）。

如上所述，本发明的第四实施例提供了一种具有虚拟图案 385 的 TFT 阵列基板及其制造方法，所述虚拟图案 385 设置在上数据焊盘电极 376 和下基板 388 之间以使在后续的制造工序，例如是形成上数据焊盘电极 376 中的静电的产生最小化，同时提高上数据焊盘电极 376 和下基板 388 之际的粘滞性。

而且，由于上栅极焊盘电极 374 和上数据焊盘电极 376 的线宽大于检测装置中检测针的线宽，检测针可以容易地接触上栅极焊盘电极 374 和上数据焊盘电极 376，从而容易确定栅极线 352 和数据线 358 中存在的缺陷（例如，通过检测针向上栅极焊盘电极 374 和上数据焊盘电极 376 施加电信号）。

图 27 示出了按照本发明第五实施例的 TFT 阵列基板中的数据焊盘的平面图。图 28 示出了沿图 27 中的 VIII-VIII' 线提取的截面图。

参照图 27 和图 28，多个数据接触孔彼此分隔开预定距离。按照本发明的

一方面，每一数据接触孔 425 的宽度大于相应的检测针 430 的宽度。按照本发明的原理，检测针 430 的宽度由其物理宽度和横向位置公差(lateral position tolerance)决定。例如，检测针 430 具有大约 $10\mu\text{m}$ 的物理宽度和大于 $10\mu\text{m}$ 的横向位置公差。因此，检测针的宽度大约为 $28\pm 2\mu\text{m}$ 。因此，接触孔的宽度大于 $30\mu\text{m}$ 以允许检测针 430 在检测过程中不考虑检测针的位置是否横向左移或右移，接触到位于数据接触孔 425 内的上数据焊盘电极 413a。

按照本发明的原理，数据接触孔 425 形成在下数据焊盘电极 422 内。按照本发明的一方面，数据接触孔 425 的第一部分的宽度大于数据接触孔 425 第二部分的宽度。数据接触孔 425 的第一部分偏离于下数据焊盘电极 422，使得下数据焊盘电极 422 的边界区域从数据接触孔 425 内去除。如图 28 所示，只有下数据焊盘电极 422 的一个侧表面暴露在数据接触孔 425 内。因此，下数据焊盘电极 422 的侧表面直接接触位于数据接触孔 425 内的上数据焊盘电极 413a。

按照本发明的原理，参照图 27 和图 28 所述的 TFT 阵列基板使用了与参照图 20A 到 20D 所述的相似的三轮掩模工序。这样，为了简洁，下面参照图 29A 到 29D 只详细描述第五实施例中独有的工序。

图 29A 到 29D 示出了图 27 和图 28 所示的数据焊盘的制造方法的截面图。

参照图 29A，使用上述实施例中描述的任何方式，在基板 400 的整个表面上沉积栅极绝缘膜 415、没有掺杂的非晶硅层、 n^+ 非晶硅层和数据金属层。

接着，使用上述实施例中描述的任何方式，构图数据金属层、没有掺杂的非晶硅层和 n^+ 非晶硅层以同时形成数据线、下数据焊盘电极 422、欧姆接触层 414b 和有源层 414a，其中欧姆接触层 414b 和有源层 414a 位于下数据焊盘电极 422 的下方以与下数据焊盘电极 422 相同的图案形成。

接着，使用上述实施例中描述的任何方式，在下基板 400 的整个表面和下数据焊盘电极 422 上沉积保护膜 416。然后，使用上述实施例中描述的任何方式，在保护膜上涂覆、曝光和显影光刻胶膜以提供光刻胶图案 417。按照本发明的一方面，光刻胶图案 417 暴露出下数据焊盘电极 422 的边界部分，这将在下面参照图 29B 详细描述。

参照图 29B，使用上述实施例中描述的任何方式，去除由光刻胶图案 417 暴露出的部分保护膜 416、下数据焊盘电极 422、欧姆接触层 414b、有源层 414a 和栅极绝缘膜 415 以形成数据接触孔 425。由于数据接触孔 425 的宽度对应于

光刻胶图案 417 的图案宽度,下数据焊盘电极 422 的边界部分暴露在数据接触孔 425 内,从而在数据接触孔 425 内被去除。

参照图 29C,使用上述实施例中描述的任何方式,在基板 400 的整个表面上、光刻胶图案 417 上以及数据接触孔 425 内沉积透明导电材料 413。因此,透明导电材料 413 直接接触保护膜 416 的侧表面和下数据焊盘电极 422。

参照图 29D,使用上述实施例中描述的任何方式,按照剥离或提升工序去除光刻胶图案 417。在去除光刻胶图案 417 的同时,相对于没有位于光刻胶图案 417 上的透明导电材料 413,位于光刻胶图案 417 上的部分透明导电材料 413 被去除。在去除光刻胶图案 417 的同时,位于数据接触孔 425 内的部分透明导电材料 413 保留以形成上数据焊盘电极 413a。

如上所述,本发明第五实施例的原理提供了偏离于下数据焊盘电极 422 的数据接触孔 425 和形成于偏离的数据接触孔 425 内的上数据焊盘电极 413a。由于数据接触孔 425 偏离,使得数据接触孔可以宽于检测装置中检测针 430 的宽度,以最大化检测针 430 和上数据焊盘电极 413a 之间的接触面。

图 30 示出了按照本发明第六实施例的 TFT 阵列基板中数据焊盘的平面图。图 31 示出了沿图 30 中的 IX-IX'线提取的 TFT 阵列基板中数据焊盘的截面图。

参照图 30 和图 31,分别包括第一和第二数据接触孔 535a 和 535b 的多个数据接触孔被彼此间隔开预定距离。按照本发明的一方面,每一第一和第二数据接触孔 535a 和 535b 偏离于下数据焊盘电极 522 的相对部分,使得可以从第一和第二数据接触孔 535a 和 535b 中去除下数据焊盘电极 522 的相对边界区域。如图 31 所示,下数据焊盘电极 522 的两侧表面被暴露在每对数据接触孔内。因此,下数据焊盘电极 522 的侧表面直接接触位于数据接触孔对内的上数据焊盘电极 513a。

参照图 31,在保护膜 516、下数据焊盘电极 522、欧姆接触层 514b、有源层 514a 和栅极绝缘膜 515 内形成第一和第二数据接触孔 535a 和 535b。

按照本发明的原理,位于第一和第二数据接触孔 535a 和 535b 中的上数据焊盘电极 513a 具有大于下数据焊盘电极 522 的组合宽度。按照本发明的一方面,下数据焊盘电极 522 的组合宽度大约为 $36\mu\text{m}$ 。因此,检测装置的检测针 530 可以容易地大面积地接触数据焊盘。

按照本发明的原理，参照图 30 和图 31 所描述的 TFT 阵列基板可以通过与参照图 20A 到 20D 中描述的相似的三轮掩模工序形成。这样，为了简洁，只参照图 32A 到 32D 详细描述第六实施例中独有的工序。

图 32A 到 32D 示出了图 30 和图 31 所示的数据焊盘制造方法的截面图。

参照图 32A，使用上述实施例中描述的任何方式，在基板 500 的整个表面上沉积栅极绝缘膜 515、没有掺杂的非晶硅层、 n^+ 非晶硅层和数据金属层。

接着，使用上述实施例中描述的任何方式，构图数据金属层、没有掺杂的非晶硅层和 n^+ 非晶硅层以同时形成数据线、下数据焊盘电极 522、欧姆接触层 514b 和有源层 514a，其中欧姆接触层 514b 和有源层 514a 位于下数据焊盘电极 522 的下方以与下数据焊盘电极 522 相同的图案形成。

接着，使用上述实施例中描述的任何方式，在下基板 500 和下数据焊盘电极 522 的整个表面上沉积保护膜 516。然后，使用上述实施例中描述的任何方式，在保护膜上涂覆、曝光和显影光刻胶膜以提供光刻胶图案 527。按照本发明的一方面，光刻胶图案 527 暴露出下数据焊盘电极 522 的边界部分，这将在下面参照图 32B 详细描述。

参照图 32B，使用上述实施例中描述的任何方式，去除由光刻胶图案 527 暴露出的部分保护膜 516、下数据焊盘电极 522、欧姆接触层 514b、有源层 514a 和栅极绝缘膜 515 以形成第一和第二数据接触孔 535a 和 535b。由于第一和第二数据接触孔 535a 和 535b 的组合宽度对应于光刻胶图案 527 的图案宽度，下数据焊盘电极 522 的边界部分暴露在第一和第二数据接触孔 535a 和 535b 内，从而在第一和第二数据接触孔 535a 和 535b 内被去除。

参照图 32C，使用上述实施例中描述的任何方式，在基板 500 的整个表面上、光刻胶图案 527 上以及第一和第二数据接触孔 535a 和 535b 内沉积透明导电材料 513。因此，透明导电材料 513 直接接触保护膜 516 的侧表面和下数据焊盘电极 522。

参照图 32D，使用上述实施例中描述的任何方式，按照剥离或提升工序去除光刻胶图案 527。在去除光刻胶图案 527 的同时，相对于没有位于光刻胶图案 527 上的部分透明导电材料 513，位于光刻胶图案 527 上的部分透明导电材料 513 被去除。在去除光刻胶图案 527 的同时，位于第一和第二数据接触孔 535a 和 535b 内的部分透明导电材料 513 保留以形成上数据焊盘电极 513a。

如上所示，本发明第六实施例的原理提供了偏离于下数据焊盘电极 522 的相对边界的第一和第二数据接触孔 535a 和 535b，并且上数据焊盘电极 513a 形成于偏离的第一和第二数据接触孔 535a 和 535b 内。由于第一和第二数据接触孔 535a 和 535b 偏离，它们的组合宽度大于检测装置中检测针 530 的宽度，从而最大化检测针 530 和上数据焊盘电极 513a 之间的接触面。

按照本发明第五和第六实施例的原理，上数据焊盘电极的宽度等于通过三轮掩模工序形成的数据接触孔的宽度。按照第五和第六实施例，接触孔偏离于下数据焊盘电极并且具有大于下数据焊盘电极的线宽，使得接触孔内下数据焊盘电极的至少一个边界部分去除。因此，本发明的原理提供了在上数据焊盘电极和检测装置的检测针之间的大的接触面积。

本发明第五和第六实施例的描述只是针对于数据焊盘，可以通过延伸和修改本发明的原理，使得在栅极焊盘的上栅极焊盘电极和检测装置的检测针之间形成容易的接触。

如上所述，本发明的原理能够按照提升和焊盘打开工序，通过三轮掩模工序制造 TFT 阵列基板。因此，可以通过三轮掩模工序制造 TFT 阵列基板，从而降低制造工序的数量和制造成本，同时提高产量。

而且，本发明的原理能够使栅极焊盘和数据焊盘中的透明导电材料的线宽大于检测装置中检测针的线宽。本发明能够在判定栅极线和数据线是良好还是有缺陷的自动检测工序中，方便检测针的接触。

很明显，在不脱离本发明的精神和范围的情况下，本领域的技术人员可以对本发明做出各种各样的修改和变化。这样，本发明意欲覆盖所附权利要求书及其等同物范围内的任何修改和变化。

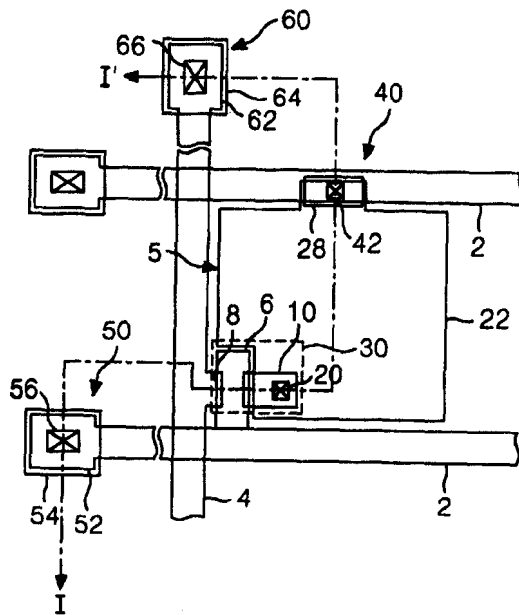


图 1

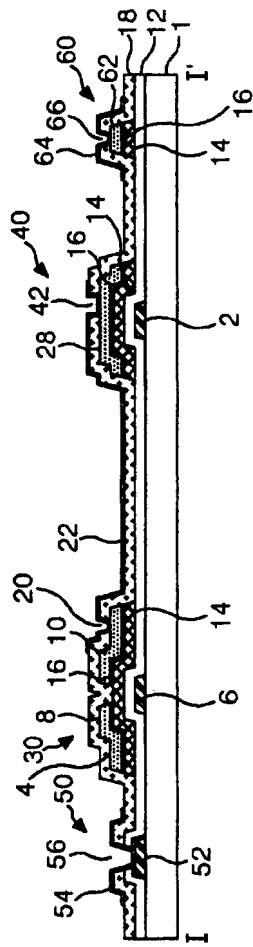


图 2

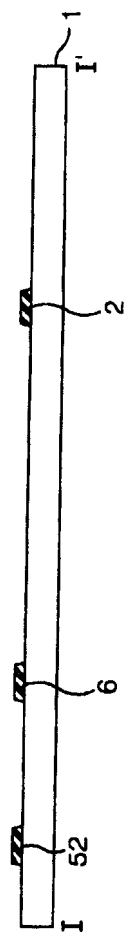


图 3A

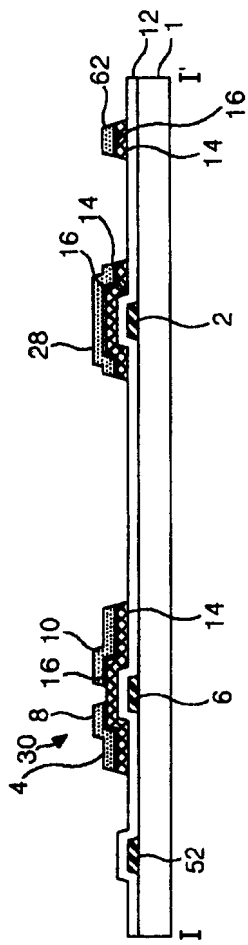


图 3B

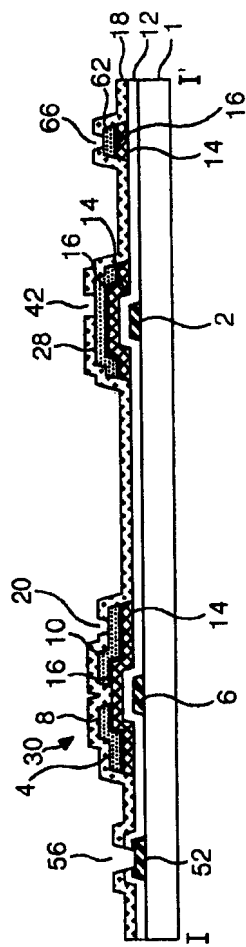


图 3C

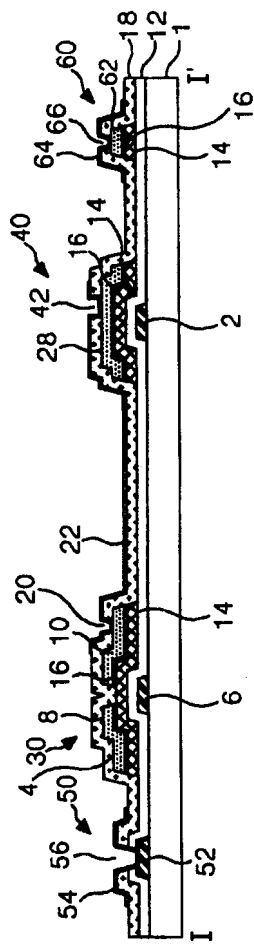


图 3D

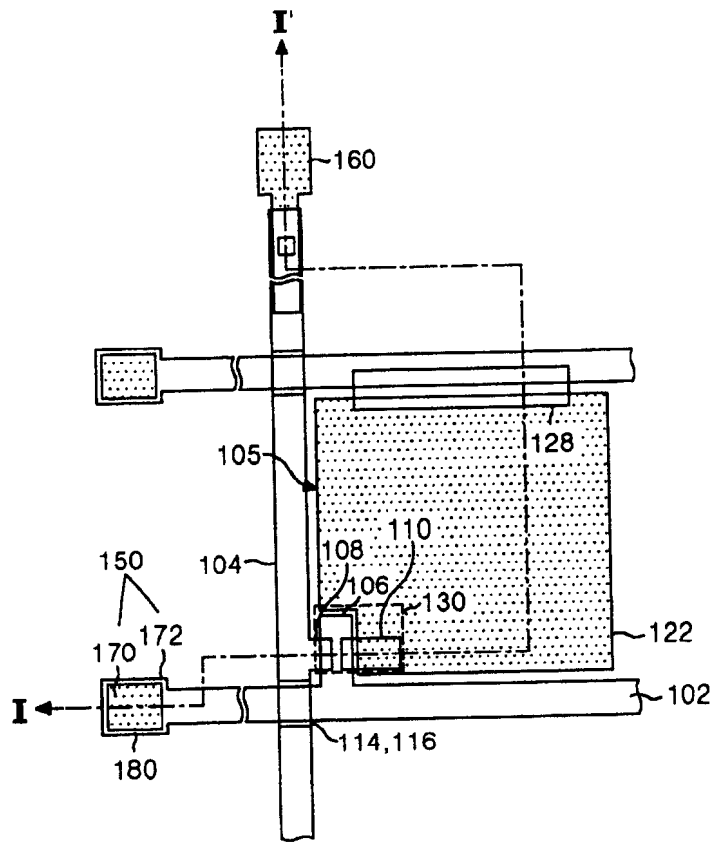


图 4

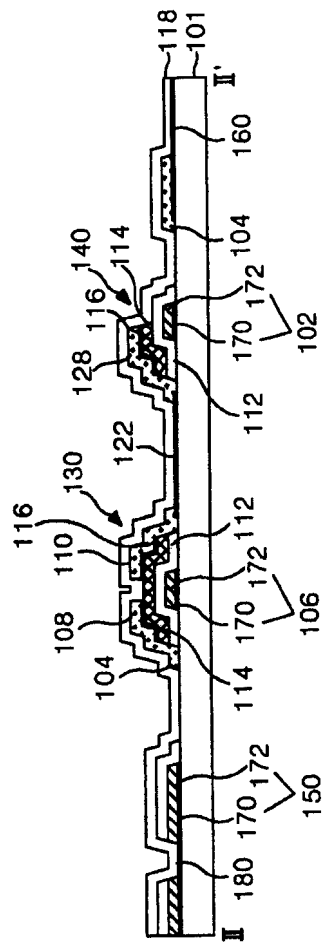


图 5

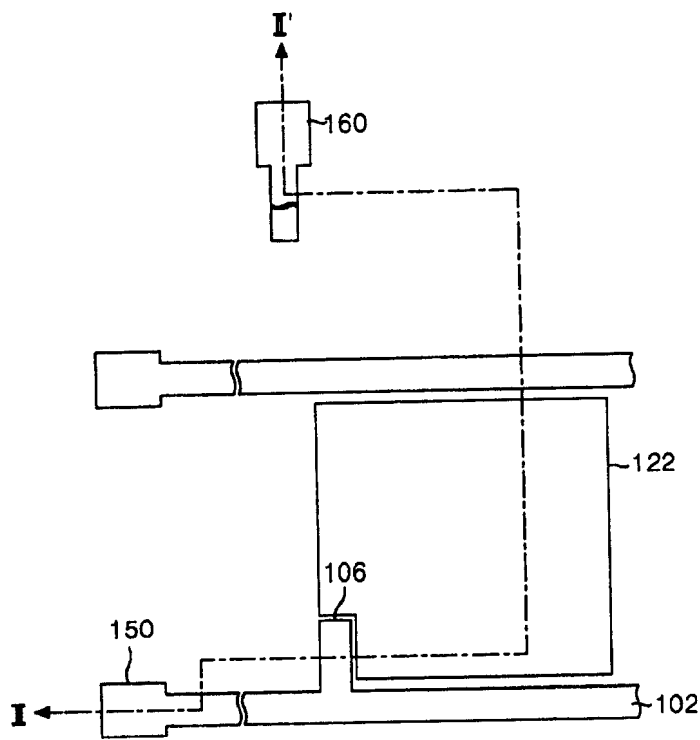


图 6A

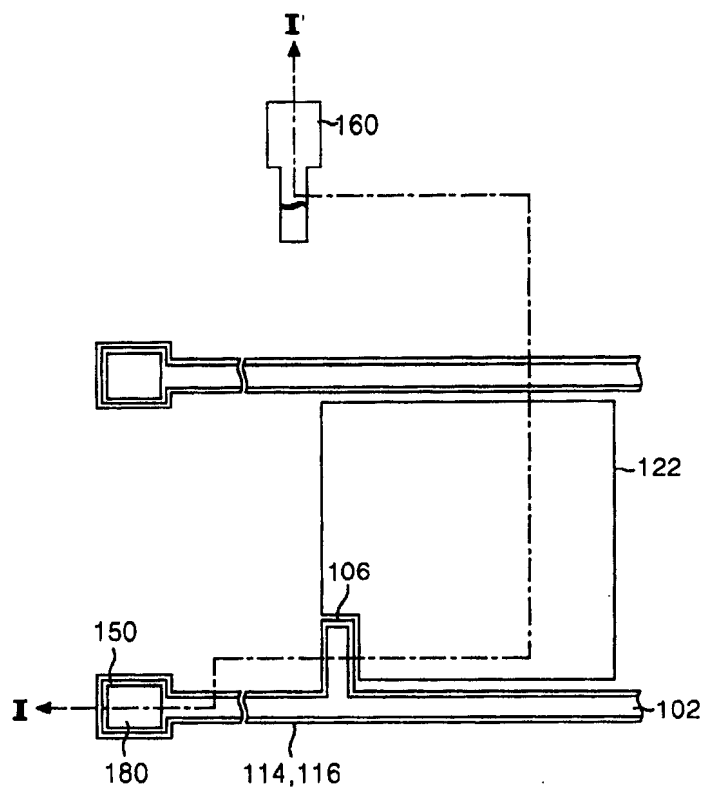


图 7A

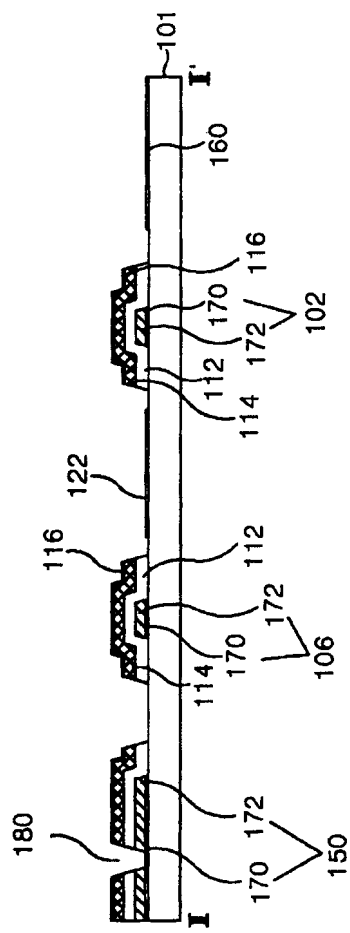


图 7B

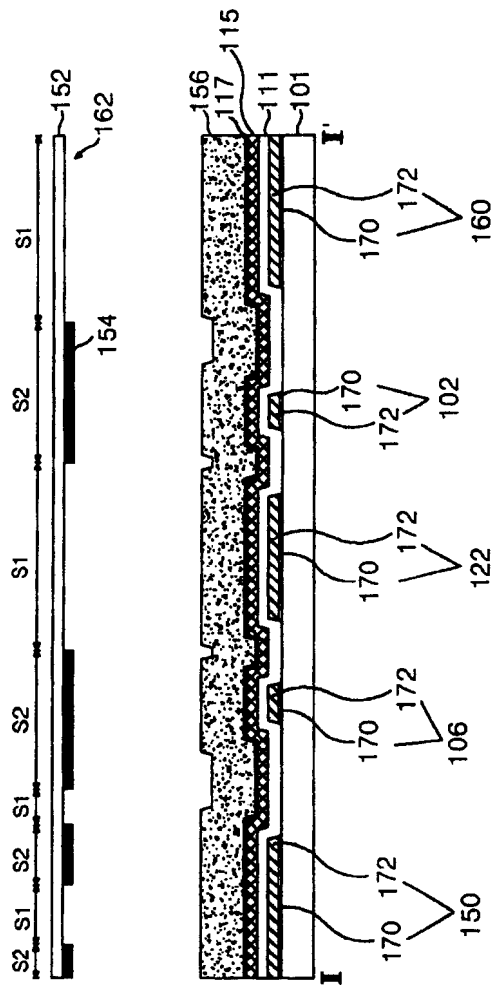


图 8A

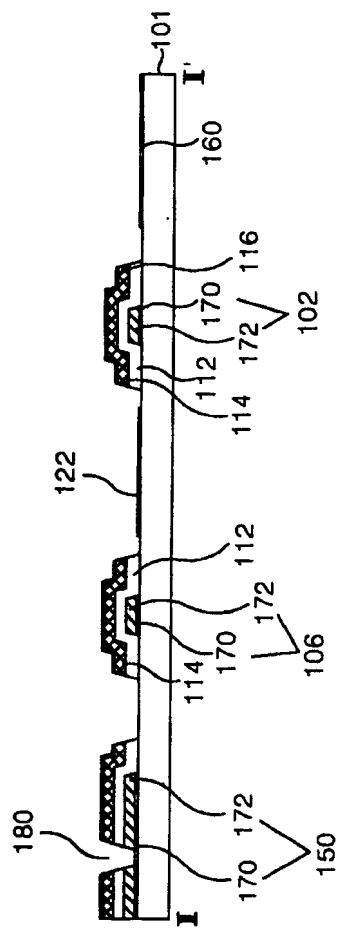


图 8C

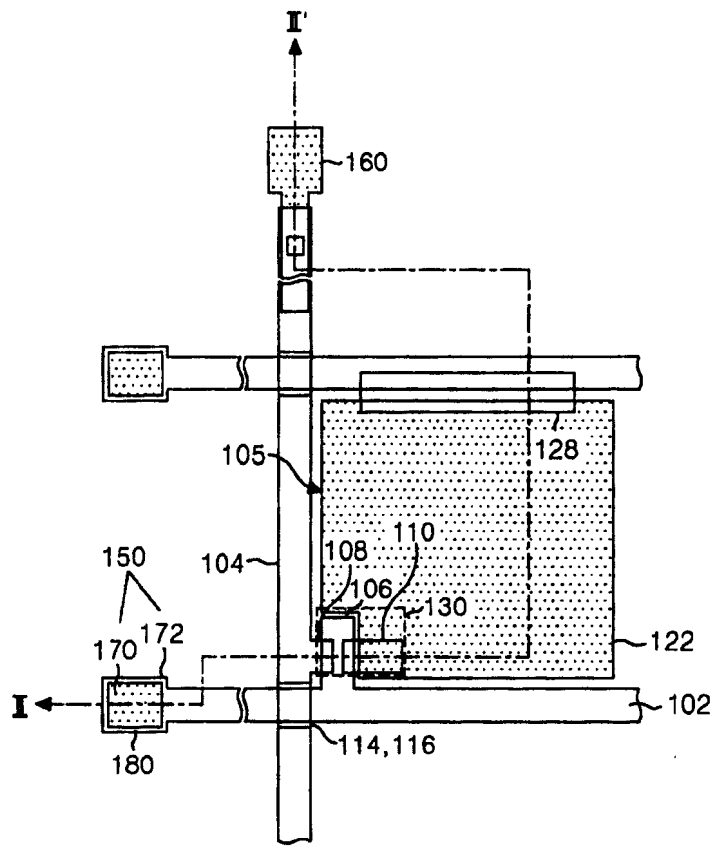


图 9A

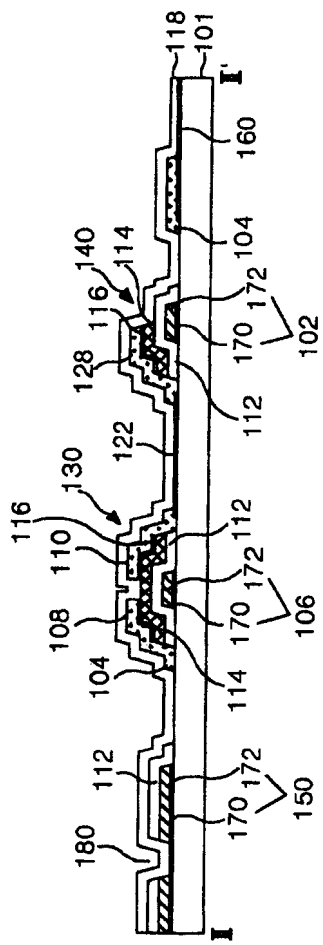


图 10E

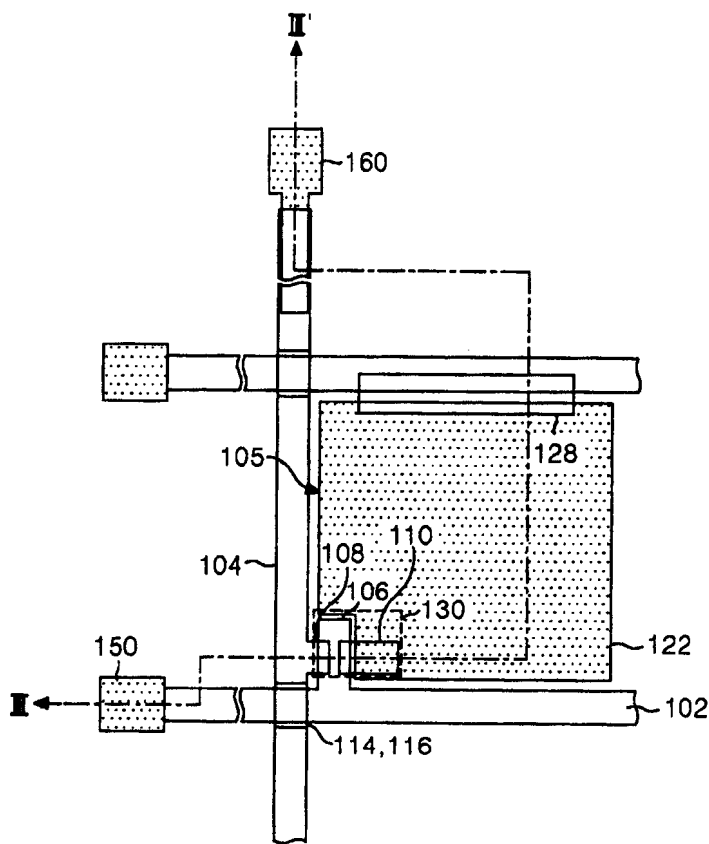


图 11

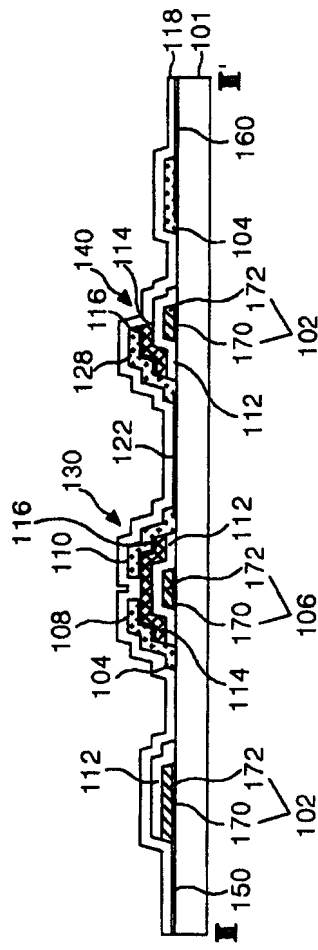


图 12

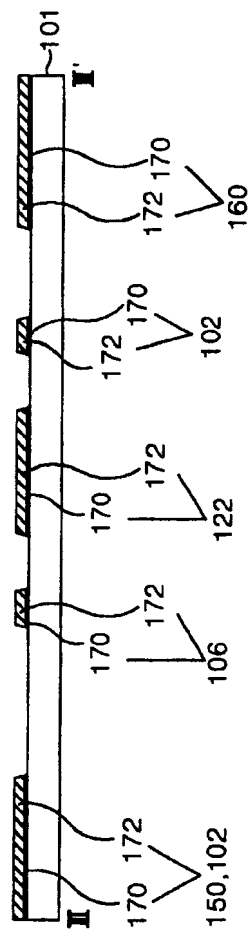


图 13A

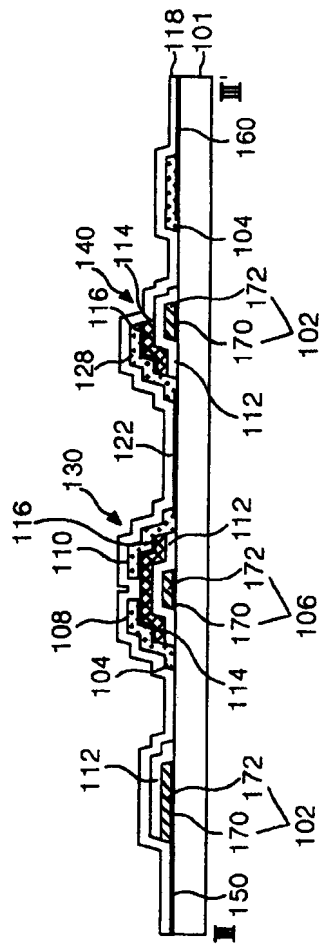


图 13C

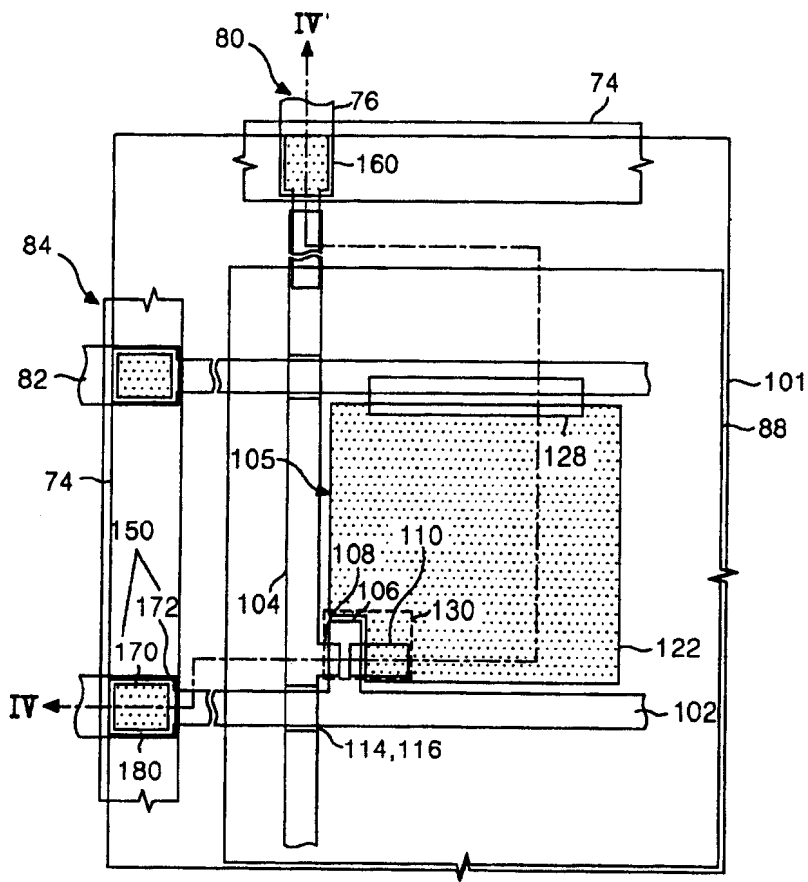


图 14

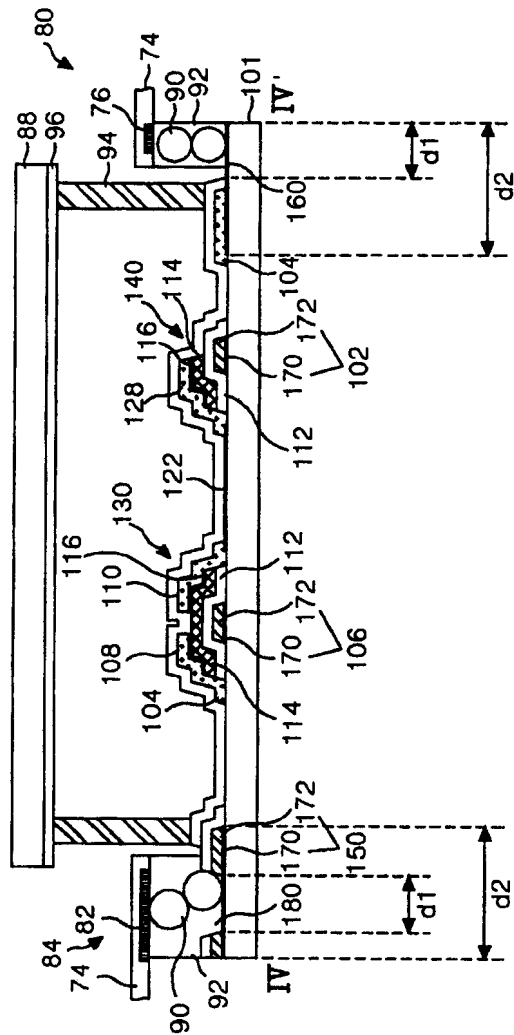


图 15

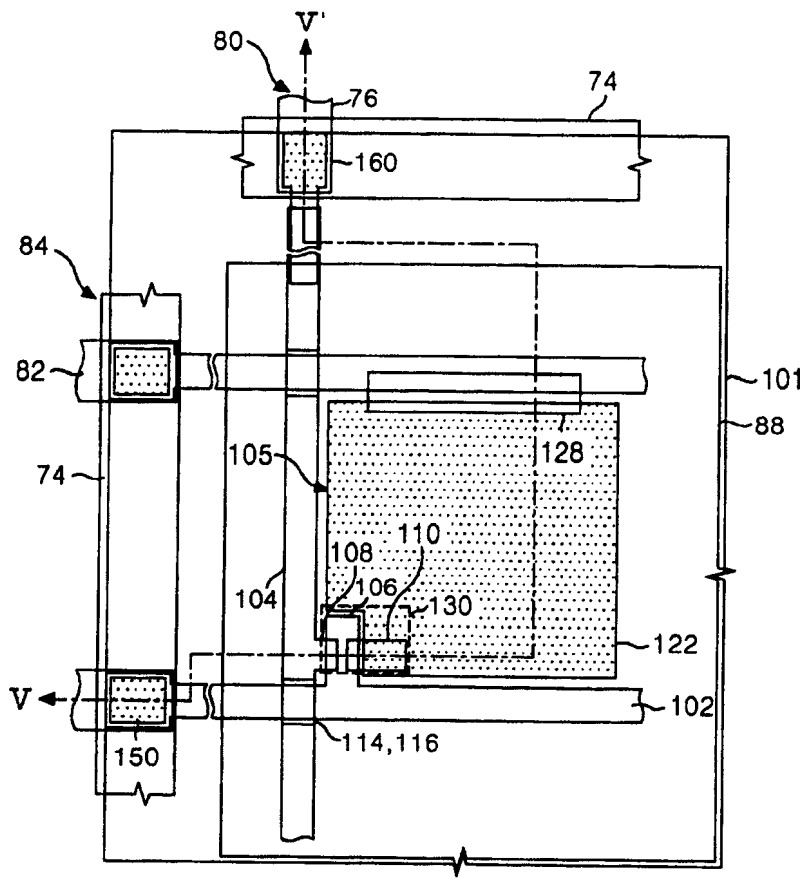


图 16

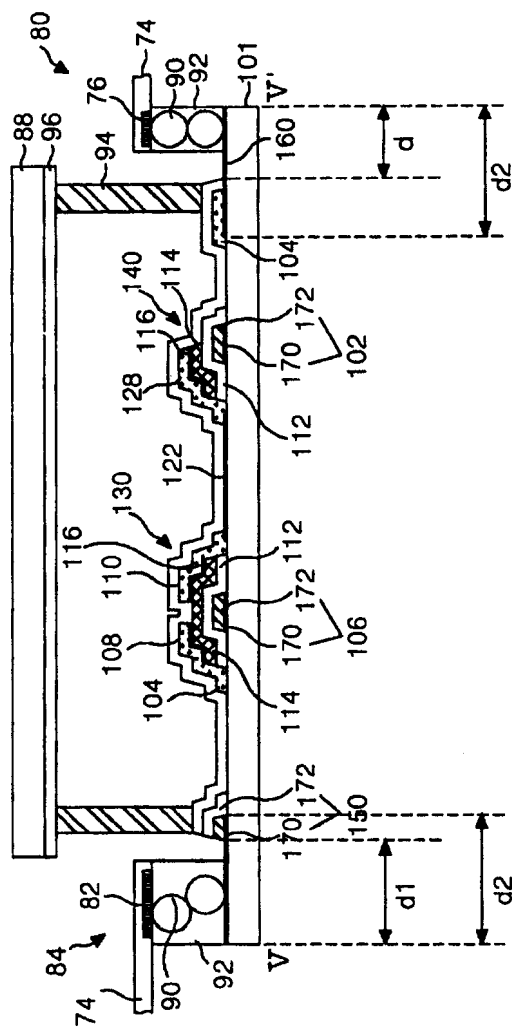


图 17

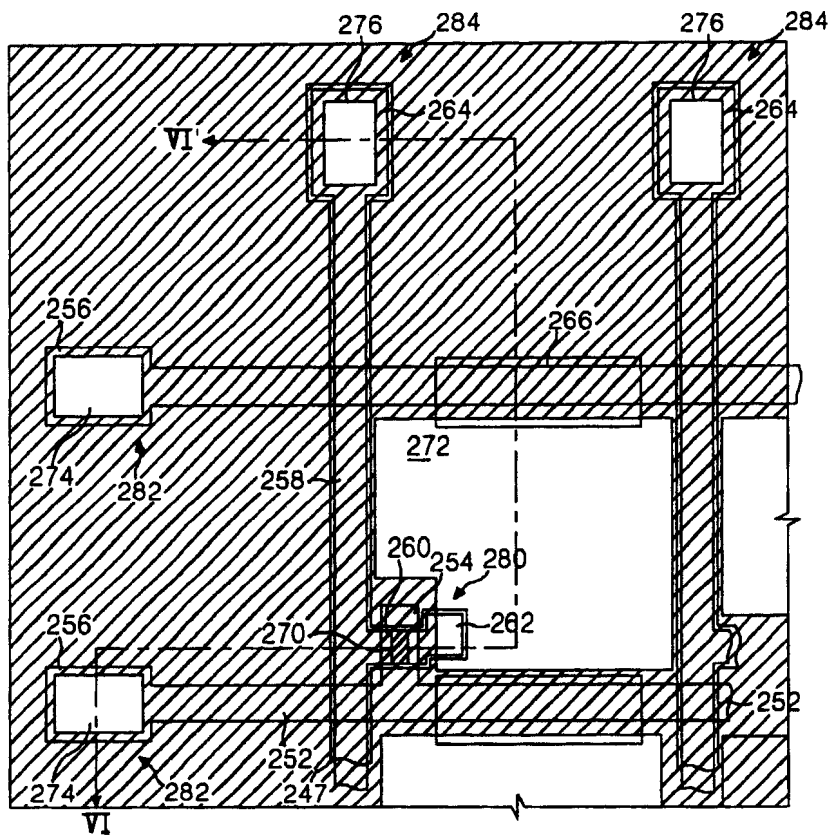


图 18

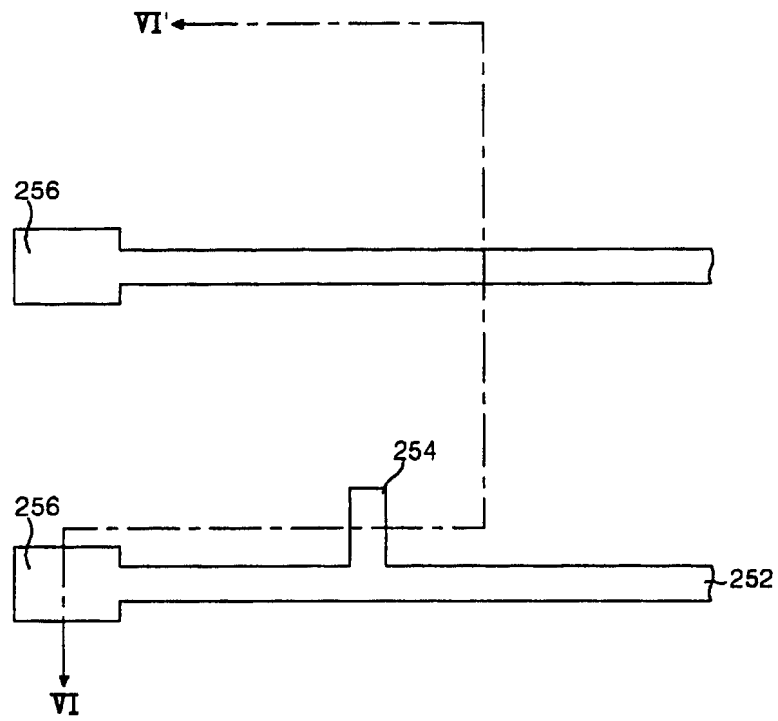


图 20A

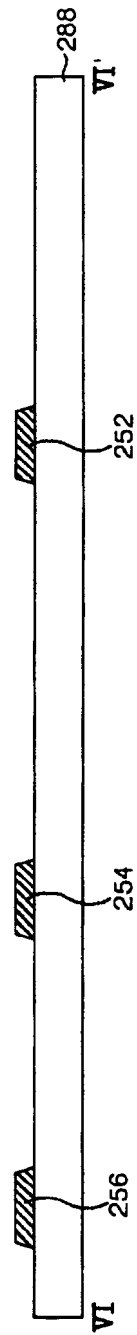


图 20B

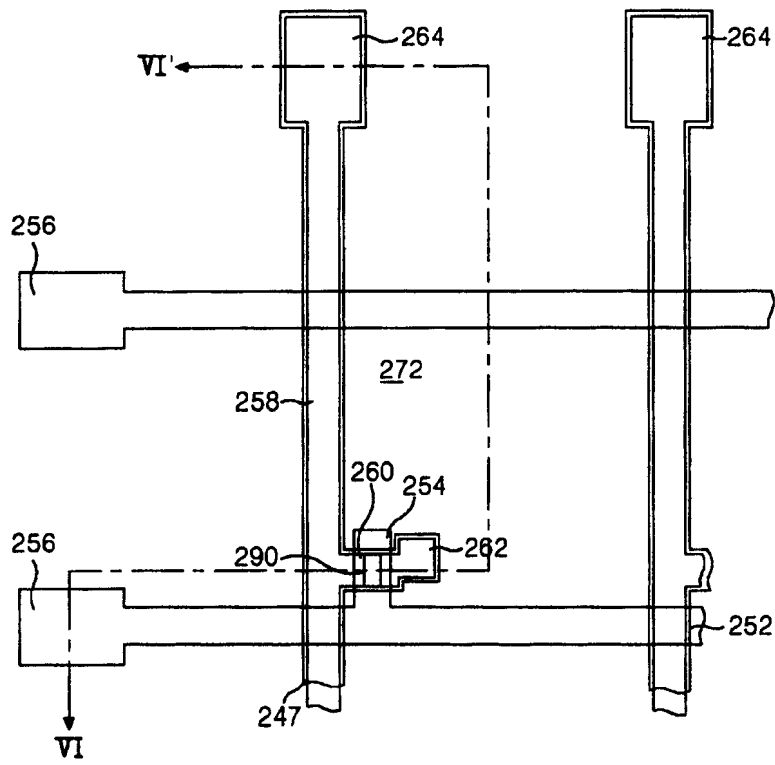


图 21A

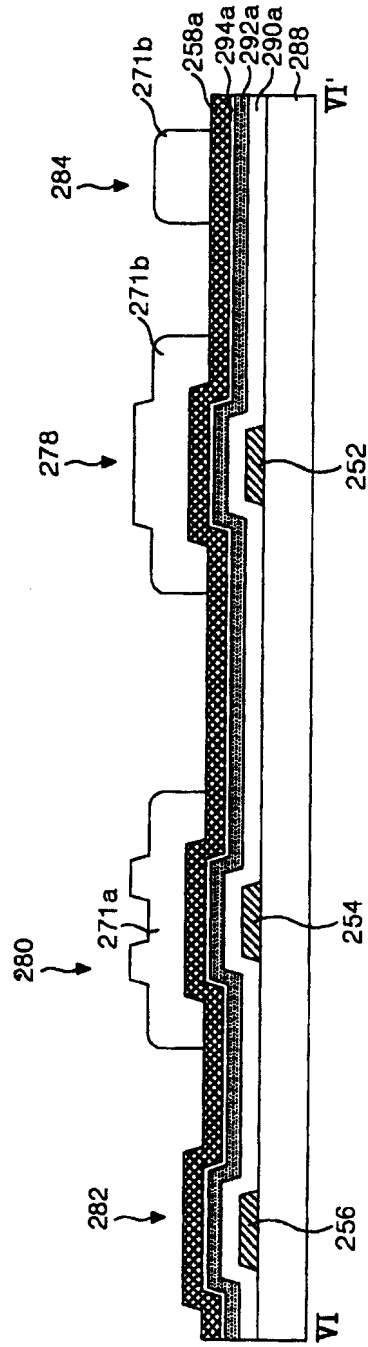


图 21B

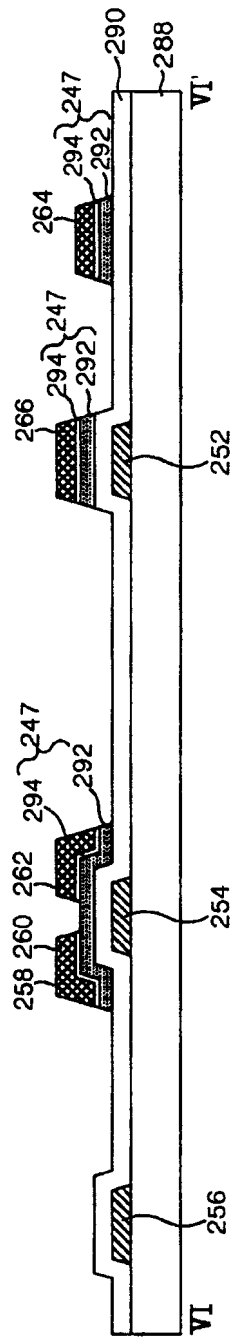


图 21C

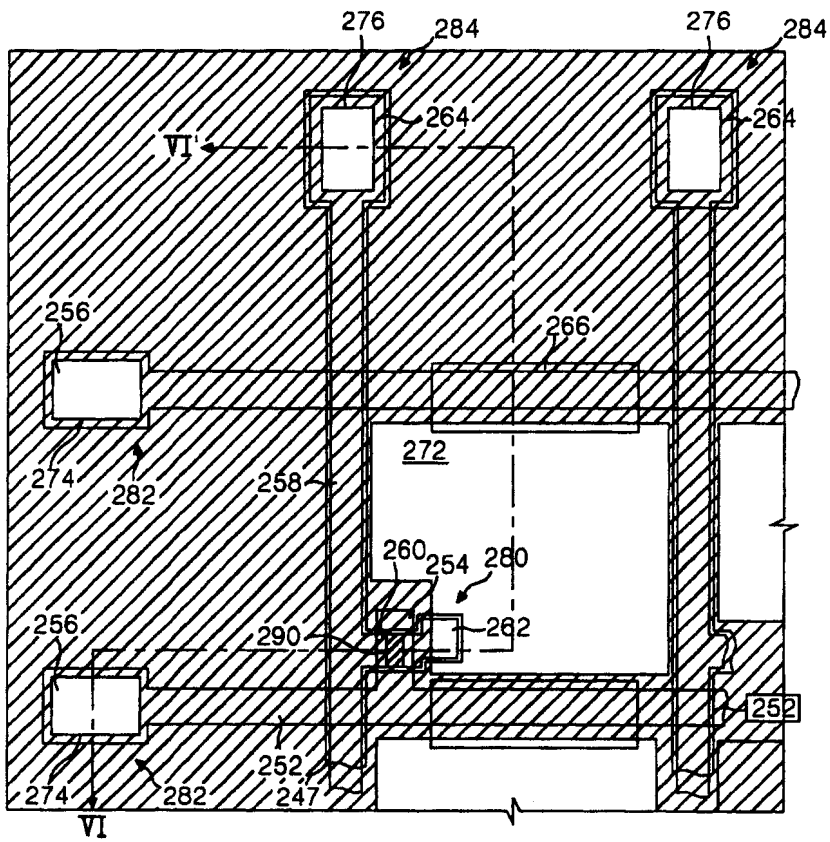


图 22A

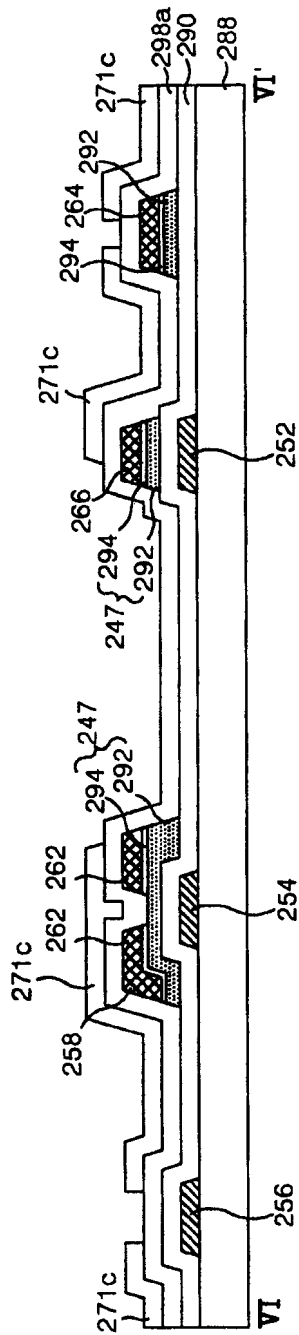


图 22B

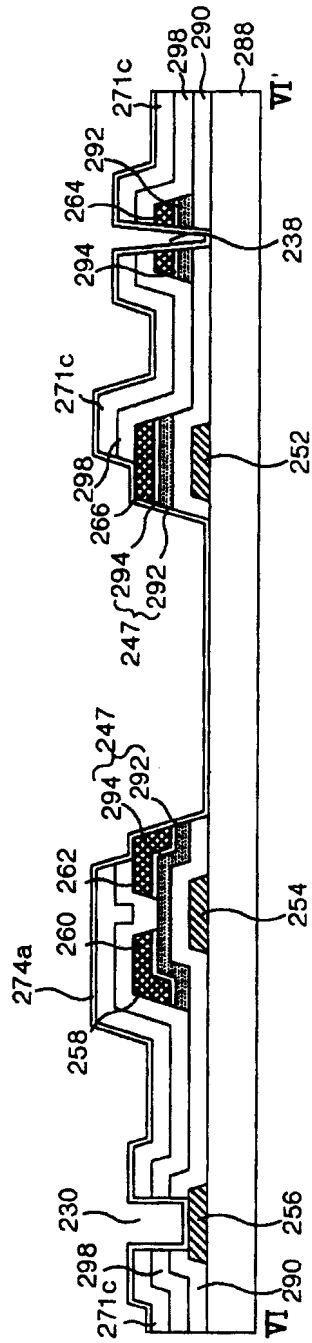


图 22C

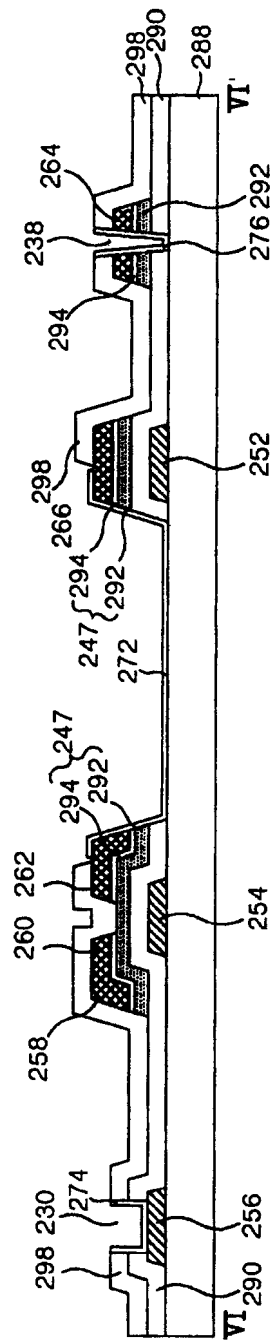


图 22D

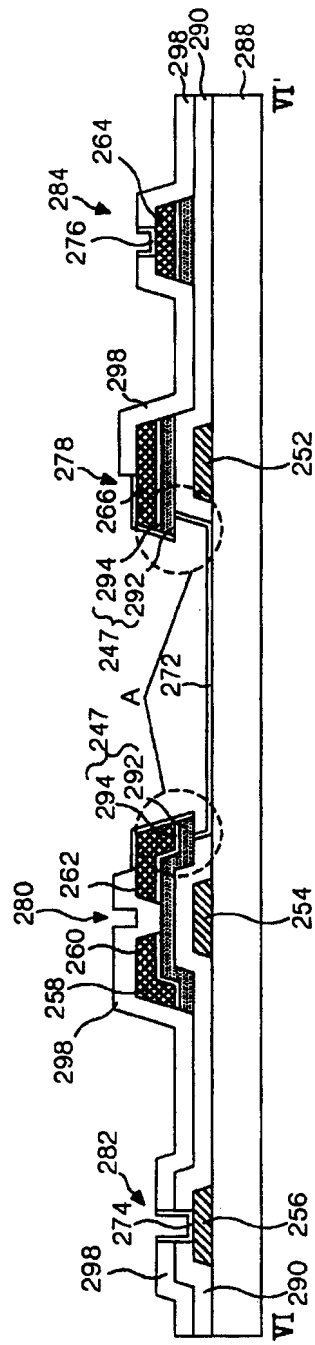


图 23

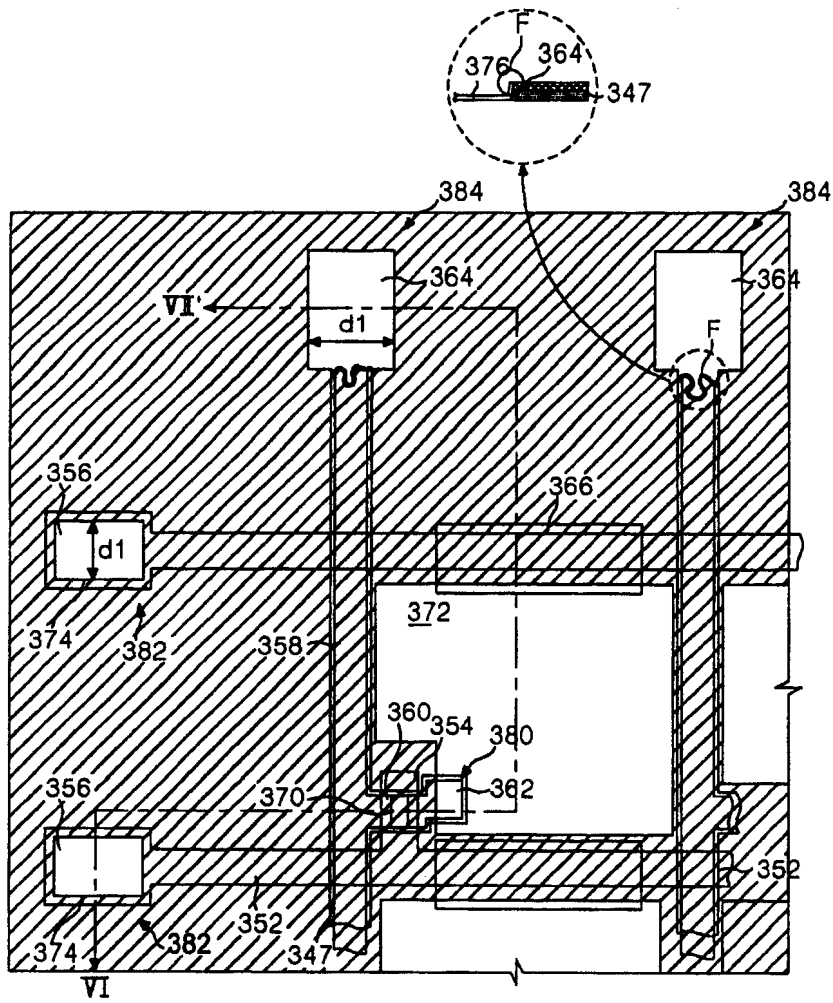


图 24

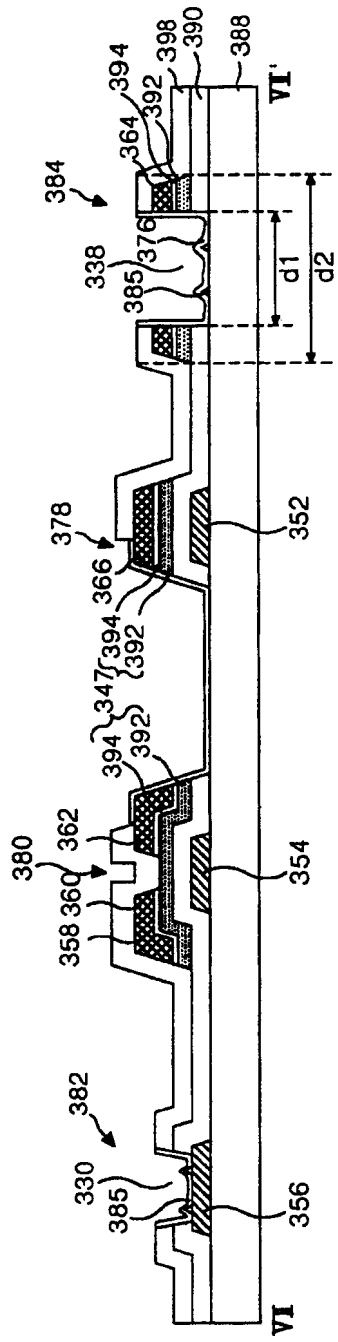


图 25

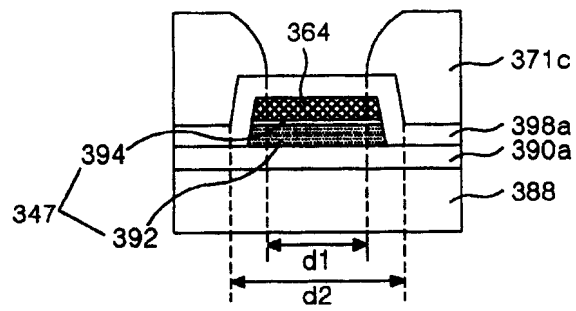


图 26A

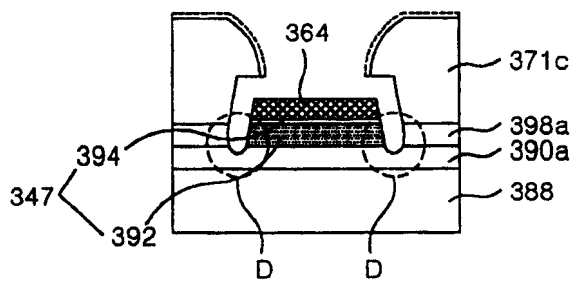


图 26B

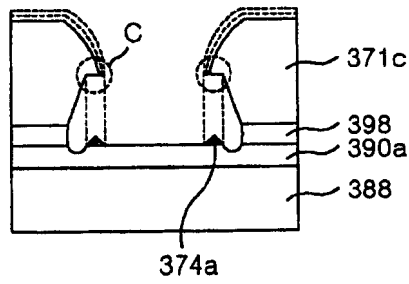


图 26C

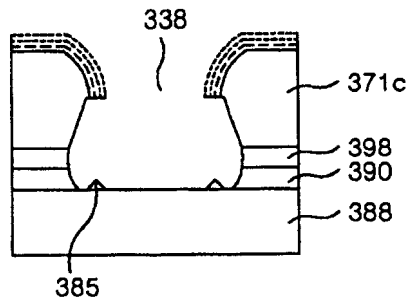


图 26D

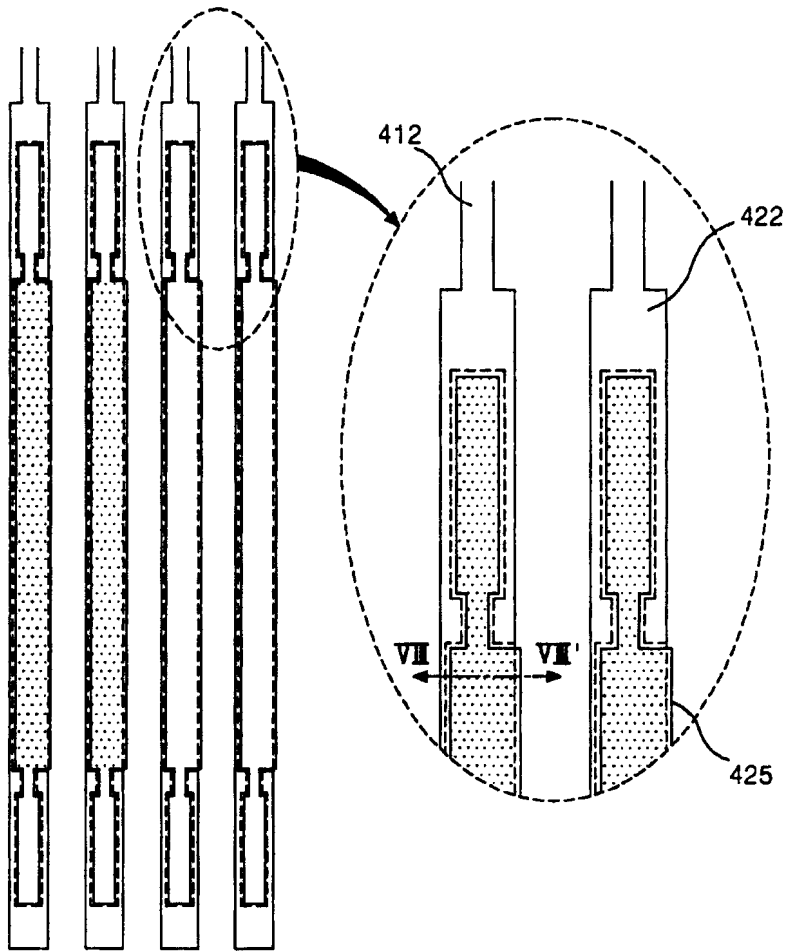


图 27

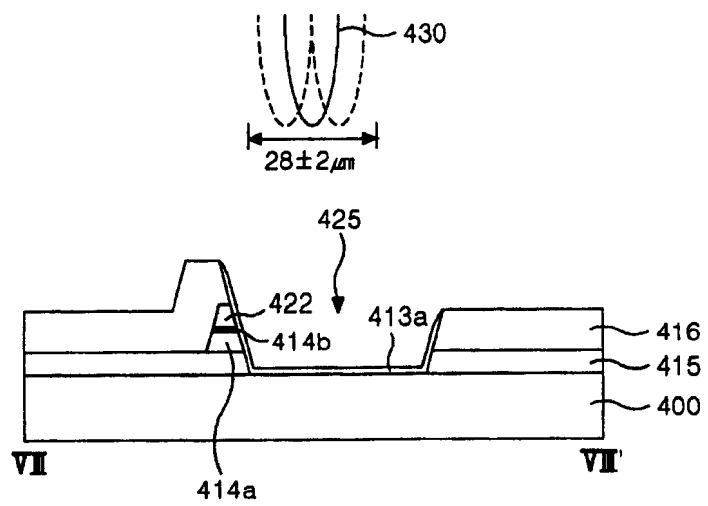


图 28

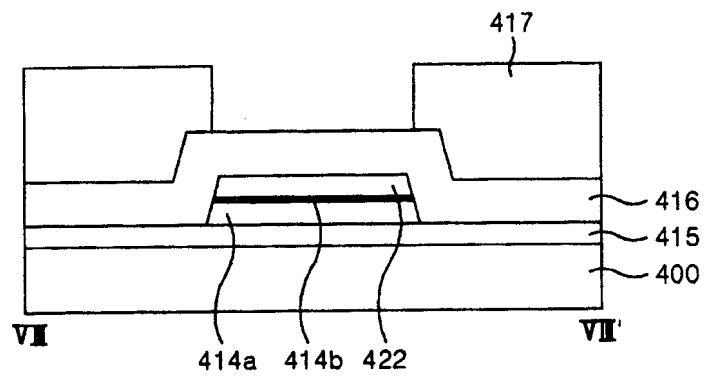


图 29A

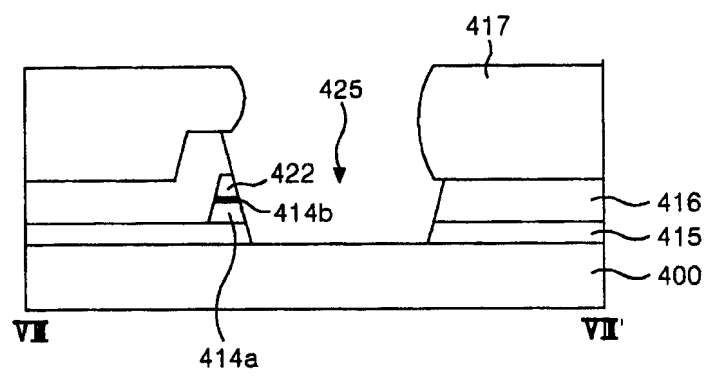


图 29B

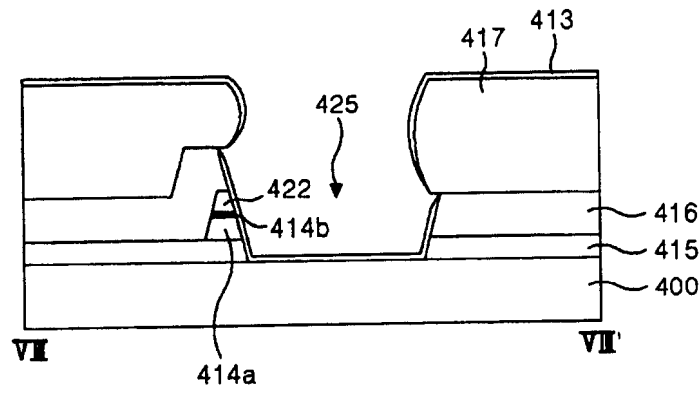


图 29C

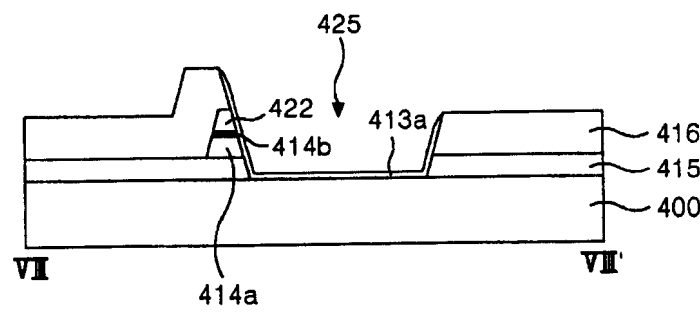


图 29D

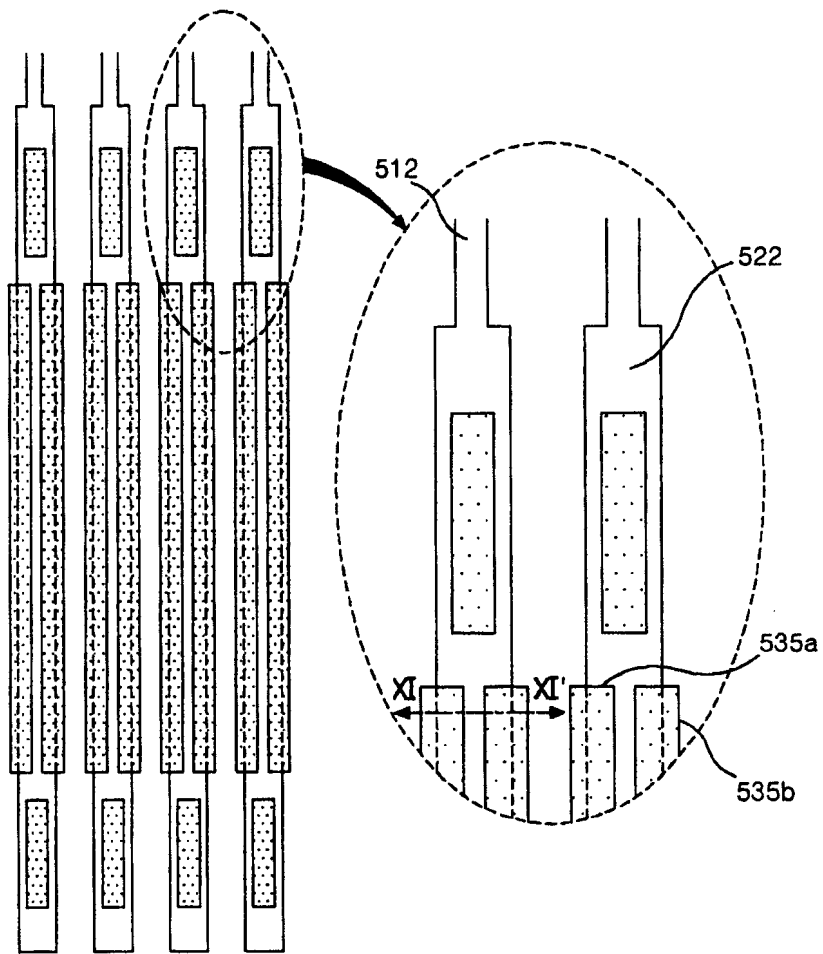


图 30

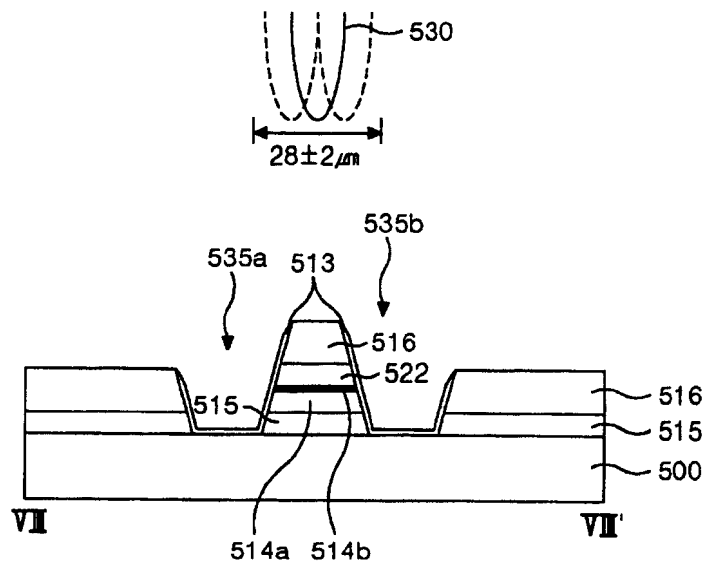


图 31

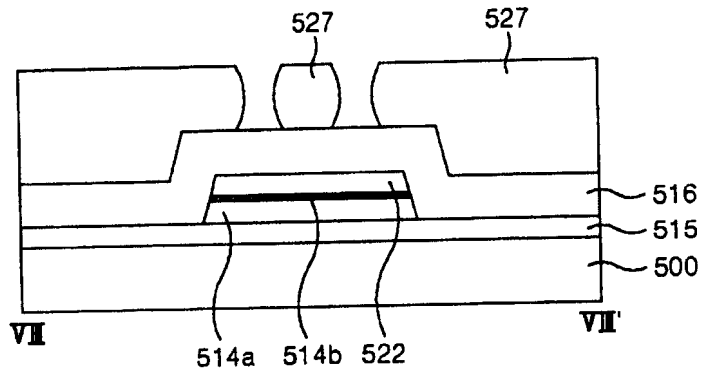


图 32A

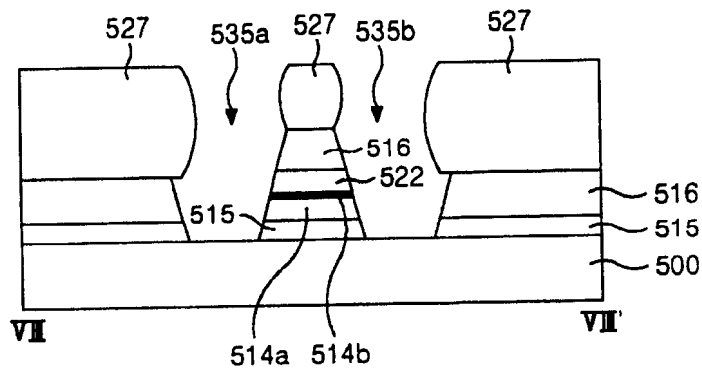


图 32B

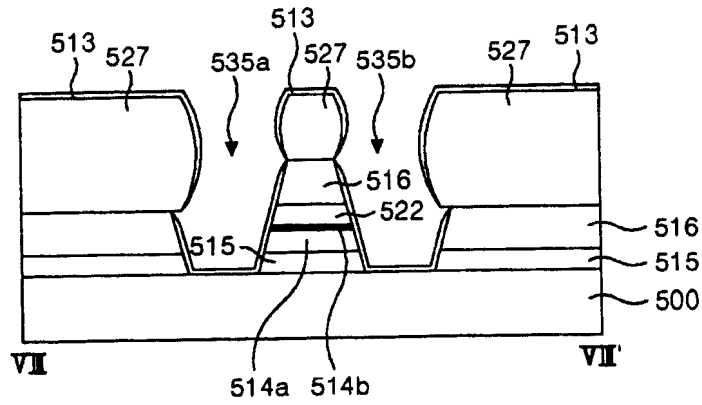


图 32C

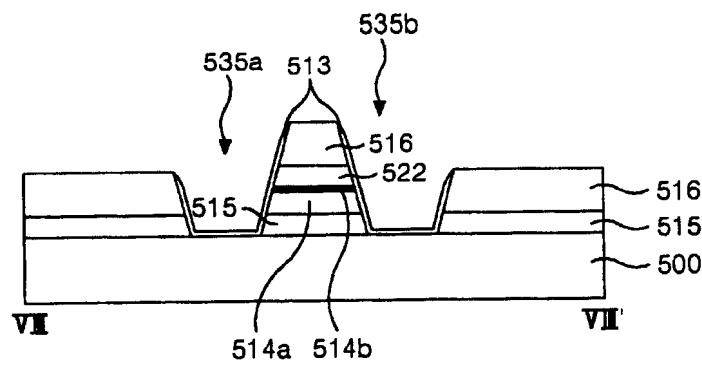


图 32D

专利名称(译)	薄膜晶体管阵列基板、液晶显示器件及其制造和检测方法		
公开(公告)号	CN100368909C	公开(公告)日	2008-02-13
申请号	CN200410083705.0	申请日	2004-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	林炳昊 柳洵城 李昌德 南承熙 吴载映 金泓植 郭喜荣		
发明人	林炳昊 柳洵城 李昌德 南承熙 吴载映 金泓植 郭喜荣		
IPC分类号	G02F1/136 H01L29/786 G02F1/1335 H01L21/00 G02F1/1368 G02F1/1343 G02F1/1345 G02F1/1362 H01L21/3205 H01L23/52		
CPC分类号	G02F2001/136231 G02F1/136286 G02F1/136227 G02F2001/136254		
代理人(译)	徐金国		
优先权	1020030071400 2003-10-14 KR 1020030092698 2003-12-17 KR 1020030098823 2003-12-29 KR 1020030100989 2003-12-30 KR		
其他公开文献	CN1607444A		
外部链接	Espacenet SIPO		

摘要(译)

用减少数量的工序制造的薄膜晶体管(TFT)阵列基板包括：具有扩大接触面的栅极焊盘和数据焊盘，以方便与检测装置的检测针接触。具有该TFT阵列基板的液晶显示器件通过将检测针与栅极焊盘和数据焊盘接触进行检测。该TFT阵列基板包括第一、第二和第三导电图案组。第一导电图案组包括：栅极、栅极线和下栅极焊盘电极。第二导电图案组包括源极和漏极、数据线和下数据焊盘电极。第三导电图案组包括像素电极、上栅极焊盘电极和上数据焊盘电极。在第二导电图案组下，沿第二导电图案组设置半导体图案。栅极绝缘图案和保护膜图案位于没有第三导电图案组的区域上。

