

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6899965号
(P6899965)

(45) 発行日 令和3年7月7日(2021.7.7)

(24) 登録日 令和3年6月17日(2021.6.17)

(51) Int.Cl.

F I

G O 9 G 3/3233 (2016.01)

G O 9 G 3/20 (2006.01)

H O 1 L 27/32 (2006.01)

H O 1 L 51/50 (2006.01)

G O 9 G 3/3233

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 4 2 A

G O 9 G 3/20 6 8 0 G

G O 9 G 3/20 6 4 1 P

請求項の数 15 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2020-524061 (P2020-524061)
 (86) (22) 出願日 平成29年12月4日(2017.12.4)
 (65) 公表番号 特表2021-501368 (P2021-501368A)
 (43) 公表日 令和3年1月14日(2021.1.14)
 (86) 国際出願番号 PCT/CN2017/114495
 (87) 国際公開番号 W02019/095451
 (87) 国際公開日 令和1年5月23日(2019.5.23)
 審査請求日 令和2年4月28日(2020.4.28)
 (31) 優先権主張番号 201711147331.8
 (32) 優先日 平成29年11月17日(2017.11.17)
 (33) 優先権主張国・地域又は機関
 中国 (CN)

(73) 特許権者 519182202
 深▲セン▼市▲華▼星光▲電▼半▲導▼体
 ▲顕▼示技▲術▼有限公司
 中華人民共和国518132▲広▼▲東▼
 省深▲セン▼市光明新区公明街道塘明大道
 9-2号
 (74) 代理人 100188558
 弁理士 飯田 雅人
 (74) 代理人 100154922
 弁理士 崔 允辰
 (72) 発明者 王 ▲珊▼
 中華人民共和国518132廣東省深▲せ
 ん▼市光明新区公明街道塘明大道9-2号

最終頁に続く

(54) 【発明の名称】 AMOLE D画素駆動回路及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

AMOLE D画素駆動回路であって、第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ、第5薄膜トランジスタ、第6薄膜トランジスタ、コンデンサ、及び有機発光ダイオードを含み、

前記第1薄膜トランジスタは、ゲートが第2走査制御信号にアクセスし、ソースがデータ信号に電氣的に接続され、ドレインが第1ノードに電氣的に接続され、

前記第2薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが第1ノードに電氣的に接続され、ドレインが第2ノードに電氣的に接続され、

前記第3薄膜トランジスタは、ゲートが第1走査制御信号にアクセスし、ソースが第2ノードに電氣的に接続され、ドレインが第3ノードに電氣的に接続され、

前記第4薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが第3ノードに電氣的に接続され、ドレインが有機発光ダイオードの陽極に電氣的に接続され、

前記第5薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが基準電圧にアクセスし、ドレインが第2ノードに電氣的に接続され、

前記第6薄膜トランジスタは、ゲートが第1ノードに電氣的に接続され、ドレインが電源高電圧にアクセスし、ソースが第3ノードに電氣的に接続され、

前記コンデンサは、一端が第2ノードに電氣的に接続され、他端が第3ノードに電氣的に接続され、

前記有機発光ダイオードの陰極が電源低電圧にアクセスし、

10

20

前記第 5 薄膜トランジスタは N 型薄膜トランジスタ及び P 型薄膜トランジスタのうちの一方であり、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタはいずれも N 型薄膜トランジスタ及び P 型薄膜トランジスタのうちの第 5 薄膜トランジスタと異なるもう一方である、A M O L E D 画素駆動回路。

【請求項 2】

前記第 1 走査制御信号、第 2 走査制御信号、及び第 3 走査制御信号を互いに組み合わせ、順に 1 つのデータ電圧記憶段階、1 つの閾値電圧補正段階、及び 1 つの表示発光段階に対応付け、且つ前記有機発光ダイオードが 1 つのデータ電圧記憶段階及び 1 つの閾値電圧補正段階で発光しないように制御する、請求項 1 に記載の A M O L E D 画素駆動回路。

10

【請求項 3】

前記データ電圧記憶段階では、前記第 1 走査制御信号が第 1 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給し、第 3 走査制御信号が第 1 電位と異なる第 2 電位を供給し、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ及び第 4 薄膜トランジスタがオフになり、

前記閾値電圧補正段階では、前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給した後に第 2 電位を供給し、第 3 走査制御信号が第 2 電位を供給し、前記第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 4 薄膜トランジスタがオフになり、前記第 1 薄膜トランジスタがオンになった後にオフになり、

20

前記表示発光段階では、前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 2 電位を供給し、第 3 走査制御信号が第 1 電位を供給し、前記第 2 薄膜トランジスタ、及び第 4 薄膜トランジスタがオンになり、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオフになる、請求項 2 に記載の A M O L E D 画素駆動回路。

【請求項 4】

前記第 5 薄膜トランジスタは P 型薄膜トランジスタであり、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタはいずれも N 型薄膜トランジスタである、請求項 3 に記載の A M O L E D 画素駆動回路。

30

【請求項 5】

前記第 1 電位は高電位であり、前記第 2 電位は低電位である、請求項 4 に記載の A M O L E D 画素駆動回路。

【請求項 6】

前記第 5 薄膜トランジスタは N 型薄膜トランジスタであり、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタはいずれも P 型薄膜トランジスタである、請求項 3 に記載の A M O L E D 画素駆動回路。

【請求項 7】

前記第 1 電位は低電位であり、前記第 2 電位は高電位である、請求項 6 に記載の A M O L E D 画素駆動回路。

40

【請求項 8】

前記第 1 走査制御信号、第 2 走査制御信号、及び第 3 走査制御信号はいずれも外部タイミングコントローラによって供給される、請求項 1 に記載の A M O L E D 画素駆動回路。

【請求項 9】

前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ、第 5 薄膜トランジスタ、及び第 6 薄膜トランジスタはいずれも低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ、又はアモルファスシリコン薄膜トランジスタである、請求項 1 に記載の A M O L E D 画素駆動回路。

【請求項 10】

50

請求項 1 に記載の A M O L E D 画素駆動回路に応用される A M O L E D 画素駆動方法であって、前記 A M O L E D 画素駆動方法は、以下のステップ S 0 0 1 ~ S 0 0 3 を含み、

ステップ S 0 0 1 では、データ電圧記憶段階に入り、

前記第 1 走査制御信号が第 1 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給し、第 3 走査制御信号が第 1 電位と異なる第 2 電位を供給し、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ及び第 4 薄膜トランジスタがオフになり、データ信号が第 1 ノードに書き込まれ、基準電圧が第 2 ノード及び第 3 ノードに書き込まれ、

ステップ S 0 0 2 では、閾値電圧補正段階に入り、

前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給した後に第 2 電位を供給し、第 3 走査制御信号が第 2 電位を供給し、前記第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 4 薄膜トランジスタがオフになり、前記第 1 薄膜トランジスタがオンになった後にオフになり、

前記第 2 走査制御信号が第 1 電位である時、第 3 ノードが第 6 薄膜トランジスタによって放電し、第 3 ノードの電位を $V_{data} - V_{th}$ に変更し、ここで、 V_{data} はデータ信号の電圧であり、 V_{th} は第 6 薄膜トランジスタの閾値電圧であり、

前記第 2 走査制御信号が第 2 電位である時、第 1 ノードの電圧がゼロになり、第 2 ノードの電圧が基準電圧に維持され、第 3 ノードの電圧が $V_{data} - V_{th}$ に維持され、

ステップ S 0 0 3 では、表示発光段階に入り、

前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 2 電位を供給し、第 3 走査制御信号が第 1 電位を供給し、前記第 2 薄膜トランジスタ、及び第 4 薄膜トランジスタがオンになり、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオフになり、有機発光ダイオードが発光する、A M O L E D 画素駆動方法。

【請求項 1 1】

A M O L E D 画素駆動回路であって、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ、第 5 薄膜トランジスタ、第 6 薄膜トランジスタ、コンデンサ、及び有機発光ダイオードを含み、

前記第 1 薄膜トランジスタは、ゲートが第 2 走査制御信号にアクセスし、ソースがデータ信号に電氣的に接続され、ドレインが第 1 ノードに電氣的に接続され、

前記第 2 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが第 1 ノードに電氣的に接続され、ドレインが第 2 ノードに電氣的に接続され、

前記第 3 薄膜トランジスタは、ゲートが第 1 走査制御信号にアクセスし、ソースが第 2 ノードに電氣的に接続され、ドレインが第 3 ノードに電氣的に接続され、

前記第 4 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが第 3 ノードに電氣的に接続され、ドレインが有機発光ダイオードの陽極に電氣的に接続され、

前記第 5 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが基準電圧にアクセスし、ドレインが第 2 ノードに電氣的に接続され、

前記第 6 薄膜トランジスタは、ゲートが第 1 ノードに電氣的に接続され、ドレインが電源高電圧にアクセスし、ソースが第 3 ノードに電氣的に接続され、

前記コンデンサは、一端が第 2 ノードに電氣的に接続され、他端が第 3 ノードに電氣的に接続され、

前記有機発光ダイオードの陰極が電源低電圧にアクセスし、

前記第 5 薄膜トランジスタは N 型薄膜トランジスタ及び P 型薄膜トランジスタのうちの一方であり、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタはいずれも N 型薄膜トランジスタ及び P 型薄膜トランジスタのうちの第 5 薄膜トランジスタと異なるもう一方であり、

前記第 1 走査制御信号、第 2 走査制御信号、及び第 3 走査制御信号を互いに組み合わせ、順に 1 つのデータ電圧記憶段階、1 つの閾値電圧補正段階、及び 1 つの表示発光段階に対応付け、且つ前記有機発光ダイオードが 1 つのデータ電圧記憶段階及び 1 つの閾値電圧

10

20

30

40

50

補正段階で発光しないように制御し、

前記データ電圧記憶段階では、前記第1走査制御信号が第1電位を供給し、前記第2走査制御信号が第1電位を供給し、第3走査制御信号が第1電位と異なる第2電位を供給し、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオンになり、前記第2薄膜トランジスタ及び第4薄膜トランジスタがオフになり、

前記閾値電圧補正段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第1電位を供給した後に第2電位を供給し、第3走査制御信号が第2電位を供給し、前記第5薄膜トランジスタがオンになり、前記第2薄膜トランジスタ、第3薄膜トランジスタ、及び第4薄膜トランジスタがオフになり、前記第1薄膜トランジスタがオンになった後にオフになり、

10

前記表示発光段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第2電位を供給し、第3走査制御信号が第1電位を供給し、前記第2薄膜トランジスタ、及び第4薄膜トランジスタがオンになり、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオフになり、

前記第1走査制御信号、第2走査制御信号、及び第3走査制御信号はいずれも外部タイミングコントローラによって供給され、

前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ、第5薄膜トランジスタ、及び第6薄膜トランジスタはいずれも低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ、又はアモルファスシリコン薄膜トランジスタである、A M O L E D画素駆動回路。

20

【請求項12】

前記第5薄膜トランジスタはP型薄膜トランジスタであり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜トランジスタはいずれもN型薄膜トランジスタである、請求項11に記載のA M O L E D画素駆動回路。

【請求項13】

前記第1電位は高電位であり、前記第2電位は低電位である、請求項12に記載のA M O L E D画素駆動回路。

【請求項14】

前記第5薄膜トランジスタはN型薄膜トランジスタであり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜トランジスタはいずれもP型薄膜トランジスタである、請求項11に記載のA M O L E D画素駆動回路。

30

【請求項15】

前記第1電位は低電位であり、前記第2電位は高電位である、請求項14に記載のA M O L E D画素駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示技術分野に関し、特にA M O L E D画素駆動回路及びその駆動方法に関する。

40

【背景技術】

【0002】

有機発光ダイオード(Organic Light Emitting Display、O L E D)表示装置は自己発光で、駆動電圧が低く、発光効率が高く、応答時間が短く、解像度及びコントラストが高く、視野角が180°近くあり、使用温度範囲が広いため、フレキシブル表示及び大面積フルカラー表示を実現できる等の多くの利点を有し、業界では最も発展の潜在的余力のある表示装置と考えられている。

【0003】

O L E D表示装置は、駆動方式に応じてパッシブマトリックス型O L E D(P a s s i

50

ve Matrix OLED、PMOLED) 及びアクティブマトリックス型OLED (Active Matrix OLED、AMOLED) の2種類、すなわち、直接アドレッシング及び薄膜トランジスタ (Thin Film Transistor、TFT) マトリックスアドレッシングの2種類に大別できる。そのうち、AMOLEDはアレイ的に配列された画素を有し、アクティブ表示タイプに属し、発光効率が高く、通常、高解像度の大型表示装置として用いられる。

【0004】

AMOLEDは電流駆動デバイスであり、電流が有機発光ダイオードを流れると、有機発光ダイオードが発光し、且つ発光輝度が有機発光ダイオード自体を流れる電流に応じて決められる。既存の集積回路 (Integrated Circuit、IC) のほとんどは電圧信号だけを伝送するため、AMOLEDの画素駆動回路は電圧信号を電流信号に変換するタスクを実行する必要がある。従来のAMOLED画素駆動回路は通常2T1Cであり、すなわち、2つの薄膜トランジスタに1つのコンデンサを追加した構造であり、電圧を電流に変換する。薄膜トランジスタを駆動する閾値電圧がドリフトするにつれて、有機発光ダイオードを流れる電流の変化が非常に大きく、その結果、有機発光ダイオードの発光が非常に不安定で、輝度が非常に不均一で、画面の表示効果に重大な悪影響を与えてしまう。上記課題を解決するには、各画素に補正回路を追加する必要がある、ここで補正とは、各画素中の全ての薄膜トランジスタを駆動する閾値電圧を補正して、有機発光ダイオードを流れる電流を閾値電圧とは無関係に変化するようにしなければならないことを意味する。

【0005】

図1に示すように、7T2C構造のAMOLED画素駆動回路は、7個の薄膜トランジスタ及び2個のコンデンサを含み、それぞれ第1薄膜トランジスタT10、第2薄膜トランジスタT20、第3薄膜トランジスタT30、第4薄膜トランジスタT40、第5薄膜トランジスタT50、第6薄膜トランジスタT60、第7薄膜トランジスタT70、第1コンデンサC10、及び第2コンデンサC20である。該画素駆動回路は、それぞれ第1走査制御信号S10、第2走査制御信号S20、第3走査制御信号S30、及び第4走査制御信号S40である4個の走査制御信号によって制御される必要がある。この回路の動作タイミング図は図2に示されるように、該回路の動作プロセスは第1段階10、第2段階20、及び第3段階30を含み、第2段階20では、前記第2走査制御信号S20は高電位を供給した後、低電位を供給し、この時、前記第2走査制御信号S20が低電位を供給する時に第1コンデンサC1の作用によって、第1コンデンサC1と第2コンデンサC2との接続点での電位が不安定になる。さらに該画素駆動回路は7個の薄膜トランジスタ及び2個のコンデンサが必要であり、構造が複雑で、画素の有効発光面積が比較的 low、走査制御信号の数が比較的多く、その結果、タイミングコントローラも比較的複雑である。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードの発光輝度の均一性を確保し、画素駆動回路の構造を簡素化し、有効発光面積を増加させることができるAMOLED画素駆動回路を提供することである。

【0007】

本発明の目的はさらに、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードを流れる電流を安定させ、有機発光ダイオードの発光輝度の均一性を確保し、画面の表示効果を改善することができるAMOLED画素駆動方法を提供することである。

【課題を解決するための手段】

【0008】

上記目的を実現するために、本発明はAMOLED画素駆動回路を提供し、第1薄膜ト

10

20

30

40

50

ランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ、第5薄膜トランジスタ、第6薄膜トランジスタ、コンデンサ、及び有機発光ダイオードを含み、

前記第1薄膜トランジスタは、ゲートが第2走査制御信号にアクセスし、ソースがデータ信号に電氣的に接続され、ドレインが第1ノードに電氣的に接続され、

前記第2薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが第1ノードに電氣的に接続され、ドレインが第2ノードに電氣的に接続され、

前記第3薄膜トランジスタは、ゲートが第1走査制御信号にアクセスし、ソースが第2ノードに電氣的に接続され、ドレインが第3ノードに電氣的に接続され、

前記第4薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが第3ノードに電氣的に接続され、ドレインが有機発光ダイオードの陽極に電氣的に接続され、

前記第5薄膜トランジスタは、ゲートが第3走査制御信号にアクセスし、ソースが基準電圧にアクセスし、ドレインが第2ノードに電氣的に接続され、

前記第6薄膜トランジスタは、ゲートが第1ノードに電氣的に接続され、ドレインが電源高電圧にアクセスし、ソースが第3ノードに電氣的に接続され、

前記コンデンサは、一端が第2ノードに電氣的に接続され、他端が第3ノードに電氣的に接続され、

前記有機発光ダイオードの陰極が電源低電圧にアクセスし、

前記第5薄膜トランジスタはN型薄膜トランジスタ及びP型薄膜トランジスタのうちの一方であり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜トランジスタはいずれもN型薄膜トランジスタ及びP型薄膜トランジスタのうちの第5薄膜トランジスタと異なるもう一方である。

【0009】

前記第1走査制御信号、第2走査制御信号、及び第3走査制御信号を互いに組み合わせ、順に1つのデータ電圧記憶段階、1つの閾値電圧補正段階、及び表示発光段階に対応付け、且つ前記有機発光ダイオードが1つのデータ電圧記憶段階及び1つの閾値電圧補正段階で発光しないように制御する。

【0010】

前記データ電圧記憶段階では、前記第1走査制御信号が第1電位を供給し、前記第2走査制御信号が第1電位を供給し、第3走査制御信号が第1電位と異なる第2電位を供給し、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオンになり、前記第2薄膜トランジスタ及び第4薄膜トランジスタがオフになり、

閾値電圧補正段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第1電位を供給した後に第2電位を供給し、第3走査制御信号が第2電位を供給し、前記第5薄膜トランジスタオン、前記第2薄膜トランジスタ、第3薄膜トランジスタ、及び第4薄膜トランジスタがオフになり、前記第1薄膜トランジスタがオンになった後にオフになり、

表示発光段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第2電位を供給し、第3走査制御信号が第1電位を供給し、前記第2薄膜トランジスタ、及び第4薄膜トランジスタがオンになり、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオフになる。

【0011】

前記第5薄膜トランジスタはP型薄膜トランジスタであり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜トランジスタはいずれもN型薄膜トランジスタである。

【0012】

前記第1電位は高電位であり、前記第2電位は低電位である。

【0013】

前記第5薄膜トランジスタはN型薄膜トランジスタであり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜ト

10

20

30

40

50

ランジスタはいずれも P 型薄膜トランジスタである。

【 0 0 1 4 】

前記第 1 電位は低電位であり、前記第 2 電位は高電位である。

【 0 0 1 5 】

前記第 1 走査制御信号、第 2 走査制御信号、及び第 3 走査制御信号はいずれも外部タイミングコントローラによって供給される。

【 0 0 1 6 】

前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ、第 5 薄膜トランジスタ、及び第 6 薄膜トランジスタはいずれも低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ、又はアモルファスシリコン薄膜トランジスタである。

10

【 0 0 1 7 】

本発明はさらに、上記 A M O L E D 画素駆動回路に応用される A M O L E D 画素駆動方法を提供し、上記 A M O L E D 画素駆動回路は、ステップ S 0 0 1 ~ S 0 0 3 を含み、

ステップ S 0 0 1 では、データ電圧記憶段階に入り、

前記第 1 走査制御信号が第 1 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給し、第 3 走査制御信号が第 1 電位と異なる第 2 電位を供給し、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ及び第 4 薄膜トランジスタがオフになり、データ信号が第 1 ノードに書き込まれ、基準電圧が第 2 ノード及び第 3 ノードに書き込まれ、

20

ステップ S 0 0 2 では、閾値電圧補正段階に入り、

前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 1 電位を供給した後に第 2 電位を供給し、第 3 走査制御信号が第 2 電位を供給し、前記第 5 薄膜トランジスタがオンになり、前記第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 4 薄膜トランジスタがオフになり、前記第 1 薄膜トランジスタがオンになった後にオフになり、

前記第 2 走査制御信号が第 1 電位である時、第 3 ノードが第 6 薄膜トランジスタによって放電し、第 3 ノードの電位を $V_{data} - V_{th}$ に変更し、ここで、 V_{data} はデータ信号の電圧であり、 V_{th} は第 6 薄膜トランジスタの閾値電圧であり、

前記第 2 走査制御信号が第 2 電位である時、第 1 ノードの電圧がゼロになり、第 2 ノードの電圧が基準電圧に維持され、第 3 ノードの電圧が $V_{data} - V_{th}$ に維持され、

30

ステップ S 0 0 3 では、表示発光段階に入り、

前記第 1 走査制御信号が第 2 電位を供給し、前記第 2 走査制御信号が第 2 電位を供給し、第 3 走査制御信号が第 1 電位を供給し、前記第 2 薄膜トランジスタ、及び第 4 薄膜トランジスタがオンになり、前記第 1 薄膜トランジスタ、第 3 薄膜トランジスタ、及び第 5 薄膜トランジスタがオフになり、有機発光ダイオードが発光する。

【 0 0 1 8 】

本発明はさらに A M O L E D 画素駆動回路を提供し、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ、第 5 薄膜トランジスタ、第 6 薄膜トランジスタ、コンデンサ、及び有機発光ダイオードを含み、

前記第 1 薄膜トランジスタは、ゲートが第 2 走査制御信号にアクセスし、ソースがデータ信号に電氣的に接続され、ドレインが第 1 ノードに電氣的に接続され、

40

前記第 2 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが第 1 ノードに電氣的に接続され、ドレインが第 2 ノードに電氣的に接続され、

前記第 3 薄膜トランジスタは、ゲートが第 1 走査制御信号にアクセスし、ソースが第 2 ノードに電氣的に接続され、ドレインが第 3 ノードに電氣的に接続され、

前記第 4 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが第 3 ノードに電氣的に接続され、ドレインが有機発光ダイオードの陽極に電氣的に接続され、

前記第 5 薄膜トランジスタは、ゲートが第 3 走査制御信号にアクセスし、ソースが基準電圧にアクセスし、ドレインが第 2 ノードに電氣的に接続され、

前記第 6 薄膜トランジスタは、ゲートが第 1 ノードに電氣的に接続され、ドレインが電

50

源高電圧にアクセスし、ソースが第3ノードに電氣的に接続され、

前記コンデンサは、一端が第2ノードに電氣的に接続され、他端が第3ノードに電氣的に接続され、

前記有機発光ダイオードの陰極が電源低電圧にアクセスし、

前記第5薄膜トランジスタはN型薄膜トランジスタ及びP型薄膜トランジスタのうちの一方であり、前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ及び第6薄膜トランジスタはいずれもN型薄膜トランジスタ及びP型薄膜トランジスタのうちの第5薄膜トランジスタと異なるもう一方であり、

前記第1走査制御信号、第2走査制御信号、及び第3走査制御信号を互いに組み合わせ、順に1つのデータ電圧記憶段階、1つの閾値電圧補正段階、及び1つの表示発光段階に対応付け、且つ前記有機発光ダイオードが1つのデータ電圧記憶段階及び1つの閾値電圧補正段階で発光しないように制御し、

10

前記データ電圧記憶段階では、前記第1走査制御信号が第1電位を供給し、前記第2走査制御信号が第1電位を供給し、第3走査制御信号が第1電位と異なる第2電位を供給し、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオンになり、前記第2薄膜トランジスタ及び第4薄膜トランジスタがオフになり、

前記閾値電圧補正段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第1電位を供給した後に第2電位を供給し、第3走査制御信号が第2電位を供給し、前記第5薄膜トランジスタがオンになり、前記第2薄膜トランジスタ、第3薄膜トランジスタ、及び第4薄膜トランジスタがオフになり、前記第1薄膜トランジスタがオンになった後にオフになり、

20

前記表示発光段階では、前記第1走査制御信号が第2電位を供給し、前記第2走査制御信号が第2電位を供給し、第3走査制御信号が第1電位を供給し、前記第2薄膜トランジスタ、及び第4薄膜トランジスタがオンになり、前記第1薄膜トランジスタ、第3薄膜トランジスタ、及び第5薄膜トランジスタがオフになり、

前記第1走査制御信号、第2走査制御信号、及び第3走査制御信号はいずれも外部タイミングコントローラによって供給され、

前記第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ、第5薄膜トランジスタ、及び第6薄膜トランジスタはいずれも低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ、又はアモルファスシリコン薄膜トランジスタである。

30

【発明の効果】

【0019】

本発明の有益な効果は、以下のとおりである。本発明はAMOLED画素駆動回路を提供し、上記AMOLED画素駆動回路は、6T1C構造の画素駆動回路を採用し、且つ特定の駆動タイミングとマッチングさせることで、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードを流れる電流を安定させ、有機発光ダイオードの発光輝度の均一性を確保し、画面の表示効果を改善することができるとともに、N型薄膜トランジスタとP型薄膜トランジスタとのマッチングによって、薄膜トランジスタ及び走査制御信号の数を減少させ、それによって画素駆動回路の構造を簡素化し、有効発光面積を増加させる。本発明はさらにAMOLED画素駆動方法を提供し、上記AMOLED画素駆動方法は、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードを流れる電流を安定させ、有機発光ダイオードの発光輝度の均一性を確保し、画面の表示効果を改善することができる。

40

【0020】

本発明の特徴及び技術内容をさらに理解できるように、以下の本発明についての詳細説明及び図面を参照することができるが、図面は単に参考及び説明するためのものであり、本発明を限定するためのものではない。

【図面の簡単な説明】

【0021】

50

【図 1】図 1 は従来の A M O L E D 画素駆動回路の回路図である。

【図 2】図 2 は図 1 に示される A M O L E D 画素駆動回路のタイミング図である。

【図 3】図 3 は本発明の A M O L E D 画素駆動回路の回路図である。

【図 4】図 4 は本発明の A M O L E D 画素駆動回路のタイミング図である。

【図 5】図 5 は本発明の A M O L E D 画素駆動方法のステップ S 0 0 1 の模式図である。

【図 6】図 6 は本発明の A M O L E D 画素駆動方法のステップ S 0 0 2 の模式図である。

【図 7】図 7 は本発明の A M O L E D 画素駆動方法のステップ S 0 0 2 の模式図である。

【図 8】図 8 は本発明の A M O L E D 画素駆動方法のステップ S 0 0 3 の模式図である。

【図 9】図 9 は本発明の A M O L E D 画素駆動方法のフローチャートである。

【発明を実施するための形態】

10

【 0 0 2 2 】

本発明が採用する技術的手段及びその効果をさらに説明するために、以下、本発明の好適実施例及びその図面を詳細に説明する。

【 0 0 2 3 】

図 3 に示すように、本発明は A M O L E D 画素駆動回路を提供し、上記 A M O L E D 画素駆動回路は、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 4 薄膜トランジスタ T 4、第 5 薄膜トランジスタ T 5、第 6 薄膜トランジスタ T 6、コンデンサ C 1、及び有機発光ダイオード D を含み、

上記第 1 薄膜トランジスタ T 1 は、ゲートが第 2 走査制御信号 S 2 にアクセスし、ソースがデータ信号 D a t a に電氣的に接続され、ドレインが第 1 ノード A に電氣的に接続され、

20

上記第 2 薄膜トランジスタ T 2 は、ゲートが第 3 走査制御信号 S 3 にアクセスし、ソースが第 1 ノード A に電氣的に接続され、ドレインが第 2 ノード B に電氣的に接続され、

上記第 3 薄膜トランジスタ T 3 は、ゲートが第 1 走査制御信号 S 1 にアクセスし、ソースが第 2 ノード B に電氣的に接続され、ドレインが第 3 ノード C に電氣的に接続され、

上記第 4 薄膜トランジスタ T 4 は、ゲートが第 3 走査制御信号 S 3 にアクセスし、ソースが第 3 ノード C に電氣的に接続され、ドレインが有機発光ダイオード D の陽極に電氣的に接続され、

上記第 5 薄膜トランジスタ T 5 は、ゲートが第 3 走査制御信号 S 3 にアクセスし、ソースが基準電圧 V r e f にアクセスし、ドレインが第 2 ノード B に電氣的に接続され、

30

上記第 6 薄膜トランジスタ T 6 は、ゲートが第 1 ノード A に電氣的に接続され、ドレインが電源高電圧 O V D D にアクセスし、ソースが第 3 ノード C に電氣的に接続され、

上記コンデンサ C 1 は、一端が第 2 ノード B に電氣的に接続され、他端が第 3 ノード C に電氣的に接続され、

上記有機発光ダイオード D の陰極が電源低電圧 O V S S にアクセスする。

【 0 0 2 4 】

上記第 5 薄膜トランジスタ T 5 は N 型薄膜トランジスタ及び P 型薄膜トランジスタのうち的一方であり、上記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタ T 1、T 2、T 3、T 4、T 6 はいずれも N 型薄膜トランジスタ及び P 型薄膜トランジスタのうちの第 5 薄膜トランジスタ T 5 と異なるもう一方である。

40

【 0 0 2 5 】

具体的には、図 4 に示すように、本発明の A M O L E D 画素駆動回路の動作プロセスは、上記第 1 走査制御信号 S 1、第 2 走査制御信号 S 2、及び第 3 走査制御信号 S 3 を互いに組み合わせ、順に 1 つのデータ電圧記憶段階 1、1 つの閾値電圧補正段階 2、及び表示発光段階 3 に対応付け、且つ上記有機発光ダイオード D が 1 つのデータ電圧記憶段階 1 及び 1 つの閾値電圧補正段階 2 で発光しないように制御する。

【 0 0 2 6 】

図 5 に示すように、上記データ電圧記憶段階 1 では、上記第 1 走査制御信号 S 1 が第 1 電位を供給し、上記第 2 走査制御信号 S 2 が第 1 電位を供給し、第 3 走査制御信号 S 3 が

50

第 1 電位と異なる第 2 電位を供給し、上記第 1 薄膜トランジスタ T 1、第 3 薄膜トランジスタ T 3、及び第 5 薄膜トランジスタ T 5 がオンになり、上記第 2 薄膜トランジスタ T 2 及び第 4 薄膜トランジスタ T 4 がオフになり、データ信号 D a t a が第 1 ノード A に書き込まれ、基準電圧 V r e f が第 2 ノード B 及び第 3 ノード C に書き込まれ、第 1 ノード A の電圧がデータ信号の電圧 V d a t a に等しく、第 2 ノード B 及び第 3 ノード C の電圧が基準電圧 V r e f に等しい。

【 0 0 2 7 】

さらに、図 6 及び図 7 に示すように、閾値電圧補正段階 2 では、上記第 1 走査制御信号 S 1 が第 2 電位を供給し、上記第 2 走査制御信号 S 2 が第 1 電位を供給した後に第 2 電位を供給し、第 3 走査制御信号 S 3 が第 2 電位を供給し、上記第 5 薄膜トランジスタ T 5 がオンになり、上記第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、及び第 4 薄膜トランジスタ T 4 がオフになり、上記第 1 薄膜トランジスタ T 1 がオンになった後にオフになる。

【 0 0 2 8 】

具体的には、図 6 に示すように、上記第 2 走査制御信号 S 2 が第 1 電位である時、第 6 薄膜トランジスタ T 6 がカットオフになるまで、第 3 ノード C が第 6 薄膜トランジスタ T 6 によって放電し、第 3 ノード C の電位を V d a t a - V t h に変更し、コンデンサ C 1 の電圧差が V r e f - (V d a t a - V t h) である。ここで、V d a t a はデータ信号 D a t a の電圧であり、V t h は第 6 薄膜トランジスタ T 6 の閾値電圧であり、第 1 ノード A の電圧はデータ信号の電圧 V d a t a に維持され、第 2 ノード B の電圧は基準電圧 V r e f に維持され、図 7 に示すように、上記第 2 走査制御信号 S 2 が第 2 電位である時、第 1 ノード A の電圧がゼロになり、コンデンサ C 1 の電圧差が変化しないため、第 2 ノード B の電圧は基準電圧 V r e f に維持され、第 3 ノード C の電圧は V d a t a - V t h に維持される。

【 0 0 2 9 】

さらに、図 8 に示すように、表示発光段階 3 では、上記第 1 走査制御信号 S 1 が第 2 電位を供給し、上記第 2 走査制御信号 S 2 が第 2 電位を供給し、第 3 走査制御信号 S 3 が第 1 電位を供給し、上記第 2 薄膜トランジスタ T 2、及び第 4 薄膜トランジスタ T 4 がオンになり、上記第 1 薄膜トランジスタ T 1、第 3 薄膜トランジスタ T 3、及び第 5 薄膜トランジスタ T 5 がオフになり、上記有機発光ダイオード D が発光し、有機発光ダイオード D を流れる電流 I o l e d が $I o l e d = k (V g s - V t h) ^ 2 = k (V r e f - V d a t a + V t h - V t h) ^ 2 = k (V r e f - V d a t a) ^ 2$ に等しい。ここで、k は薄膜トランジスタ、すなわち第 6 薄膜トランジスタ T 6 を駆動する構造パラメータであり、V g s は第 6 薄膜トランジスタ T 6 のゲートソース電圧差であり、同じ構造の薄膜トランジスタは、K 値が相対的に安定するため、有機発光ダイオード D の発光時、上記有機発光ダイオード D を流れる電流が第 6 薄膜トランジスタ T 6 の閾値電圧とは無関係であり、薄膜トランジスタを駆動する閾値電圧ドリフトによって、有機発光ダイオードを流れる電流が不安定であるという課題を解決し、有機発光ダイオードの発光輝度を均一にし、画面の表示効果を改善することができる。

【 0 0 3 0 】

好適には、本発明の第 1 実施例では、上記第 5 薄膜トランジスタ T 5 は P 型薄膜トランジスタであり、上記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタ T 1、T 2、T 3、T 4、T 6 はいずれも N 型薄膜トランジスタである。上記第 1 電位は高電位であり、上記第 2 電位は低電位である。

【 0 0 3 1 】

好適には、本発明の第 2 実施例では、上記第 5 薄膜トランジスタ T 5 は N 型薄膜トランジスタであり、上記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び第 6 薄膜トランジスタ T 1、T 2、T 3、T 4、T 6 はいずれも P 型薄膜トランジスタである。上記第 1 電位は低電位であり、上記第 2 電位は高電

10

20

30

40

50

位である。

【0032】

具体的には、上記第1走査制御信号S1、第2走査制御信号S2、及び第3走査制御信号S3はいずれも外部タイミングコントローラによって供給される。

【0033】

具体的には、上記第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第4薄膜トランジスタT4、第5薄膜トランジスタT5、及び第6薄膜トランジスタT6はいずれも低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ、又はアモルファスシリコン薄膜トランジスタである。

【0034】

図9に示すように、本発明の上記AMOLED画素駆動回路に応用されるAMOLED画素駆動方法は、以下のステップS001～S003を含み、

ステップS001では、図5に示すように、データ電圧記憶段階1に入り、

上記第1走査制御信号S1が第1電位を供給し、上記第2走査制御信号S2が第1電位を供給し、第3走査制御信号S3が第1電位と異なる第2電位を供給し、上記第1薄膜トランジスタT1、第3薄膜トランジスタT3、及び第5薄膜トランジスタT5がオンになり、上記第2薄膜トランジスタT2及び第4薄膜トランジスタT4がオフになり、データ信号Dataが第1ノードAに書き込まれ、基準電圧Vrefが第2ノードB及び第3ノードCに書き込まれる。

【0035】

具体的には、ステップS001では、第1ノードAの電圧がデータ信号の電圧Vdataに等しく、第2ノードB及び第3ノードCの電圧が基準電圧Vrefに等しい。

【0036】

ステップS002では、図6～7に示すように、閾値電圧補正段階2では、

上記第1走査制御信号S1が第2電位を供給し、上記第2走査制御信号S2が第1電位を供給した後に第2電位を供給し、第3走査制御信号S3が第2電位を供給し、上記第5薄膜トランジスタT5がオンになり、上記第2薄膜トランジスタT2、第3薄膜トランジスタT3、及び第4薄膜トランジスタT4がオフになり、上記第1薄膜トランジスタT1がオンになった後にオフになる。

【0037】

具体的には、ステップS002では、上記第2走査制御信号S2が第1電位である時、第6薄膜トランジスタT6がカットオフになるまで、第3ノードCが第6薄膜トランジスタT6によって放電し、第3ノードCの電位をVdata - Vthに変更し、コンデンサC1の電圧差がVref - (Vdata - Vth)である。ここで、Vdataはデータ信号Dataの電圧であり、Vthは第6薄膜トランジスタT6の閾値電圧であり、第1ノードAの電圧はデータ信号の電圧Vdataに維持され、第2ノードBの電圧は基準電圧Vrefに維持される。

【0038】

さらに、ステップS002では、上記第2走査制御信号S2が第2電位である時、第1ノードAの電圧がゼロになり、コンデンサC1の電圧差が変化しないため、第2ノードBの電圧は基準電圧Vrefに維持され、第3ノードCの電圧はVdata - Vthに維持される。

【0039】

ステップS003では、図8に示すように、表示発光段階3に入り、

上記第1走査制御信号S1が第2電位を供給し、上記第2走査制御信号S2が第2電位を供給し、第3走査制御信号S3が第1電位を供給し、上記第2薄膜トランジスタT2、及び第4薄膜トランジスタT4がオンになり、上記第1薄膜トランジスタT1、第3薄膜トランジスタT3、及び第5薄膜トランジスタT5がオフになり、有機発光ダイオードDが発光する。

【0040】

具体的には、上記ステップS003では、有機発光ダイオードDを流れる電流 I_{oled} が $I_{oled} = k(V_{gs} - V_{th})^2 = k(V_{ref} - V_{data} + V_{th} - V_{th})^2 = k(V_{ref} - V_{data})^2$ に等しい。ここで、 k は薄膜トランジスタ、すなわち第6薄膜トランジスタT6を駆動する構造パラメータであり、 V_{gs} は第6薄膜トランジスタT6のゲートソース電圧差であり、同じ構造の薄膜トランジスタは、 K 値が相対的に安定するため、有機発光ダイオードDの発光時、上記有機発光ダイオードDを流れる電流が第6薄膜トランジスタT6の閾値電圧とは無関係であり、薄膜トランジスタを駆動する閾値電圧ドリフトによって、有機発光ダイオードを流れる電流が不安定であるという課題を解決し、有機発光ダイオードの発光輝度を均一にし、画面の表示効果を改善することができる。

10

【0041】

以上のように、本発明はAMOLED画素駆動回路を提供し、上記AMOLED画素駆動回路は、6T1C構造の画素駆動回路を採用し、且つ特定の駆動タイミングとマッチングさせることで、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードを流れる電流を安定させ、有機発光ダイオードの発光輝度の均一性を確保し、画面の表示効果を改善することができるとともに、N型薄膜トランジスタとP型薄膜トランジスタとのマッチングによって、薄膜トランジスタ及び走査制御信号の数を減少させ、それによって画素駆動回路の構造を簡素化し、有効発光面積を増加させる。本発明はさらにAMOLED画素駆動方法を提供し、上記AMOLED画素駆動方法は、薄膜トランジスタを駆動する閾値電圧を効果的に補正し、有機発光ダイオードを流れる電流を安定させ、有機発光ダイオードの発光輝度の均一性を確保し、画面の表示効果を改善することができる。

20

【0042】

以上のように、当業者にとっては、本発明の技術案及び技術的概念に基づいてほかの対応する種々の変更や変形を行うことができ、これらの変更や変形はすべて本発明の請求の範囲の保護範囲に属する。

【符号の説明】

【0043】

- T1 第1薄膜トランジスタ
- T2 第2薄膜トランジスタ
- T3 第3薄膜トランジスタ
- T4 第4薄膜トランジスタ
- T5 第5薄膜トランジスタ
- T6 第6薄膜トランジスタ
- C1 コンデンサ
- D 有機発光ダイオード
- 1 データ電圧記憶段階
- 2 閾値電圧補正段階
- 3 表示発光段階

30

【圖 2】

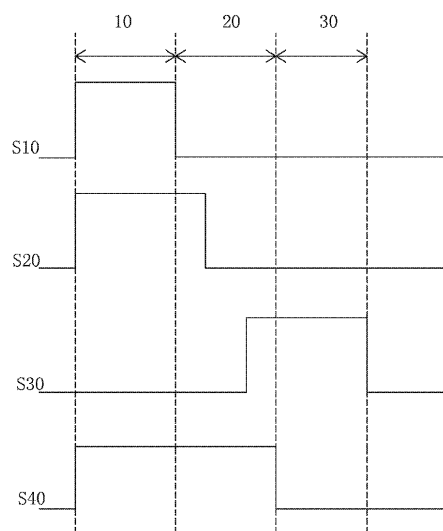


图2

【 図 4 】

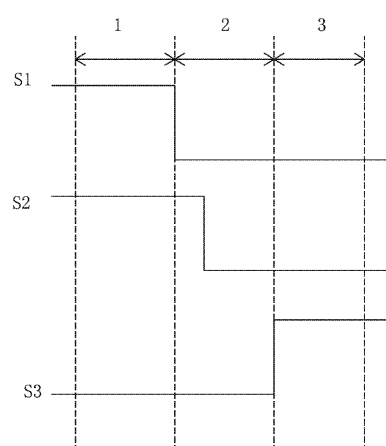


图4

【 図 6 】

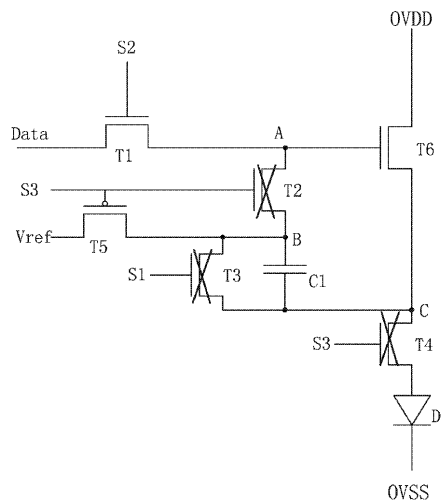


图6

【 図 8 】

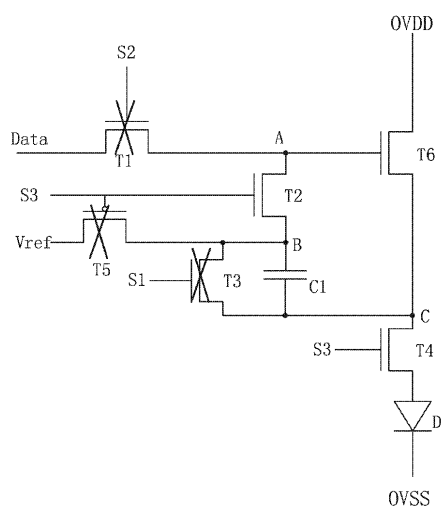
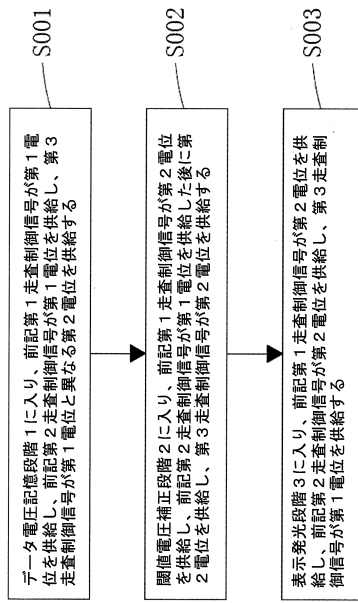


图8

【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 J
H 0 1 L 27/32
H 0 5 B 33/14 A

(72)発明者 温 亦▲謙▼
中華人民共和国 5 1 8 1 3 2 廣東省深▲せん▼市光明新区公明街道塘明大道 9 - 2 号

審査官 塚本 丈二

(56)参考文献 特開 2 0 1 3 - 0 6 1 3 9 0 (J P , A)
特開 2 0 0 8 - 1 7 6 2 8 7 (J P , A)
特開 2 0 0 7 - 3 0 4 5 9 4 (J P , A)
国際公開第 2 0 1 6 / 0 9 0 9 4 5 (W O , A 1)
国際公開第 2 0 1 3 / 0 7 6 7 7 4 (W O , A 1)
米国特許出願公開第 2 0 1 7 / 0 0 6 9 2 6 3 (U S , A 1)
米国特許出願公開第 2 0 1 4 / 0 1 7 5 9 9 2 (U S , A 1)
中国特許出願公開第 1 0 5 3 0 4 0 2 0 (C N , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 2 3 3
G 0 9 G 3 / 2 0
H 0 1 L 2 7 / 3 2
H 0 1 L 5 1 / 5 0