

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6872795号
(P6872795)

(45) 発行日 令和3年5月19日 (2021.5.19)

(24) 登録日 令和3年4月22日 (2021.4.22)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

H01L 27/32 (2006.01)

G09F 9/30 (2006.01)

G09G 3/3233

G09G 3/20 624B

G09G 3/20 611H

G09G 3/20 642A

G09G 3/20 680G

請求項の数 16 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2017-194936 (P2017-194936)
 (22) 出願日 平成29年10月5日 (2017.10.5)
 (65) 公開番号 特開2019-66786 (P2019-66786A)
 (43) 公開日 平成31年4月25日 (2019.4.25)
 審査請求日 令和1年7月19日 (2019.7.19)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 柘植 仁志
 東京都千代田区神田錦町三丁目23番地
 株式会社 J O L E D 内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

表示装置であって、
 表示パネルと、
 前記表示パネルを制御する制御回路とを備え、
 前記表示パネルは、
 前記表示パネルの表示領域に行列状に配置された複数の画素回路と、
 前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、
 前記複数の画素回路の各々は、
 第一電極及び第二電極を有する有機EL素子と、
 電圧を保持するための容量素子と、
 前記有機EL素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機EL素子に供給する駆動トランジスタとを有し、
 前記一つ以上のダミー画素回路の各々は、
 第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機EL素子と共有するダミー容量素子を有し、
 前記制御回路は、
 前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機EL素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量

10

20

素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され、

行列状に配置された前記複数の画素回路のうち、最後に走査される行の少なくとも一方の端に位置する画素回路の前記垂直走査方向には、前記一つ以上のダミー画素回路は配置されない

表示装置。

【請求項 2】

表示装置であって、

表示パネルと、

前記表示パネルを制御する制御回路とを備え、

前記表示パネルは、

前記表示パネルの表示領域に行列状に配置された複数の画素回路と、

前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、

前記複数の画素回路の各々は、

第一電極及び第二電極を有する有機 EL 素子と、

電圧を保持するための容量素子と、

前記有機 EL 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 EL 素子に供給する駆動トランジスタとを有し、

前記一つ以上のダミー画素回路の各々は、

第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 EL 素子と共有するダミー容量素子を有し、

前記制御回路は、

前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 EL 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に、かつ、行列状に配置され、

行列状に配置された前記一つ以上のダミー画素回路の各行におけるダミー画素回路の個数は、前記表示領域から遠ざかるにしたがって減少する

表示装置。

【請求項 3】

表示装置であって、

表示パネルと、

前記表示パネルを制御する制御回路とを備え、

前記表示パネルは、

前記表示パネルの表示領域に行列状に配置された複数の画素回路と、

前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、

前記複数の画素回路の各々は、

第一電極及び第二電極を有する有機 EL 素子と、

電圧を保持するための容量素子と、

前記有機 EL 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 EL 素子に供給する駆動トランジスタとを有し、

前記一つ以上のダミー画素回路の各々は、

第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を

前記有機 E L 素子と共有するダミー容量素子を有し、

前記制御回路は、

前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され、

前記表示パネルは、前記複数の画素回路に初期化電圧を供給する初期化電源線を備え、前記初期化電源線は、前記複数の画素回路の行毎に配置され水平走査方向に延びる水平走査方向配線と、前記複数の画素回路の列毎に配置され垂直走査方向に延びる垂直走査方向配線とを有し、

前記垂直走査方向配線は、前記水平走査方向配線より単位長さ当たりの抵抗が大きい表示装置。

【請求項 4】

前記画素回路は、

参照電圧が印加される参照電源線と、

前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、

前記有機 E L 素子に供給する電流に対応する電圧が印加されるデータ信号線と、

前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書込みトランジスタとをさらに有する

請求項 1 ～ 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記参照トランジスタは、書込みトランジスタより L D D (L i g h t l y D o p e d D r a i n) 長が大きい

請求項 4 に記載の表示装置。

【請求項 6】

前記参照トランジスタは、書込みトランジスタよりチャネル長に対するチャネル幅の比が小さい

請求項 4 又は 5 に記載の表示装置。

【請求項 7】

前記参照トランジスタは、書込みトランジスタよりゲート数が多い

請求項 4 ～ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記参照トランジスタは、二つのゲートと、チャネル層を形成する半導体層とを有し、前記半導体層の平面視において、前記二つのゲートの間に配置される前記半導体層は、L 字状の形状を有する

請求項 4 ～ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

表示装置であって、

表示パネルと、

前記表示パネルを制御する制御回路とを備え、

前記表示パネルは、

前記表示パネルの表示領域に行列状に配置された複数の画素回路と、

前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、

前記複数の画素回路の各々は、

第一電極及び第二電極を有する有機 E L 素子と、

10

20

30

40

50

電圧を保持するための容量素子と、
 前記有機 E L 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、
参照電圧が印加される参照電源線と、
前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、
前記有機 E L 素子に供給する電流に対応する電圧が印加されるデータ信号線と、
前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書込みトランジスタとを有し、
 前記一つ以上のダミー画素回路の各々は、
 第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 E L 素子と共有するダミー容量素子を有し、
 前記制御回路は、
 前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、
 前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され、
前記参照トランジスタは、書込みトランジスタより L D D 長が大きい表示装置。
【請求項 10】
 表示装置であって、
 表示パネルと、
 前記表示パネルを制御する制御回路とを備え、
 前記表示パネルは、
 前記表示パネルの表示領域に行列状に配置された複数の画素回路と、
 前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、
 前記複数の画素回路の各々は、
 第一電極及び第二電極を有する有機 E L 素子と、
 電圧を保持するための容量素子と、
 前記有機 E L 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、
参照電圧が印加される参照電源線と、
前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、
前記有機 E L 素子に供給する電流に対応する電圧が印加されるデータ信号線と、
前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書込みトランジスタとを有し、
 前記一つ以上のダミー画素回路の各々は、
 第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 E L 素子と共有するダミー容量素子を有し、
 前記制御回路は、
 前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方

10

20

30

40

50

向に走査し、

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され

、

前記参照トランジスタは、書込みトランジスタよりチャネル長に対するチャネル幅の比が小さい

表示装置。

【請求項 1 1】

表示装置であって、

表示パネルと、

前記表示パネルを制御する制御回路とを備え、

10

前記表示パネルは、

前記表示パネルの表示領域に行列状に配置された複数の画素回路と、

前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、

前記複数の画素回路の各々は、

第一電極及び第二電極を有する有機 E L 素子と、

電圧を保持するための容量素子と、

前記有機 E L 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、

参照電圧が印加される参照電源線と、

前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、

20

前記有機 E L 素子に供給する電流に対応する電圧が印加されるデータ信号線と、

前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書込みトランジスタとを有し、

前記一つ以上のダミー画素回路の各々は、

第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 E L 素子と共有するダミー容量素子を有し、

前記制御回路は、

前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、

30

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され

、

前記参照トランジスタは、書込みトランジスタよりゲート数が多い

表示装置。

【請求項 1 2】

表示装置であって、

40

表示パネルと、

前記表示パネルを制御する制御回路とを備え、

前記表示パネルは、

前記表示パネルの表示領域に行列状に配置された複数の画素回路と、

前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、

前記複数の画素回路の各々は、

第一電極及び第二電極を有する有機 E L 素子と、

電圧を保持するための容量素子と、

前記有機 E L 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、

50

参照電圧が印加される参照電源線と、
前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、

前記有機 E L 素子に供給する電流に対応する電圧が印加されるデータ信号線と、
前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書込みトランジスタとを有し、

前記一つ以上のダミー画素回路の各々は、

第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 E L 素子と共有するダミー容量素子を有し、

前記制御回路は、

前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行い、かつ、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、

前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置され、

前記参照トランジスタは、二つのゲートと、チャネル層を形成する半導体層とを有し、
前記半導体層の平面視において、前記二つのゲートの間に配置される前記半導体層は、
L 字状の形状を有する

表示装置。

【請求項 13】

前記一つ以上のダミー画素回路は、前記表示領域の外部のうち前記表示領域に対して前記垂直走査方向に位置する一方の外部及び他方の外部に配置される

請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

【請求項 14】

前記一つ以上のダミー画素回路は、前記複数の画素回路の水平走査方向に並べられた複数の領域に配置される

請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

【請求項 15】

前記一つ以上のダミー画素回路は、行列状に配置され、

前記一つ以上のダミー画素回路の配置の行数は、前記表示パネルの一フレーム期間のうち垂直ブランキング期間に含まれる水平走査期間数と等しい

請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

【請求項 16】

前記一つ以上のダミー画素回路は、行列状に配置され、

前記一つ以上のダミー画素回路の配置の行数は、前記表示パネルの一フレーム期間のうちブランキング期間に含まれる水平走査期間数より少ない

請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、有機 E L (E l e c t r o L u m i n e s c e n c e) 素子を用いる表示装置に関する。

【背景技術】

【0002】

従来、有機 E L 素子を用いた表示装置が開発されている。このような表示装置は、行列状に配置された複数の画素回路を有し、複数の画素回路の各々は、有機 E L 素子と、表示装置に入力される映像信号に応じた電流を有機 E L 素子に供給する駆動トランジスタとを

10

20

30

40

50

有する。表示装置の使用に伴って、駆動トランジスタは劣化し、閾値電圧がシフトする。このような駆動トランジスタの閾値電圧シフトが発生すると、映像信号に対応する電流を有機EL素子に供給できない。このため、有機EL素子を映像信号に対応する輝度で発光させることができない。このような問題を解決するために、閾値電圧を補償する技術が提案されている（特許文献1）。

【0003】

特許文献1に開示された表示装置においては、駆動トランジスタのゲート電極とソース電極との間に映像信号に対応する電圧を印加する前に、閾値電圧に相当する電圧を駆動トランジスタのゲート電極とソース電極との間に印加することで、閾値電圧を補償する。これにより、映像信号に対応する電流を有機EL素子に供給しようとしている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2015/033496号

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示された表示装置において、輝度ムラが生じる場合がある。

【0006】

20

本開示は、上記の課題に鑑みてなされたものであり、有機EL素子を用いる表示装置において、輝度ムラを低減することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本開示の一態様に係る表示装置は、表示パネルと、前記表示パネルを制御する制御回路とを備え、前記表示パネルは、前記表示パネルの表示領域に行列状に配置された複数の画素回路と、前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、前記複数の画素回路の各々は、第一電極及び第二電極を有する有機EL素子と、電圧を保持するための容量素子と、前記有機EL素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機EL素子に供給する駆動トランジスタとを有し、前記一つ以上のダミー画素回路の各々は、第一ダミー電極及び第二ダミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機EL素子と共有するダミー容量素子を有し、前記制御回路は、前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機EL素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行う。

30

【発明の効果】

【0008】

本開示によれば、有機EL素子を用いる表示装置において、輝度ムラを低減することができる。

40

【図面の簡単な説明】

【0009】

【図1】図1は、従来技術の表示装置の機能構成を示すブロック図である。

【図2】図2は、従来技術の表示装置の画素回路の一例を示す回路図である。

【図3】図3は、従来技術の表示部において生じる輝度ムラを示す概略図である。

【図4】図4は、表示装置の各制御信号線及びデータ信号線に入力される信号の波形を示すタイミングチャートである。

【図5】図5は、従来技術の表示装置において起こる第一の現象を説明する回路図である。

。

50

【図 6】図 6 は、従来技術の表示装置において起こる第二の現象を説明する回路図である。

【図 7】図 7 は、画素回路 90 の有機 EL 素子 24 の第二電極とカソード電源線 VCA との間の接触抵抗 25 の電圧 - 電流密度特性の概要を示すグラフである。

【図 8】図 8 は、接触抵抗 25 が発生するコンタクト領域の一例の例を示す模式的な断面図である。

【図 9】図 9 は、接触抵抗 25 が発生するコンタクト領域の他の例を示す模式的な断面図である。

【図 10】図 10 は、従来技術の表示装置の一フレーム期間における画素回路の第二電極の電圧波形を示すグラフである。

10

【図 11A】図 11A は、従来技術の表示装置の時点 $t = t_a$ において閾値補償制御を受ける画素回路が含まれる行、及び、初期化制御を受ける画素回路が含まれる行の表示部における位置を示す概略図である。

【図 11B】図 11B は、従来技術の表示装置の時点 $t = t_b$ において閾値補償制御を受ける画素回路が含まれる行、及び、初期化制御を受ける画素回路が含まれる行の表示部における位置を示す概略図である。

【図 11C】図 11C は、従来技術の表示装置の時点 $t = t_c$ において閾値補償制御を受ける画素回路が含まれる行、及び、初期化制御を受ける画素回路が含まれる行の表示部における位置を示す概略図である。

【図 11D】図 11D は、従来技術の表示装置の時点 $t = t_d$ において閾値補償制御を受ける画素回路が含まれる行の表示部における位置を示す概略図である。

20

【図 12】図 12 は、実施の形態 1 に係る表示装置の機能構成を示すブロック図である。

【図 13】図 13 は、実施の形態 1 に係る表示装置のダミー画素回路の一例を示す回路図である。

【図 14】図 14 は、実施の形態 1 の第 1 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

【図 15】図 15 は、実施の形態 1 の第 2 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

【図 16】図 16 は、実施の形態 1 の第 3 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

30

【図 17】図 17 は、実施の形態 1 の第 4 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

【図 18】図 18 は、実施の形態 1 の第 5 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

【図 19】図 19 は、実施の形態 1 の第 6 の変形例に係るダミー領域の配置を示す表示パネルの概略平面図である。

【図 20】図 20 は、実施の形態 1 の第 7 の変形例に係るダミー領域 Pd の配置を示す表示パネルの概略平面図である。

【図 21】図 21 は、実施の形態 1 の第 8 の変形例に係るダミー画素回路の回路構成を示す回路図である。

40

【図 22】図 22 は、実施の形態 1 の第 9 の変形例に係るダミー画素回路の回路構成を示す回路図である。

【図 23】図 23 は、実施の形態 1 の第 10 の変形例に係るダミー画素回路の回路構成を示す回路図である。

【図 24A】図 24A は、実施の形態 1 に係る表示装置の各行の初期化電源線の電位の波形を示す模式的なグラフである。

【図 24B】図 24B は、実施の形態 2 に係る表示装置の各行の初期化電源線の電位の波形を示す模式的なグラフである。

【図 25】図 25 は、実施の形態 2 に係る初期化電源線の構成を示す模式的な配線図である。

50

【図 2 6】図 2 6 は、実施の形態 1 に係る画素回路の駆動トランジスタのゲート電極の電位の波形を示すグラフである。

【図 2 7】図 2 7 は、実施の形態 3 に係る画素回路の配線レイアウトを示す図である。

【図 2 8】図 2 8 は、実施の形態 3 に係る参照トランジスタの電極形状の概要を示す模式図である。

【図 2 9】図 2 9 は、実施の形態 3 に係る参照トランジスタの電極形状の概要を示す模式図である。

【発明を実施するための形態】

【0010】

(本開示の基礎となった知見)

10

本開示の実施の形態の説明に先立ち、本開示の基礎となった知見について説明する。以下、本開示の基礎となった知見として、従来技術の表示装置及びその問題点について説明する。

【0011】

図 1 は、従来技術の表示装置 900 の機能構成を示すブロック図である。図 1 に示される従来技術の表示装置 900 は、主に、表示パネル 910 と、制御回路 903 と、電源回路 906 とを備える。

【0012】

表示パネル 910 は、表示部 902 と、走査線駆動回路 904 と、信号線駆動回路 905 とを有する。

20

【0013】

表示部 902 は、行列状に配置された複数の画素回路 90 を有する。当該行列の各行には同じ行に配置される複数の画素回路 90 に共通に接続される制御信号線が設けられ、当該行列の各列には同じ列に配置される複数の画素回路 90 に共通に接続されるデータ信号線が設けられる。

【0014】

走査線駆動回路 904 は、制御信号線を介して、画素回路 90 に対し、画素回路 90 の動作を制御するための制御信号を供給する。

【0015】

信号線駆動回路 905 は、データ信号線を介して、画素回路 90 に対し、発光輝度に対応するデータ信号を供給する。データ信号は、画素回路 90 の表示階調に基づく電圧信号である。

30

【0016】

制御回路 903 は、表示パネル 910 を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部 902 において表示されるように、走査線駆動回路 904、信号線駆動回路 905 を制御する。

【0017】

電源回路 906 は、表示装置 900 の動作の電源を、表示装置 900 の各部に供給する。

【0018】

40

複数の画素回路 90 について図面を用いて説明する。図 2 は、従来技術の表示装置 900 の画素回路 90 の一例を示す回路図である。複数の画素回路 90 は、データ信号に対応する輝度で有機 EL 素子 24 を発光させる回路である。複数の画素回路 90 の各々は、図 2 に示されるように、有機 EL 素子 24 と、容量素子 20 と、駆動トランジスタ TD とを有する。複数の画素回路 90 の各々は、さらに、参照トランジスタ TREF と、書込みトランジスタ TWS と、初期化トランジスタ TINI とを有する。複数の画素回路 90 の各々には、走査線駆動回路 904 から出力される各制御信号を供給する参照信号線 REF、書込み信号線 WS 及び初期化信号線 INI が接続される。また、複数の画素回路 90 の各々には、信号線駆動回路 905 から出力されるデータ信号を供給するデータ信号線 SIG が接続される。

50

【 0 0 1 9 】

有機 E L 素子 2 4 は、第一電極及び第二電極を有する発光素子である。図 2 に示される例では、第一電極及び第二電極は、それぞれ有機 E L 素子 2 4 のアノード及びカソードである。有機 E L 素子 2 4 は、容量成分を有するため、画素回路 9 0 の等価回路は、有機 E L 素子 2 4 の容量成分に相当する E L 容量素子 2 2 を用いて図 2 のように表される。また、有機 E L 素子 2 4 の第二電極は、カソード電源線 V C A T に接続される。ただし、第二電極とカソード電源線 V C A T との間には、接触抵抗 2 5 が存在する。

【 0 0 2 0 】

容量素子 2 0 は、電圧を保持するための素子であり、駆動トランジスタ T D のゲート電極 g とソース電極 s との間に接続される。

10

【 0 0 2 1 】

駆動トランジスタ T D は、有機 E L 素子 2 4 の第一電極と接続され、容量素子 2 0 に保持された電圧に応じた電流を有機 E L 素子 2 4 に供給する薄膜トランジスタである。駆動トランジスタ T D のソース電極 s が有機 E L 素子 2 4 の第一電極（アノード）に接続され、ドレイン電極 d がアノード電源線 V C C に接続される。

【 0 0 2 2 】

初期化トランジスタ T I N I は、有機 E L 素子 2 4 の第一電極の電位を初期化するための薄膜トランジスタである。初期化トランジスタ T I N I のドレイン電極及びソース電極の一方に初期化電源線 V I N I が接続され、他方に有機 E L 素子 2 4 の第一電極（アノード）が接続される。初期化トランジスタ T I N I のゲート電極には、初期化信号線 I N I が接続される。

20

【 0 0 2 3 】

参照トランジスタ T R E F は、容量素子 2 0 に参照電圧を印加するための薄膜トランジスタである。参照トランジスタ T R E F のドレイン電極及びソース電極の一方に参照電源線 V R E F が接続され、他方に駆動トランジスタ T D のゲート電極 g が接続される。参照トランジスタ T R E F のゲート電極には、参照信号線 R E F が接続される。

【 0 0 2 4 】

書込みトランジスタ T W S は、容量素子 2 0 にデータ信号に対応する電圧を印加するための薄膜トランジスタである。書込みトランジスタ T W S のドレイン電極及びソース電極の一方にデータ信号線 S I G が接続され、他方に駆動トランジスタ T D のゲート電極が接続される。書込みトランジスタ T W S のゲート電極には、書込み信号線 W S が接続される。

30

【 0 0 2 5 】

上述したような従来技術の表示装置 9 0 0 において、輝度ムラが発生することを発明者は見出した。以下、表示装置 9 0 0 において生じる輝度ムラについて図面を用いて説明する。図 3 は、従来技術の表示部 9 0 2 において生じる輝度ムラを示す概略図である。

【 0 0 2 6 】

図 3 に示されるように、表示装置 9 0 0 の表示部 9 0 2 においては、下方に他の領域より輝度が低い領域 9 0 2 a が発生する。以下、この領域 9 0 2 a を「輝度ムラが発生する領域」ともいう。このような輝度ムラが発生する原因の一つについて、以下で図面を用いて説明する。

40

【 0 0 2 7 】

図 4 は、表示装置 9 0 0 の各制御信号線及びデータ信号線 S I G に入力される信号の波形を示すタイミングチャートである。図 4 には、一フレーム周期における各信号の波形に加えて、駆動トランジスタ T D のゲート電極 g の電位 V g 及びソース電極 s の電位 V s の波形が示されている。なお、データ信号線 S I G においては、各行に対するデータ信号が、一水平走査期間毎に印加されている。図 4 に示されるように、まず、時点 T 0 において、参照信号線 R E F に出力される参照信号が高レベルとなり、参照トランジスタ T R E F のドレイン電極とソース電極との間が導通状態となる。これにより、駆動トランジスタ T D のゲート電極 g に、例えば 1 V 程度の参照電圧が印加される。参照信号線 R E F に入力

50

される参照信号は、時点T1において低レベルとなり、参照トランジスタTREFのドレイン電極とソース電極との間が非導通状態となる。時点T0から時点T1までの期間は、有機EL素子24を非発光状態とするための非発光期間である。

【0028】

続いて、時点T2において、初期化信号線INIに入力される初期化信号が高レベルとなる。これにより、初期化トランジスタTINIのドレイン電極とソース電極との間が導通状態となる。したがって、有機EL素子24の第一電極、駆動トランジスタTDのソース電極s及び容量素子20の当該第一電極に接続された電極の電位が、初期化される。図2に示される例では、例えば、有機EL素子24の第一電極などに、-3V程度の初期化電圧が印加される。

10

【0029】

続いて時点T3において、参照信号線REFに入力される参照信号が高レベルとなり、時点T0における動作と同様に、駆動トランジスタTDのゲート電極gに接続された電極に参照電圧が印加される。これにより、駆動トランジスタTDのゲート電極gには、1V程度の参照電圧が印加され、ソース電極sには、-3V程度の初期化電圧が印加された状態となる。つまり、駆動トランジスタTDのゲート電極gとソース電極sとの間、及び、容量素子20には、約4Vの電圧が印加された状態となる。ここで、駆動トランジスタTDとして、閾値電圧が4V未満であるものを用いる。この場合、駆動トランジスタTDのドレイン電極dとソース電極sとの間に、容量素子20に保持される電圧に応じた電流が流れる。このとき、有機EL素子24のアノードには、初期化トランジスタTINIを介して-3V程度の初期化電圧が印加されており、カソードには、カソード電源線VCATによって+1.5V程度のカソード電圧が印加されている。つまり、有機EL素子24には逆バイアスが印加されている状態となるため、有機EL素子24は発光しない。駆動トランジスタTDに流れる電流は、容量素子20に流れ込み、後述する閾値補償動作において用いられる。以下では、時点T2から後述する時点T4までの有機EL素子24の第一電極の電位を初期化する制御を初期化制御という。

20

【0030】

続いて、時点T4において、初期化信号線INIに入力される初期化信号が低レベルとなり、初期化トランジスタTINIのドレイン電極とソース電極との間が非導通状態となる。これにより時点T4以降においては、初期化電源線VINIから容量素子20への電圧供給が遮断され、かつ、有機EL素子24には、逆バイアスが印加されている。このため、駆動トランジスタTDのゲート電極gとソース電極sとの間に流れる電流は、容量素子20に流れ込む。これに伴い、駆動トランジスタTDのソース電極sに接続された容量素子20の電極の電位が徐々に上昇する。また、駆動トランジスタTDのゲート電極gとソース電極sとの間の電圧、つまり、容量素子20が保持する電圧が徐々に低下する。容量素子20が保持する電圧が、駆動トランジスタTDの閾値電圧に近付くと、駆動トランジスタTDのゲート電極gとソース電極sとの間に電流が流れなくなる。このように、容量素子20が保持する電圧は、駆動トランジスタTDの閾値電圧と等しい状態に維持される。なお、このとき、駆動トランジスタTDのソース電極sの電位が上昇しても、有機EL素子24に順方向閾値電圧以上の電圧が印加されないように、カソード電源線VCATに印加されるカソード電圧の値が設定されている。以上のように、表示装置900においては、駆動トランジスタTDの閾値電圧が補償される。続いて時点T5において、参照信号線REFに入力される参照信号が低レベルとなり、参照トランジスタTREFのドレイン電極とソース電極との間が非導通状態となる。以下では、時点T4から時点T5までの駆動トランジスタTDの閾値電圧を補償する制御を閾値補償制御という。

30

40

【0031】

続いて、時点T6において、書込み信号線WSに入力される信号が高レベルとなり、書込みトランジスタTWSのドレイン電極とソース電極との間が導通状態となる。これに伴い、データ信号線SIGに入力されたデータ信号に対応する電圧が、容量素子20に印加される。具体的には、容量素子20に印加される電圧Vgsは、データ信号の電圧Vsi

50

g、参照電圧 V_{ref} 、駆動トランジスタ T_D の閾値電圧 V_{th} 、容量素子 20 の容量 C_s 及び EL 容量素子 22 の容量 C_{oled} を用いて、以下のように表される。

【0032】

$$V_{gs} = (V_{sig} - V_{ref}) \times C_{oled} / (C_s + C_{oled}) + V_{th}$$

【0033】

続いて、時点 T_7 において、書込み信号線 WS に入力される信号が低レベルとなり、書込みトランジスタ T_{WS} のドレイン電極とソース電極との間が非導通状態となる。これに伴い、駆動トランジスタ T_D のゲート電極 g へのデータ信号の印加が解除されるので、駆動トランジスタ T_D のゲート電極 g の電位 V_g は上昇可能な状態となり、ソース電極 s の電位 V_s も上昇可能な状態となる。このとき、駆動トランジスタ T_D には、ドレイン電流が流れ、 EL 容量素子 22 が充電されることでブートストラップ動作が開始される。すなわち、有機 EL 素子 24 のアノード、つまり、駆動トランジスタ T_D のソース電極 s の電位 V_s が上昇し、これに伴い、駆動トランジスタ T_D のゲート電極 g の電位 V_g も上昇する。このブートストラップ動作において、駆動トランジスタ T_D のソース電極 s の電位 V_s が上昇することによって、有機 EL 素子 24 の逆バイアス状態が解消されるため、駆動トランジスタ T_D の出力電流が有機 EL 素子 24 に流れる。これにより、有機 EL 素子 24 は、データ信号が示す表示階調に応じた輝度で発光する。

【0034】

表示装置 900 の表示部 902 において、複数の画素回路 90 の各々が順次以上のような動作を行う。

【0035】

続いて、複数の画素回路 90 が順次以上のような動作を行う場合に起こる現象について、図面を用いて説明する。図 5 及び図 6 は、それぞれ、従来技術の表示装置 900 において起こる第一及び第二の現象を説明する回路図である。

【0036】

図 4 の時点 T_2 において、有機 EL 素子 24 の第一電極（アノード）に $-3V$ 程度の初期化電圧が印加される直前まで、第一電極には、 $1V$ 程度の参照電圧が印加された状態である。時点 T_2 において、図 5 の矢印（ 1 ）で示されるように、初期化電圧が第一電極に印加される。これに伴い、第一電極の電位が $1V$ 程度から $-3V$ 程度まで急激に低下する（図 5 の矢印（ 2 ）参照）。ここで、第一電極と第二電極との間には、上述のとおり EL 容量素子 22 が存在する。また、第二電極とカソード電源線 V_{CAT} との間には、接触抵抗 25 が存在するため、第二電極の電位は変動し得る。特に、第二電極からカソード電源線 V_{CAT} に流れる電流の密度が小さい場合には、接触抵抗 25 の抵抗値が大きくなるため、第二電極の電位変動が顕著となる。このため、第一電極の電位低下に伴って、第二電極の電位も低下する（図 5 の矢印（ 3 ）参照）。

【0037】

ここで、接触抵抗 25 の抵抗値の非線形性について図面を用いて説明する。図 7 は、画素回路 90 の有機 EL 素子 24 の第二電極とカソード電源線 V_{CAT} との間の接触抵抗 25 の電圧 - 電流密度特性の概要を示すグラフである。図 7 に示されるように、接触抵抗 25 の電圧 - 電流密度特性は非線形を有する。つまり、接触抵抗 25 の抵抗値は、電流密度に応じて変化する。接触抵抗 25 の抵抗値は、電流密度が小さいほど大きくなる。

【0038】

このような接触抵抗 25 の抵抗値の非線形性が生じる原因について、図面を用いて説明する。図 8 及び図 9 は、それぞれ、接触抵抗 25 が発生するコンタクト領域の一例及び他の例を示す模式的な断面図である。図 8 には、有機 EL 素子 24 及び接触抵抗 25 が形成される領域の断面が示されている。図 9 には、赤、緑及び青の光をそれぞれ出射する有機 EL 素子 $24R$ 、 $24G$ 及び $24B$ と、接触抵抗 25 が形成される領域の断面が示されている。図 9 に示される有機 EL 素子 $24R$ 、 $24G$ 及び $24B$ は、図 2 に示される有機 EL 素子 24 の一例である。なお、図 8 及び図 9 においては、画素回路 90 における薄膜トランジスタなどが形成された層は省略されている。

【 0 0 3 9 】

図 8 に示される例では、表示部 9 0 2 には複数の画素回路 9 0 にそれぞれ対応する複数の有機 E L 素子 2 4 が配置されている。複数の有機 E L 素子 2 4 は、共通の基板 9 1 2 上に形成されている。有機 E L 素子 2 4 の各々は、第一電極 2 4 1 と、第二電極 2 4 2 と、第一有機 E L 層 2 4 3 と、第二有機 E L 層 2 4 4 とを備える。有機 E L 素子 2 4 の各々は、バンク 2 4 5 によって分離されている。なお、有機 E L 素子 2 4 の各々は、これらの層以外の層を備えてもよい。

【 0 0 4 0 】

第一電極 2 4 1 は、例えば、有機 E L 素子 2 4 のアノードであり、バンク 2 4 5 によって、隣り合う有機 E L 素子 2 4 の第一電極 2 4 1 と分離されている。

10

【 0 0 4 1 】

第一有機 E L 層 2 4 3 は、有機材料からなる層であり、例えば、有機発光層である。第一有機 E L 層 2 4 3 は、バンク 2 4 5 によって、隣り合う有機 E L 素子 2 4 の第一電極 2 4 1 と分離されている。複数の第一有機 E L 層 2 4 3 は、同一の有機材料膜をパターンニングすることによって形成されてもよいし、例えば、発光色に応じて異なる有機材料膜が形成されてもよい。

【 0 0 4 2 】

第二有機 E L 層 2 4 4 は、有機材料からなる層であり、例えば、電子輸送層である。図 8 に示される例では、第二有機 E L 層 2 4 4 は、有機 E L 素子 2 4 毎にパターンニングせずに、第一有機 E L 層 2 4 3 及びバンク 2 4 5 上に一体的に設けられている。これにより、第二有機 E L 層 2 4 4 の形成において、パターンニングの工程が不要となるため、有機 E L 素子 2 4 の製造工程を簡素化できる。これに伴い、精度の高いマスクパターン形成が不要となるため、マスクコスト及び表示パネル製造コストを低減できる。

20

【 0 0 4 3 】

第二電極 2 4 2 は、例えば、有機 E L 素子 2 4 のカソードであり、図 8 に示される例では、第二電極 2 4 2 は、有機 E L 素子 2 4 毎にパターンニングせずに、第二有機 E L 層 2 4 4 上に一体的に設けられている。これにより、第二電極 2 4 2 の形成において、パターンニングの工程が不要となるため、有機 E L 素子 2 4 の製造工程を簡素化できる。

【 0 0 4 4 】

図 8 に示される例では、カソード電源線 V C A T は、表示部 9 0 2 の外部に配置されている。カソード電源線 V C A T は、例えば、第一電極 2 4 1 と同じ導電材料を用いて形成されてもよい。カソード電源線 V C A T は、表示部 9 0 2 の外部のコンタクト領域 9 0 2 c において、第二電極 2 4 2 と接触している。このコンタクト領域 9 0 2 c において、接触抵抗 2 5 が発生する。

30

【 0 0 4 5 】

図 9 に示される例では、表示部 9 0 2 にカソード電源線 V C A T 及びコンタクト領域 9 0 2 c が配置されている点において、図 8 に示される例と相違する。また、表示部 9 0 2 に配置される各画素 9 2 は、赤、緑及び青の光をそれぞれ出射する有機 E L 素子 2 4 R、2 4 G 及び 2 4 B を有する。また、有機 E L 素子 2 4 R、2 4 G 及び 2 4 B の各々の構成は、図 8 に示される例と同様である。有機 E L 素子 2 4 R、2 4 G 及び 2 4 B が備える第一有機 E L 層 2 4 3 は、それぞれ異なる有機材料で形成されてもよい。

40

【 0 0 4 6 】

図 8 及び図 9 に示される各例のコンタクト領域 9 0 2 c において、例えば、カソード電源線 V C A T と、第二電極 2 4 2 との間に、有機 E L 層が配置されることによって、接触抵抗 2 5 が有機 E L 素子 2 4 と同様にダイオード特性を有し得る。これにより、接触抵抗 2 5 の抵抗値が、図 7 に示されるような非線形性を有する。

【 0 0 4 7 】

なお、接触抵抗 2 5 が、非線形性を有する構成はこれに限定されない。例えば、有機 E L 素子 2 4 の発光効率を高めるために、第一電極 2 4 1 の表面に薄い絶縁膜を形成する場合がある。この場合において、製造工程を簡略化するために、カソード電源線 V C A T を

50

、第一電極 241 と同一の材料を用いて、同一工程で形成すると、カソード電源線 VCAT の表面にも絶縁膜が形成される。この場合も、接触抵抗 25 の抵抗値が非線形性を有し得る。

【0048】

なお、コンタクト領域 902c などの構成は、図 8 及び図 9 に示される例に限定されない。例えば、図 8 及び図 9 においては、有機 EL 素子は、有機 EL 素子毎に分離された層と、分離されていない層とを備えたが、いずれか一方の層だけを備えてもよい。また、図 9 では、各画素 992 が赤、緑及び青の光を出射する有機 EL 素子を備える構成を示したが、各画素 992 が、さらに、白色光を出射する有機 EL 素子を備えてもよい。また、各画素 992 が一つの色の光を出射する有機 EL 素子だけを備えてもよい。また、図 9 に示される例では、画素 992 毎にカソード電源線 VCAT が形成されているが、複数の画素 992 毎に一つのカソード電源線 VCAT が形成されてもよい。

10

【0049】

また、カソード電源線 VCAT を、第一電極 241 と同一の材料を用いて、同一工程で形成する例を示したが、カソード電源線 VCAT の少なくとも一部を、画素回路 90 などに含まれる薄膜トランジスタを形成する層と同一の材料を用いて薄膜トランジスタと同一工程で形成してもよい。

【0050】

画素回路 90 において発生する現象の説明に戻る。図 6 に示される有機 EL 素子 24 の第二電極は、複数の画素回路 90 において共用されているため、一つの画素回路 90 における第二電極の電位低下に伴って、当該画素回路の近傍に配置された他の画素回路 90 の第二電極の電位も低下する（図 6 の矢印（1）参照）。当該他の画素回路 90 の第二電極の電位低下に伴って、第二電極と EL 容量素子 22 とを介して接続される第一電極の電位も低下する（図 6 の矢印（2）参照）。このとき、当該他の画素回路 90 において、閾値補償制御が行われている場合（図 4 の時点 T4 から時点 T5 までの期間にある場合）、第一電極の電位、つまり、駆動トランジスタ TD のソース電極 s の電位 Vs が低下することで、適切に閾値電圧の補償が行われない場合がある。つまり、駆動トランジスタ TD のソース電極 s の電位 Vs が低下することで、容量素子 20 が保持する電圧（図 6 の矢印（3）参照）が、閾値電圧より高くなる。このような現象が発生しても、引き続き閾値補償動作期間が続けば、容量素子 20 及び EL 容量素子 22 の充放電が行われることによって、容量素子 20 が保持する電圧は、駆動トランジスタ TD の閾値電圧に近づく。しかしながら、上記現象が、閾値補償動作期間（図 2 の時点 T4 から時点 T5 までの期間）の終了間際に発生した場合には、容量素子 20 が保持する電圧が、閾値電圧より高い状態のまま、閾値電圧補償期間が終了する。このため、当該他の画素回路 90 において、データ信号に相当する電圧が印加される場合、容量素子 20 が保持する電圧が、データ信号に相当する電圧より高くなる。これに伴い、有機 EL 素子 24 の輝度がデータ信号に対応する輝度より高くなる。

20

30

【0051】

このように、一つの画素回路 90 における初期化制御に伴って、他の画素回路 90 における有機 EL 素子 24 の輝度がデータ信号に対応する輝度より高くなり得る。しかしながら、表示部 902 のうち、垂直走査方向の走査の終端近傍の画素では、閾値補償制御の期間中に、他の画素回路 90 で初期化制御が行われていないため、このような輝度の増大現象は発生しない。このような現象について、図面を用いて説明する。

40

【0052】

図 10 は、従来技術の表示装置 900 の一フレーム期間における画素回路 90 の第二電極（つまり、カソード）の電位波形を示すグラフである。図 10 は、複数の画素回路 90 が行列状に配置された表示部 902 における有機 EL 素子 24 の第二電極の電位を示す。表示部 902 では、複数の画素回路 90 のすべての第二電極が繋がっている。つまり、複数の画素回路 90 のすべての第二電極は、単一の導電膜で形成されている。図 10 では、表示部 902 における垂直走査の向きが表示部 902 の上側の行から下側の行へ向かう向

50

きである場合の波形が示されている。

【 0 0 5 3 】

図 1 1 A ~ 図 1 1 D は、それぞれ、従来技術の表示装置 9 0 0 の時点 $t = t_a \sim t_d$ において閾値補償制御を受ける画素回路 9 0 が含まれる行、及び、初期化制御を受ける画素回路 9 0 が含まれる行の表示部 9 0 2 における位置を示す概略図である。図 1 1 A ~ 図 1 1 D において、閾値補償制御を受ける画素回路 9 0 が含まれる行が R 1 a ~ R 1 d で、初期化制御を受ける画素回路 9 0 が含まれる行が R 2 a ~ R 2 d で、それぞれ示される。

【 0 0 5 4 】

図 1 1 A ~ 図 1 1 C に示されるように、時点 $t = t_c$ までは、画素回路 9 0 が閾値補償制御を受ける際に、他の画素回路 9 0 (行 R 2 a ~ R 2 c) において、初期化制御が行われ 10
れる。これにより、図 5 を用いて説明したとおり、当該他の画素回路 9 0 の第二電極の電位は、カソード電源線 V C A T の電位より低くなる。ここで、第二電極は、すべての画素回路 9 0 で繋がっているため、時点 $t = t_c$ までに閾値補償制御を受ける画素回路 9 0 の有機 E L 素子 2 4 の第二電極の電位は、第二電極と接触抵抗 2 5 を介して接続されたカソード電源線 V C A T の電位 (1 . 4 V 程度) より低くなる (図 1 0 参照) 。このため、時点 $t = t_c$ までは、有機 E L 素子 2 4 の輝度は、データ信号に対応する輝度より高くなる。

【 0 0 5 5 】

一方、時点 $t = t_c$ より後の時点では、画素回路 9 0 が閾値補償制御を受ける際に、他の画素回路 9 0 において、初期化制御が行われない。つまり、すべての画素回路 9 0 にお 20
いて、初期化制御が行われない。このように、時点 $t = t_c$ より後の時点では、第二電極の電位を低下させる要因がないため、図 1 0 に示されるように、第二電極の電位は、カソード電源線 V C A T (1 . 4 V 程度) の電位とほぼ等しくなる。したがって、時点 $t = t_c$ より後の時点で閾値補償制御を受ける画素回路 9 0 の有機 E L 素子 2 4 の第二電極の電位は、カソード電源線 V C A T の電位とほぼ等しくなる。このため、有機 E L 素子 2 4 の輝度は、データ信号に対応する輝度となる。

【 0 0 5 6 】

以上のような現象が発生することで、図 3 に示されるように、表示部 9 0 2 の下方に他の領域より輝度が低い領域 9 0 2 a が発生する。

【 0 0 5 7 】

そこで、本開示は、有機 E L 素子を用いる表示装置において、上述したような輝度ムラを低減することを目的とする。

【 0 0 5 8 】

上記目的を達成するために、本開示の一態様に係る表示装置は、表示パネルと、前記表示パネルを制御する制御回路とを備え、前記表示パネルは、前記表示パネルの表示領域に行列状に配置された複数の画素回路と、前記表示領域の外側に配置された一つ以上のダミー画素回路とを有し、前記複数の画素回路の各々は、第一電極及び第二電極を有する有機 E L 素子と、電圧を保持するための容量素子と、前記有機 E L 素子の第一電極と接続され、前記容量素子に保持された電圧に応じた電流を前記有機 E L 素子に供給する駆動トランジスタとを有し、前記一つ以上のダミー画素回路の各々は、第一ダミー電極及び第二ダ 40
ミー電極を有し、前記第二ダミー電極として前記第二電極を前記有機 E L 素子と共有するダミー容量素子を有し、前記制御回路は、前記複数の画素回路の各々に対して、前記駆動トランジスタの閾値電圧を補償する閾値補償制御を行う期間内に、前記複数の画素回路の他の少なくとも一つの画素回路に対して前記有機 E L 素子の前記第一電極の電位を初期化する初期化制御、及び、前記ダミー容量素子の前記第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行う。

【 0 0 5 9 】

これにより、複数の画素回路のすべてにおいて、閾値補償動作の期間中に、有機 E L 素子の第二電極の電位を低下させることができる。これにより、複数の画素回路間における動作条件の差を低減できる。このため、本開示に係る表示装置では、輝度ムラを低減させ 50

ることができる。

【0060】

また、本開示の一態様に係る表示装置において、前記制御回路は、行列状に配置された前記複数の画素回路のうち発光させる画素回路を垂直走査方向に走査し、前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向に配置されてもよい。

【0061】

これにより、ダミー画素回路が配置された領域に向かって、発光させる画素回路を走査することで、ダミー画素回路を初期化制御する際に閾値補償制御を行う画素回路と、ダミー画素回路との距離を低減できる。これにより、ダミー画素回路の初期化制御によって生じる有機EL素子の第二電極の電位低下の影響を、閾値補償制御を受けている画素回路により確実に与えることができる。

10

【0062】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、行列状の前記複数の画素回路のうち、最後に走査される行の画素回路と隣り合う領域に配置されてもよい。

【0063】

これにより、ダミー画素回路を初期化制御する際に閾値補償制御を行う画素回路と、ダミー画素回路との距離を低減できる。

【0064】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、前記表示領域に対して前記垂直走査方向の両側に配置されてもよい。

20

【0065】

これにより、画素回路の垂直走査の向きが垂直方向のどちらの向きである場合においても、ダミー画素回路を初期化制御する際に閾値補償制御を行う画素回路と、ダミー画素回路との距離を低減できる。

【0066】

また、本開示の一態様に係る表示装置において、行列状に配置された前記複数の画素回路のうち、最後に走査される行の少なくとも一方の端に位置する画素回路の前記垂直走査方向には、前記一つ以上のダミー画素回路は配置されなくてもよい。

【0067】

これにより、表示パネルのダミー画素回路が配置されていない角部に空きスペースを設けることができる。

30

【0068】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、前記複数の画素回路の水平走査方向に並べられた複数の領域に配置されてもよい。

【0069】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、行列状に配置され、前記一つ以上のダミー画素回路の配置の行数は、前記表示パネルの一フレーム期間のうち垂直ブランキング期間に含まれる水平走査期間数と等しくてもよい。

【0070】

これにより、垂直ブランキング期間にわたって、画素回路と同様にダミー画素回路を走査することで、表示装置の輝度ムラを抑制できる。

40

【0071】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、行列状に配置され、行列状に配置された前記一つ以上のダミー画素回路の各行におけるダミー画素回路の個数は、前記表示領域から遠ざかるにしたがって減少してもよい。

【0072】

これにより、有機EL素子の輝度が、垂直方向に徐々に低下するため、輝度ムラが目立ち難くすることができる。また、ダミー画素回路が配置されていない表示パネルの角部に空きスペースを設けることができる。

50

【0073】

また、本開示の一態様に係る表示装置において、前記一つ以上のダミー画素回路は、行列状に配置され、前記一つ以上のダミー画素回路の配置の行数は、前記表示パネルの一フレーム期間のうちブランキング期間に含まれる水平走査期間数より少なくてもよい。

【0074】

このような構成において、一フレーム周期において、特定の行に含まれるダミー画素回路に対して、複数回、初期化制御を行うことで、閾値補償制御を受ける期間に他の画素回路90が初期化制御されないすべての画素回路に対して、閾値補償制御を受ける期間に、ダミー画素回路の初期化制御を行うことができる。

【0075】

また、本開示の一態様に係る表示装置において、前記表示パネルは、前記複数の画素回路に初期化電圧を供給する初期化電源線を備え、前記初期化電源線は、前記複数の画素回路の水平走査方向に延びる水平走査方向配線と、前記複数の画素回路の垂直走査方向に延びる垂直走査方向配線とを有し、前記垂直走査方向配線は、前記水平走査方向配線より単位長さ当たりの抵抗が大きくてもよい。

【0076】

これにより、初期化電源線の電位変動量を抑制しつつ、電位変動回数の増加の影響を抑制することができる。

【0077】

また、本開示の一態様に係る表示装置において、前記画素回路は、参照電圧が印加される参照電源線と、前記参照電源線と前記駆動トランジスタのゲート電極との間に接続される参照トランジスタと、前記有機EL素子に供給する電流に対応する電圧が印加されるデータ信号線と、前記データ信号線と前記駆動トランジスタのゲート電極との間に接続される書き込みトランジスタとをさらに有してもよい。

【0078】

また、本開示の一態様に係る表示装置において、前記参照トランジスタは、書き込みトランジスタよりLDD(Lightly Doped Drain)長が大きくてもよい。

【0079】

これにより、画素回路の参照トランジスタにおけるリーク電流を低減できる。

【0080】

また、本開示の一態様に係る表示装置において、前記参照トランジスタは、書き込みトランジスタよりチャネル長に対するチャネル幅の比が小さくてもよい。

【0081】

これにより、画素回路の参照トランジスタにおけるリーク電流を低減できる。

【0082】

また、本開示の一態様に係る表示装置において、前記参照トランジスタは、書き込みトランジスタよりゲート数が多くてもよい。

【0083】

これにより、画素回路の参照トランジスタにおけるリーク電流を低減できる。

【0084】

また、本開示の一態様に係る表示装置において、前記参照トランジスタは、二つのゲートと、チャネル層を形成する半導体層とを有し、前記半導体層の平面視において、前記二つのゲートの間に配置される前記半導体層は、L字状の形状を有してもよい。

【0085】

これにより、画素回路の参照トランジスタにおけるリーク電流を低減できる。

【0086】

以下、本開示の実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本開示を限定する主旨ではない。よって

10

20

30

40

50

、以下の実施の形態における構成要素のうち、本開示における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【 0 0 8 7 】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【 0 0 8 8 】

また、各図は模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。なお、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

10

【 0 0 8 9 】

(実施の形態 1)

実施の形態 1 に係る表示装置について説明する。

【 0 0 9 0 】

[1 - 1 . 全体構成]

まず、本実施の形態に係る表示装置 9 の全体構成について図面を用いて説明する。図 1 2 は、本実施の形態に係る表示装置 9 の機能構成を示すブロック図である。表示装置 9 は、例えば、有機 E L ディスプレイなどの画像表示装置である。図 1 2 に示されるように、表示パネル 1 0 と、制御回路 3 とを備える。表示装置 9 は、電源回路 6 をさらに備える。表示パネル 1 0 は、表示部 2 と、走査線駆動回路 4 と、信号線駆動回路 5 とを有する。

20

【 0 0 9 1 】

制御回路 3 は、表示パネル 1 0 を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部 2 において表示されるように、走査線駆動回路 4 、信号線駆動回路 5 を制御する。

【 0 0 9 2 】

電源回路 6 は、表示装置 9 の動作の電圧を、表示装置 9 の各部に供給する。

【 0 0 9 3 】

表示部 2 は、表示パネル 1 0 の表示領域 P a に行列状に配置された複数の画素回路 9 0 と、表示領域の外側 (ダミー領域 P d) に配置された一つ以上のダミー画素回路 9 0 d とを有する。行列状に配置された複数の画素回路 9 0 の各行には同じ行に配置される複数の画素回路 9 0 に共通に接続される制御信号線が設けられ、当該行列の各列には同じ列に配置される複数の画素回路 9 0 に共通に接続されるデータ信号線 S I G が設けられる。

30

【 0 0 9 4 】

複数の画素回路 9 0 の各々は、上述した従来技術の画素回路 9 0 と同様の構成を有する。画素回路 9 0 は、図 2 に示されるように、第一電極及び第二電極を有する有機 E L 素子 2 4 と、電圧を保持するための容量素子 2 0 とを有する。画素回路 9 0 は、さらに、有機 E L 素子 2 4 の第一電極と接続され、容量素子 2 0 に保持された電圧に応じた電流を有機 E L 素子に供給する駆動トランジスタ T D を有する。画素回路 9 0 は、さらに、参照トランジスタ T R E F と、書込みトランジスタ T W S と、初期化トランジスタ T I N I とを有する。複数の画素回路 9 0 の各々には、走査線駆動回路 4 から出力される各制御信号を供給する参照信号線 R E F 、書込み信号線 W S 及び初期化信号線 I N I が接続される。また、複数の画素回路 9 0 の各々には、信号線駆動回路 5 から出力されるデータ信号を供給するデータ信号線 S I G が接続される。

40

【 0 0 9 5 】

一つ以上のダミー画素回路 9 0 d について図面を用いて説明する。図 1 3 は、本実施の形態に係る表示装置 9 のダミー画素回路 9 0 d の一例を示す回路図である。図 1 3 に示されるように、一つ以上のダミー画素回路 9 0 d の各々は、第一ダミー電極及び第二ダミー電極を有するダミー容量素子 2 2 d を有する。ダミー画素回路 9 0 d は、第二ダミー電極として第二電極を画素回路 9 0 の有機 E L 素子 2 4 と共有する。

【 0 0 9 6 】

50

図 13 に示される例では、ダミー画素回路 90 d は、有機 EL 素子 24 に代えて、ダミー容量素子 22 d を有する点において、画素回路 90 と相違し、その他の点において一致する。つまり、ダミー画素回路 90 d は、ダミー容量素子 22 d と、容量素子 20 と、駆動トランジスタ TD と、参照トランジスタ TREF と、書込みトランジスタ TWS と、初期化トランジスタ TIN I とを有する。

【0097】

ダミー容量素子 22 d の第一ダミー電極は、ダミー容量素子 22 d の二つの電極のうち、駆動トランジスタ TD のソース電極 s に接続される電極である。ダミー容量素子 22 d の第二ダミー電極は、ダミー容量素子 22 d の二つの電極のうち、カソード電源線 VCAT に接続される電極である。第二ダミー電極は、複数の画素回路 90 の有機 EL 素子 24 の第二電極と同一の導電膜で形成されてもよい。

10

【0098】

ダミー画素回路 90 d には、走査線駆動回路 4 から出力される各制御信号を供給する参照信号線 REF、書込み信号線 WS 及び初期化信号線 IN I が接続される。また、ダミー画素回路 90 d には、信号線駆動回路 5 から出力されるデータ信号を供給するデータ信号線 SIG が接続される。

【0099】

ダミー容量素子 22 d として、例えば、有機 EL 素子 24 を用いることができる。これにより、ダミー画素回路 90 d の構成を画素回路 90 と共通化できるため、表示パネル 10 の製造工程を単純化できる。また、検査工程において、ダミー容量素子 22 d としての有機 EL 素子 24 を発光させることで、ダミー画素回路 90 d の動作を容易に検査できる。また、検査工程において、ダミー画素回路 90 d を動作させ、有機 EL 素子 24 を発光させることで、有機 EL 素子 24 の発光効率、電流 - 電圧特性及び色度を検査できる。このようにダミー画素回路 90 d を用いて、有機 EL 素子 24 の検査を行うことで、複数の画素回路 90 を用いずに、有機 EL 素子 24 の評価を行うことができる。このため、複数の画素回路 90 の有機 EL 素子 24 を劣化させることなく、有機 EL 素子 24 の検査を行うことができる。

20

【0100】

また、ダミー画素回路 90 d に接続する各信号線を、複数の画素回路 90 に接続する各信号線とは別に引き出しておけば、当該信号線を用いてダミー画素回路 90 d だけに信号を供給できる。これにより、検査用の機器をより簡素化できる。

30

【0101】

ダミー容量素子 22 d として、有機 EL 素子 24 を用いる場合、ダミー画素回路 90 d におけるダミー容量素子 22 d としての有機 EL 素子 24 が発光した場合に光を外部に漏らさないために、有機 EL 素子 24 の発光面にブラックマトリックスを設けてもよい。ブラックマトリックスは、ダミー画素回路 90 d の検査後に設けられてもよい。このようなブラックマトリックスの形成工程は、例えば、ダミー画素回路 90 d の検査後にブラックマトリックスが形成されたカラーフィルタを表示パネルに貼ることで実現できる。また、ダミー画素回路 90 d にデータ信号として黒色に対応する信号（黒データ）を印加してもよい。これにより、ダミー画素回路 90 d における消費電力を低減できる。

40

【0102】

ダミー容量素子 22 d として、有機 EL 素子 24 の EL 容量素子 22 と同等の容量を有する容量素子を用いてもよい。このようなダミー容量素子 22 d として、例えば、有機 EL 素子 24 のうち、発光層だけを取り除いた素子を用いてもよい。これにより、発光しない素子をダミー容量素子 22 d として用いることができるため、発光面にブラックマトリックスを配置したり、ダミー画素回路 90 d に黒データを印加したりしなくてよい。

【0103】

また、ダミー容量素子 22 d として、第一ダミー電極と第二ダミー電極との間に、有機 EL 素子 24 の二つの電極間に積層される各層のうち、少なくとも一つの層を積層した素子を用いてもよい。これにより、第一ダミー電極と第二ダミー電極との間に積層する層を

50

適宜選択することで、有機EL素子24よりも、第一ダミー電極と第二ダミー電極との間の膜厚が薄いダミー容量素子22d、つまり、容量の大きいダミー容量素子22dを実現できる。このようなダミー容量素子22dとして用いることで、第一ダミー電極と第二ダミー電極との間のカップリングを、より増大できる。したがって、初期化制御の際に、第一ダミー電極の電位低下に伴う第二ダミー電極の電位低下をより確実に実現できる。

【0104】

また、ダミー容量素子22dとして、最も容量の大きい発光色の有機EL素子24だけを用いてもよい。つまり、表示装置9の複数の画素回路90では、RGB又はRGBWの3～4色の発光色の有機EL素子24が用いられるが、それらの有機EL素子24のうち、最も容量の大きいものだけでダミー容量素子22dが形成されてもよい。例えば、青色の発光色を有する有機EL素子24だけでダミー容量素子22dが形成されてもよい。これにより、第一ダミー電極と第二ダミー電極との間のカップリングをより増大でき、かつ、ダミー容量素子22dの製造工程を単純化できる。

10

【0105】

また、ダミー容量素子22dとして、有機EL素子24を用いる場合に、ダミー画素回路間に有機EL素子24を区画するためのバンク又はリブを設けなくてもよい。これにより、ダミー容量素子22dとしての有機EL素子24の開口率を高めることができるため、ダミー容量素子22dの容量を増大できる。

【0106】

また、ダミー容量素子22dとして、第一ダミー電極と第二ダミー電極との間をバンク又はリブで埋めた素子を用いてもよい。このような構成において、バンク又はリブの膜厚を変更できる場合には、当該膜厚を薄くしてもよい。これにより、ダミー容量素子22dの容量を増大できる。

20

【0107】

また、ダミー容量素子22dとして、第一ダミー電極と第二ダミー電極との間を任意の絶縁膜で埋めた素子を用いてもよい。このような構成において絶縁膜の膜厚を変更できる場合には、膜厚を調整することで、ダミー容量素子22dの容量を調節してもよい。

【0108】

走査線駆動回路4は、制御信号線を介して、画素回路90に対し、画素回路90の動作を制御するための制御信号を供給する。本実施の形態では、走査線駆動回路4は、制御信号として、参照信号、初期化信号及び書込み信号を出力する。参照信号、初期化信号及び書込み信号は、それぞれ、参照信号線REF、初期化信号線INI及び書込み信号線WSを介して、参照トランジスタTREF、初期化トランジスタTINI及び書込みトランジスタTWSに供給される。走査線駆動回路4は、ダミー画素回路90dにも制御信号を供給してもよい。

30

【0109】

信号線駆動回路5は、データ信号線SIGを介して、画素回路90に対し、発光輝度に対応するデータ信号を供給する。信号線駆動回路5は、ダミー画素回路90dにもデータ信号を供給してもよい。

【0110】

制御回路3は、表示装置9の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部2の表示領域Paに表示されるように、走査線駆動回路4及び信号線駆動回路5を制御する。

40

【0111】

電源回路6は、表示装置9の動作の電圧を、表示装置9の各部に供給する。

【0112】

[1-2.動作]

本実施の形態の表示装置9の動作について説明する。本実施の形態に係る表示装置9においては、制御回路3は、複数の画素回路90に対して、従来技術の表示装置900の制御回路903と同様に、図4のタイミングチャートを用いて説明したとおりの動作を行う

50

。さらに、本実施の形態に係る表示装置 9 においては、制御回路 3 は、複数の画素回路 9 0 の各々に対して、駆動トランジスタ T D の閾値電圧を補償する閾値補償制御を行う期間内に、複数の画素回路 9 0 の他の少なくとも一つの画素回路 9 0 に対して有機 E L 素子 2 4 の第一電極の電位を初期化する初期化制御、及び、ダミー画素回路 9 0 d におけるダミー容量素子 2 2 d の第一ダミー電極の電位を初期化するダミー初期化制御の少なくとも一方を行う。以下、本実施の形態に係る表示装置 9 の動作について、従来技術の表示装置 9 0 0 の動作と比較しながら説明する。

【 0 1 1 3 】

本実施の形態に係る表示装置 9 においては、従来技術の表示装置 9 0 0 と同様に、画素回路 9 0 に対して、閾値補償制御を行う期間内に、他の画素回路 9 0 に対して初期化制御を行わない場合がある（図 1 1 D 参照）。本実施の形態に係る表示装置 9 では、このような場合には、制御回路 3 は、ダミー画素回路 9 0 d におけるダミー容量素子 2 2 d の第一ダミー電極の電位を初期化するダミー初期化制御を行う。これにより、画素回路 9 0 に対して初期化制御を行う場合と同様に、ダミー容量素子 2 2 d の第一ダミー電極の電位が低下する。ここで、ダミー容量素子 2 2 d は、第二ダミー電極として、有機 E L 素子 2 4 の第二電極を共有する。このため、第一ダミー電極の電位を低下させることで、有機 E L 素子 2 4 の第二電極の電位を低下させることができる。これにより、複数の画素回路 9 0 のすべてにおいて、閾値補償動作の期間中に、有機 E L 素子 2 4 の第二電極の電位を低下させることができる。これに伴い、従来技術の表示装置 9 0 0 について説明したように、データ信号に対応する輝度より高い輝度で有機 E L 素子 2 4 を発光させることができる。このため、本実施の形態に係る表示装置 9 では、図 3 を用いて説明したような従来技術の表示装置 9 0 0 において発生する輝度ムラを低減させることができる。

【 0 1 1 4 】

また、本実施の形態に係る表示装置 9 においては、従来技術の表示装置 9 0 0 と同様に、制御回路 3 は、行列状に配置された複数の画素回路 9 0 のうち発光させる画素回路 9 0 を垂直方向（つまり、図 1 2 の上下方向）に走査する。また、図 1 2 に示されるように、一つ以上のダミー画素回路 9 0 d は、表示領域 P a に対して垂直走査方向に配置される。

【 0 1 1 5 】

この場合、ダミー画素回路 9 0 d が配置された領域に向かって、発光させる画素回路 9 0 を走査することで、ダミー画素回路 9 0 d を初期化制御する際に閾値補償制御を行う画素回路 9 0 と、ダミー画素回路 9 0 d との距離を低減できる。つまり、図 1 2 に示される例では、発光させる画素回路 9 0 を図 1 2 の上から下に向けて走査することで、ダミー画素回路 9 0 d を初期化制御する際に閾値補償制御を行う画素回路 9 0 と、ダミー画素回路 9 0 d との距離を低減できる。これにより、ダミー画素回路 9 0 d の初期化制御によって生じる有機 E L 素子 2 4 の第二電極の電位低下の影響を、閾値補償制御を受けている画素回路 9 0 により確実に与えることができる。

【 0 1 1 6 】

なお、ダミー画素回路 9 0 d の行数は、閾値補償制御を受ける期間に他の画素回路 9 0 が初期化制御されない画素回路 9 0 が含まれる行数より少なくてもよい。

【 0 1 1 7 】

例えば、ダミー画素回路 9 0 d は一行だけ配置されてもよい。ダミー画素回路 9 0 d は表示領域 P a と異なり一フレームの間発光させる必要がないことから、同一のダミー画素回路 9 0 d を一水平走査期間毎に初期化されれば、一行だけ配置してもよい。ダミー画素回路 9 0 d が一行だけ配置される場合には、一水平走査期間内で、初期化制御と、次の初期化制御の際に電位が変化するように、初期化電圧とは異なる別の電圧を第一ダミー電極に入力すれば、第二電極の電位低下を実現できる。初期化電圧と異なる電圧を入力する際に、第二ダミー電極に、初期化とは逆方向の電位変化が容量結合により伝わる可能性があるため、初期化電圧と異なる電圧は、ダミー画素回路 9 0 d の第一ダミー電極にゆっくりと充電し、容量結合が起きにくいようにすることが好ましい。

【 0 1 1 8 】

以上のような制御を行うことなく単純な制御でダミー初期化制御を行うためには、ダミー画素回路 90 d は、少なくとも二行配置されればよい。この場合、少なくとも二行のダミー画素回路 90 d のうち、一行分において初期化制御を実施し、残る行において、初期化電圧と異なる電圧を印加する。このように、初期化制御と、初期化電圧と異なる電圧の印加とを繰り返し実施する。

【0119】

初期化制御、及び、初期化電圧と異なる電圧の印加の周期は、ダミー画素回路 90 d の行数により異なる。当該行数が二であれば、一水平走査期間毎に、初期化制御と、初期化電圧と異なる電圧の印加とを交互に繰り返す。三行以上ある場合には一水平走査期間毎に順に初期化制御を行う行を変え、初期化制御を行わない行において、初期化電圧と異なる電圧の印加を行う。

10

【0120】

なお初期化電圧と異なる電圧を印加するために要する時間より、初期化制御終了時点から次の初期化制御開始時点までの時間の方が長い場合には、電圧を印加せずに、状態を保持しておく期間を設けてもよい。

【0121】

また、初期化電圧と異なる電圧は、例えば、参照電圧又はデータ信号の電圧であってもよいし、画素回路 90 において用いられる電圧以外の電圧（図 23 を用いて後述するダミー用信号線 Va に印加された電圧など）であってもよい。

【0122】

20

また、本実施の形態に係る表示装置 9 においては、一つ以上のダミー画素回路 90 d は、行列状の複数の画素回路 90 のうち、最後に走査される行の画素回路 90 と隣り合う領域に配置される。

【0123】

これにより、ダミー画素回路 90 d を初期化制御する際に閾値補償制御を行う画素回路 90 と、ダミー画素回路 90 d との距離を低減できる。なお、最後に走査される行の画素回路 90 と隣り合う領域とは、表示領域 Pa の外部であって、最後に走査される行の画素回路 90 と、それと対向する表示パネル 10 の端縁との間の領域を意味する。例えば、当該領域は、最後に走査される行の画素回路 90 と接する領域だけに限定されない。画素回路 90 とダミー画素回路 90 d との間に他の回路などが介在してもよい。

30

【0124】

また、以上では、閾値補償制御を行う際に、初期化制御及びダミー初期化制御の一方を行ったが、両方を同時に行ってもよい。例えば、初期化制御を行う際に、ダミー初期化制御を行うことで、輝度の微調整を行ってもよい。

【0125】

[1 - 3 . ダミー領域の変形例]

本実施の形態に係るダミー画素回路 90 d が配置されるダミー領域 Pd の変形例について、図面を用いて説明する。図 14 ~ 図 20 は、それぞれ本実施の形態の第 1 ~ 第 7 の変形例に係るダミー領域 Pd の配置を示す表示パネル 10 の概略平面図である。

【0126】

40

図 14 に示されるように、ダミー領域 Pd は、表示領域 Pa の上下方向の両側に配置されてもよい。つまり、一つ以上のダミー画素回路 90 d は、表示領域 Pa に対して垂直走査方向の両側に配置されてもよい。これにより、画素回路 90 の走査の向きが垂直走査方向のどちらの向きである場合においても、ダミー画素回路 90 d を初期化制御する際に閾値補償制御を行う画素回路 90 と、ダミー画素回路 90 d との距離を低減できる。つまり、例えば、画素回路 90 の走査の向きが上向きである場合には、上側のダミー画素回路 90 d を用いて輝度ムラを低減できる。

【0127】

また、図 15 に示されるように、ダミー領域 Pd の水平走査方向（図 15 の水平方向）における長さは、表示領域 Pa の水平走査方向における長さより短くてもよい。つまり、

50

行列状に配置された複数の画素回路 90 のうち、最後に走査される行の少なくとも一方の端に位置する画素回路 90 の垂直走査方向には、ダミー画素回路 90 d は、配置されなくてもよい。これにより、表示パネル 10 のダミー画素回路 90 d が配置されていない角部に空きスペースを設けることができる。このような空きスペースには、例えば、表示パネル 10 の ID などの情報を記入したり、製造業者のマークを記入したりしてもよい。これにより、表示パネル 10 の寸法を拡大することなく、表示パネル 10 に ID などを記入できる。また、ダミー画素回路 90 d の水平走査方向における個数は、必ずしも複数の画素回路 90 の水平走査方向における個数と同数でなくても、表示装置 9 における輝度ムラを低減できる。

【0128】

10

また、図 16 に示されるように、ダミー領域 P d は、複数の画素回路 90 の水平走査方向において分離されていてもよい。つまり、一つ以上のダミー画素回路 90 d は、複数の画素回路 90 の水平走査方向に並べられた複数の領域に配置されてもよい。このような配置によっても、表示装置 9 における輝度ムラを低減できる。

【0129】

また、図 16 に示されるように、複数の信号線駆動回路 D C をダミー領域 P d に対して垂直走査方向に隣り合う位置に配置する場合に、信号線駆動回路 D C と表示部 2 とを接続する配線の時定数を調整するためにダミー画素回路 90 d を用いることができる。図 16 に示される配線 W a 及び配線 W b のように、信号線駆動回路 D C と表示部 2 とを接続する配線の長さは異なり得る。図 16 に示される例では、配線 W a の長さは、配線 W b の長さより小さい。この場合、一般に配線 W a の方が、配線 W b より時定数が小さくなる。そこで、配線 W a が接続される列には、ダミー画素回路 90 d を配置し、配線 W b が接続される列には、ダミー画素回路 90 d を配置しない。これにより、配線 W a の経路においては、配線 W a の時定数にダミー画素回路 90 d の時定数が加えられるため、配線 W a の経路全体における時定数を、配線 W b の経路全体における時定数に近づけることができる。このように、各配線の経路全体における時定数の差を低減できる。

20

【0130】

以上のように、本レイアウト方法によれば、ダミー画素回路 90 d は、輝度ムラを低減するほかに、配線時定数の差を小さくすることができる。これにより、配線時定数の差による所定階調における信号線電圧の充電率違いによる輝度ムラを低減することができる。つまり、本レイアウト方法によれば、二つの輝度ムラを同時に低減できる利点がある。

30

【0131】

ダミー画素回路 90 d の行数が、垂直ブランキング期間に含まれる水平走査期間数以上であれば、ダミー画素回路 90 d に対して、画素回路 90 に引き続き垂直走査方向に順次走査を行うことで、常に初期化制御が行われるため第二電極の電位をほぼ一定に維持できる。一方、ダミー画素回路 90 d の行数決定方法の別の考え方としては、図 11 A ~ 図 11 D に示す閾値補償制御を行う行（図 11 A ~ 図 11 D の R 1 a ~ R 1 d）が存在する期間には必ず初期化制御を行う画素回路 90 の行（図 11 A ~ 図 11 C の R 2 a ~ R 2 c）、又は、ダミー初期化制御を行うダミー画素回路 90 d の行が存在するようにする。

【0132】

40

図 11 A に示される例では、表示領域 P a における上端の行から行 R 2 a までの行数と、行 R 2 a までの行数との差に相当する分だけ、表示部 902 の下側にダミー画素回路 90 d を追加すれば、図 11 D の場合（時点 $t = t_c$ より後の場合）でも、ダミー画素回路 90 d で初期化制御を実施できる。

【0133】

また、図 17 に示されるように、ダミー領域 P d において、一つ以上のダミー画素回路 90 d は、行列状に配置されてもよい。その際、一つ以上のダミー画素回路 90 d の配置の行数は、表示パネル 10 の一フレーム期間のうち垂直ブランキング期間に含まれる水平走査期間数と等しくてもよい。これにより、垂直ブランキング期間にわたって、画素回路 90 と同様にダミー画素回路 90 d を走査することで、表示装置 9 の輝度ムラを抑制でき

50

る。

【 0 1 3 4 】

また、図 1 8 に示されるように、ダミー領域 P d において、一つ以上のダミー画素回路 9 0 d は、行列状に配置され、行列状に配置された一つ以上のダミー画素回路 9 0 d の各行におけるダミー画素回路 9 0 d の個数は、表示領域 P a から遠ざかるにしたがって減少してもよい。ダミー画素回路 9 0 d を行毎に初期化する場合、各行におけるダミー画素回路 9 0 d の個数が減少するほど、画素回路 9 0 の有機 E L 素子 2 4 の第二電極に対する電位低下効果は低減する。つまり、有機 E L 素子 2 4 の輝度は低下する。しかしながら、図 1 8 に示される例では、有機 E L 素子 2 4 の輝度が、垂直走査方向に徐々に低下するため、輝度ムラが目立ち難い。また、図 1 5 に示される例と同様に、ダミー画素回路 9 0 d が配置されていない表示パネル 1 0 の角部に空きスペースを設けることができる。

10

【 0 1 3 5 】

なお、ここでは、一つ以上のダミー画素回路 9 0 d を「行列状に配置」との記載が表す構成には、各行におけるダミー画素回路 9 0 d の個数が等しい構成だけでなく、各行におけるダミー画素回路 9 0 d の個数が異なる構成も含まれる。

【 0 1 3 6 】

また、図 1 9 に示されるように、ダミー領域 P d において、一つ以上のダミー画素回路 9 0 d は、行列状に配置され、一つ以上のダミー画素回路 9 0 d の配置の行数は、表示パネル 1 0 の一フレーム期間のうちブランキング期間に含まれる水平走査期間数より少なくてもよい。このような構成においても、例えば、一フレーム周期において、特定の行に含まれるダミー画素回路 9 0 d に対して、複数回、初期化制御を行ってもよい。これにより、閾値補償制御を受ける期間に他の画素回路 9 0 が初期化制御されないすべての画素回路 9 0 に対して、閾値補償制御を受ける期間に、ダミー画素回路 9 0 d の初期化制御を行うことができる。

20

【 0 1 3 7 】

また、図 1 9 の仮想ダミー領域 P d i で示されるように、ダミー領域の形状を三角形形状としてもよい。この場合にも、一つ以上のダミー画素回路 9 0 d の配置の行数を、表示パネル 1 0 の一フレーム期間のうち垂直ブランキング期間に含まれる水平走査期間数と等しくてもよい。さらに、図 1 9 の仮想ダミー領域 P d i に含まれるダミー画素回路 9 0 d の動作のタイミングを変えなく、配置位置を代替ダミー領域 P d r に移動させてもよい。これにより、表示パネル 1 0 の額縁幅を縮小することができる。

30

【 0 1 3 8 】

また、図 2 0 に示されるように、一つ以上のダミー画素回路 9 0 d は、一行分だけ配置されてもよい。このような構成においても、一行分のダミー画素回路 9 0 d に対して、一水平走査期間毎に繰り返し初期化制御を行うことで、表示装置 9 の輝度ムラを低減できる。

【 0 1 3 9 】

[1 - 4 . ダミー画素回路の変形例]

本実施の形態に係るダミー画素回路 9 0 d の回路構成の変形例について、図面を用いて説明する。図 2 1 ~ 図 2 3 は、それぞれ本実施の形態の第 8 ~ 第 1 0 の変形例に係るダミー画素回路の回路構成を示す回路図である。

40

【 0 1 4 0 】

図 2 1 に示されるダミー画素回路 9 0 d 1 は、複数の画素回路 9 0 の第二電極と接続されるダミー容量素子 2 2 d、ダミー容量素子 2 2 d の第一ダミー電極の電位を変化させるための手段として、参照トランジスタ T R E F 及び初期化トランジスタ T I N I を備える。

【 0 1 4 1 】

参照トランジスタ T R E F 及び初期化トランジスタ T I N I を画素回路 9 0 と同様に動作させることにより、第二電極の電位を変動させることができる。なお、図 2 1 に示す例では、ダミー容量素子 2 2 d として、有機 E L 素子 2 4 を用いる構成が示されているが、

50

ダミー容量素子 22d の構成として上述した任意の構成を採用できる。ダミー容量素子 22d の構成については、以下の各変形例についても同様である。

【0142】

また、図 21 では第二電極の電位を変化させるために必要な最低限の構成が示されているが、ダミー画素回路 90d1 は、画素回路 90 に存在する、データ信号線 SIG 及び書込みトランジスタ TWS、駆動トランジスタ TD のうちの一つ又は複数を備えてもよい。

【0143】

図 22 に示されるダミー画素回路 90d2 は、図 21 に対して、参照電源線 VREF 及び参照トランジスタ TREF に変えて、データ信号線 SIG 及び書込みトランジスタ TWS を用いた構成を有する。

10

【0144】

データ信号線 SIG 及び初期化電源線 VINI によりダミー容量素子 22d の第一ダミー電極の電位を変動させることによって、第二電極の電位を変化させる。なお、図 22 では第二電極の電位を変化させるために必要な最低限の構成が示されているが、ダミー画素回路 90d2 は、画素回路 90 に存在する、データ信号線 SIG 及び書込みトランジスタ TWS、駆動トランジスタ TD のうちの一つ又は複数を備えてもよい。

【0145】

図 23 に示されるダミー画素回路 90d3 は、データ信号線 SIG 及び書込みトランジスタ TWS、並びに、参照電源線 VREF 及び参照トランジスタ TREF に代えて、スイッチングトランジスタ TZ 及びダミー用信号線 Va を備える点において、画素回路 90 と相違し、その他の点で一致する。このような構成においては、例えば、ダミー用信号線 Va に参照電圧と同程度の電圧を印加する。さらに、スイッチングトランジスタ TZ を制御信号線 SW によって制御することで、ダミー用信号線 Va に印加された電圧をダミー容量素子 22d の第一ダミー電極に印加できる。続いて、初期化トランジスタ TINI を用いて初期化制御を行うことで、上記各ダミー画素回路と同様に、ダミー容量素子 22d の第二電極の電位を変動させることができる。

20

【0146】

図 23 に示されるダミー画素回路 90d3 においては、ダミー用信号線 Va に印加される電圧は、画素回路 90 に印加する電圧用の電源を用いて印加されてもよいし、別の電源によって印加されてもよい。別の電源を用いる場合には、ダミー用信号線 Va と有機 EL 素子 24 との間に電圧を印加することで、有機 EL 素子 24 の電流と電圧及び発光量との関係を取得できる。さらに、ダミー用信号線 Va を RGB 又は RGBW の発光色を有するダミー画素回路 90d3 毎に別々に設けることで、各発光色の有機 EL の電流と電圧及び発光量との関係を取得できる。

30

【0147】

なお、画素回路及びダミー画素回路の構成は、以上の構成に限定されない。例えば、画素回路 90 において、アノード電源線 VCC と駆動トランジスタ TD との間にさらにスイッチングトランジスタを挿入した回路構成なども採用し得る。また、画素回路及びダミー画素回路は、参照トランジスタ TREF、参照信号線 REF 及び参照電源線 VREF を備えなくてもよい。例えば、書込みトランジスタ TWS 及び駆動トランジスタ TD の二つのトランジスタだけを用いる画素回路及びダミー画素回路も実現可能である。このような画素回路などにおいては、データ信号線に印加する信号電圧を変動させ、当該信号電圧によって、第二電極の電位を変動させることができる。

40

【0148】

(実施の形態 2)

実施の形態 2 に係る表示装置について説明する。本実施の形態に係る表示装置は、実施の形態 1 に係る表示装置 9 の初期化電源線 VINI の電位変動を抑制するための構成を有する。以下、本実施の形態に係る表示装置 9 の初期化電源線 VINI の構成について説明する。

【0149】

50

〔 2 - 1 . 初期化電源線構成 〕

実施の形態 1 に係る表示装置 9 においては、行列状に配置された画素回路 9 0 を行毎に走査する構成を有する。このような構成において、初期化電源線 V I N I として、行毎に線状に設けられた、言わば一次元の配線を用いる場合、同一行に存在する各画素回路 9 0 における E L 容量素子 2 2 の放電が一本の配線に集中する。このため、特に、表示パネル 1 0 の端部付近に配置された給電部から遠い位置、つまり、表示パネル 1 0 の中央部に位置する配線の部分では、電位が上昇する。この現象について、図面を用いて説明する。

【 0 1 5 0 】

図 2 4 A は、実施の形態 1 に係る表示装置 9 の各行の初期化電源線 V I N I の電位の波形を示す模式的なグラフである。図 2 4 A においては、初期化電源線 V I N I として一次元の配線を用いた場合における、初期化電源線 V I N I の表示パネル 1 0 の中央部における電位が示されている。図 2 4 A に示される時点 T 2 1 ~ T 2 8 は、それぞれ、1 ~ 8 行目の画素回路 9 0 における初期化制御の開始時点（図 4 の時点 T 2 ）である。

10

【 0 1 5 1 】

図 2 4 A に示されるように、各行の初期化電源線 V I N I の電位が上昇する。このような初期化電源線 V I N I の電位変動は、有機 E L 素子 2 4 の第一電極及び第二電極の電位変動に繋がるため、表示装置 9 の輝度ムラの原因となり得る。

【 0 1 5 2 】

そこで、本実施の形態では、初期化電源線 V I N I の電位変動を抑制する構成とするために、初期化電源線 V I N I として二次元の配線を用いる。つまり、本実施の形態では、水平走査方向及び垂直走査方向に格子状に形成された配線を初期化電源線 V I N I として用いる。このような初期化電源線 V I N I における電位変動について図面を用いて説明する。

20

【 0 1 5 3 】

図 2 4 B は、本実施の形態に係る表示装置の各行の初期化電源線 V I N I の電位の波形を示す模式的なグラフである。図 2 4 B においては、初期化電源線 V I N I として二次元の配線を用いた場合における、初期化電源線 V I N I の表示パネルの中央部における電位が示されている。図 2 4 B に示される時点 T 2 1 ~ T 2 8 は、それぞれ、1 ~ 8 行目の画素回路 9 0 における初期化制御の開始時点（図 4 の時点 T 2 ）である。

【 0 1 5 4 】

30

図 2 4 B に示されるように、本実施の形態に係る二次元の配線からなる初期化電源線 V I N I においては、図 2 4 A に示される一次元の配線からなる初期化電源線 V I N I より、電位変動量が小さい。ただし、本実施の形態に係る初期化電源線 V I N I においては、行間において、電位変動が伝わるため、一フレーム周期における各行の電位変動回数が増大する。このような現象について、図面を用いて説明する。

【 0 1 5 5 】

図 2 5 は、本実施の形態に係る初期化電源線 V I N I の構成を示す模式的な配線図である。図 2 5 においては、初期化電源線 V I N I の水平走査方向配線 6 1（実線）及び垂直走査方向配線 6 2（太い破線）が示されている。また、図 2 5 には、有機 E L 素子 2 4 の第二電極（カソード）が配線 6 4 として細い破線で示されている。さらに、図 2 5 には、有機 E L 素子 2 4 の E L 容量素子 2 2 が示されている。なお、図 2 5 には、初期化電源線 V I N I と有機 E L 素子 2 4 の第二電極との間に接続される、E L 容量素子 2 2 以外の素子については、記載が省略されている。

40

【 0 1 5 6 】

図 2 5 に示されるように、本実施の形態に係る表示パネルは、複数の画素回路 9 0 に初期化電圧を供給する初期化電源線 V I N I を備える。初期化電源線 V I N I は、複数の画素回路 9 0 の水平走査方向に延びる水平走査方向配線 6 1 と、複数の画素回路 9 0 の垂直走査方向に延びる垂直走査方向配線 6 2 とを有する。

【 0 1 5 7 】

本実施の形態においては、図 2 5 に示されるように、例えば、一つの水平走査方向配線

50

6 1 の点 B における初期化電源線 V I N I の電位変動が、垂直走査方向配線 6 2 を介して他の水平走査方向配線 6 1 の点 A に伝わる。これにより、図 2 4 B に示されるように、各行の初期化電源線 V I N I が一フレーム周期において複数回変動する。

【 0 1 5 8 】

以上のように、初期化電源線 V I N I に垂直走査方向配線 6 2 を設けることで、初期化電源線 V I N I の電位変動量は抑制できるが、変動回数が増加する。

【 0 1 5 9 】

また、図 2 5 に示されるように、初期化電源線 V I N I の電位変動は、E L 容量素子 2 2 を介して有機 E L 素子 2 4 の第二電極（図 2 5 の配線 6 4 ）に伝わるため、輝度ムラの原因となる。

10

【 0 1 6 0 】

そこで、本実施の形態では、初期化電源線 V I N I の垂直走査方向配線 6 2 は、水平走査方向配線 6 1 より単位長さ当たりの抵抗が大きい構成を採用する。これにより、初期化電源線 V I N I の電位変動量を抑制しつつ、電位変動回数の増加の影響を抑制することができる。

【 0 1 6 1 】

なお、水平走査方向配線 6 1 及び垂直走査方向配線 6 2 の各抵抗値は、表示パネルの寸法などに応じて適宜最適化されてもよい。また、各抵抗値は、配線材料、配線幅などによって適宜調整されてもよい。

【 0 1 6 2 】

20

（実施の形態 3）

実施の形態 3 に係る表示装置について説明する。本実施の形態に係る表示装置は、上記輝度ムラの原因と成り得る画素回路 9 0 におけるリーク電流を抑制できる構成を有する。以下、本実施の形態に係る画素回路 9 0 について説明する。

【 0 1 6 3 】

[3 - 1 . リーク電流]

まず、実施の形態 1 に係る表示装置 9 の画素回路 9 0 におけるリーク電流について図面を用いて説明する。図 2 6 は、実施の形態 1 に係る画素回路 9 0 の駆動トランジスタ T D のゲート電極 g の電位 V g の波形を示すグラフである。図 2 6 においては、参照信号線 R E F、初期化信号線 I N I、書込み信号線 W S 及びデータ信号線 S I G に入力される各信号の波形も併せて示されている。なお、各信号の波形は、図 4 に示される波形と同様である。

30

【 0 1 6 4 】

図 2 6 に示されるように、時点 T 2 において初期化制御が行われ、駆動トランジスタ T D のソース電極 s の電位が - 3 V 程度に低下し、容量素子 2 0 を介して、ゲート電極 g の電位 V g も低下する。これにより、ゲート電極 g の電位 V g が書込みトランジスタ T W S 及び参照トランジスタ T R E F のオフ電位よりも低くなるため、これらのトランジスタにおいてリーク電流が発生する。これに伴い、ゲート電極 g の電位 V g が上昇する。図 2 6 に示される ΔV が、リーク電流に伴う電位の上昇量である。

【 0 1 6 5 】

40

ここで、書込みトランジスタ T W S 及び参照トランジスタ T R E F におけるリーク電流の輝度ムラに対する影響について説明する。

【 0 1 6 6 】

まず、書込みトランジスタ T W S において、リーク電流が発生する場合について説明する。この場合、書込みトランジスタ T W S に接続されるデータ信号線 S I G から容量素子 2 0 に電流が流れるため、データ信号の電圧が低下する。つまり、有機 E L 素子 2 4 の輝度は低下する。ここで、上記輝度ムラが発生する領域（つまり輝度が低くなる領域）の画素回路 9 0 において、データ信号が書き込まれるタイミングでは、他の領域の画素回路 9 0 においてデータ信号が書き込まれるタイミングと比較して、複数の画素回路 9 0 のうち初期化制御を受けている画素回路 9 0 の個数が少ない。このため、輝度ムラが発生する領

50

域の画素回路 90 に書き込まれるデータ信号の電圧低下量は、他の領域の画素回路 90 より小さい。つまり、書き込みトランジスタ TWS におけるリーク電流は、輝度ムラが発生する領域の輝度を他の領域より高くする。このため、書き込みトランジスタ TWS におけるリーク電流は、上記輝度ムラの原因とは考えにくい。

【0167】

次に、参照トランジスタ TREF において、リーク電流が発生する場合について説明する。

【0168】

この場合、参照トランジスタ TREF に接続される参照電源線 VREF から容量素子 20 に電流が流れるため、参照電源線 VREF の電圧である参照電圧 Vref が低下する。ここで、有機 EL 素子 24 の発光期間に流れる電流 Ids は以下の式 (1) で表されるように、参照電圧 Vref に依存する。

【0169】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} \left\{ (V_{sig} - V_{ref}) \times \frac{C_{oled}}{C_s + C_{oled}} - V_{th} \right\}^2 \quad (1)$$

【0170】

式 (1) において、 μ 、W 及び L は、それぞれ、駆動トランジスタ TD のチャネル層におけるキャリアの移動度、チャネル幅、及び、チャネル長を表す。Vsig は、データ信号の電圧を表す。Coled 及び Cs は、それぞれ、EL 容量素子 22 の容量、及び、容量素子 20 の容量をそれぞれ表す。Vth は、駆動トランジスタ TD の閾値電圧を表す。

【0171】

式 (1) に示されるように、参照電圧 Vref が変動することにより、有機 EL 素子 24 に流れる電流 Ids が変動する。参照電圧 Vref は、上述のとおり、参照トランジスタ TREF におけるリーク電流量によって変動し得るため、参照電圧 Vref の変動量が、画素回路 90 毎に異なる場合、輝度ムラが発生し得る。

【0172】

ここで、参照トランジスタ TREF を介して、参照電源線 VREF から画素回路 90 の駆動トランジスタ TD のゲート電極 g にリーク電流が流れる期間は、一つの画素回路 90 については、一フレームのうち図 4 に示される時点 T2 ~ T3 の期間である。

【0173】

表示装置 9 全体について考えると、リーク電流が流れる画素回路 90 の行数の全行数に対する割合は、 $(T3 - T2) / (\text{一水平走査期間})$ となる。表示部 902 のうち暗くなる領域 902a 以外の領域では、参照電源線 VREF が供給する画素回路 90 へのリーク電流の総和はおおよそ $(T3 - T2) / (\text{一水平走査期間}) \times (\text{一行に配置される画素回路数}) \times (\text{一画素回路あたりリーク電流})$ となる。しかし、領域 902a では、データ信号書き込み時の参照電源線 VREF からのリーク電流の和は、初期化制御を受けている画素回路 90 の行数が少なくなっていることから、 $(T3 - T2) / (\text{一水平走査期間}) \times (\text{一行に配置される画素回路数}) \times (\text{一画素回路あたりリーク電流})$ より小さくなる。

【0174】

その結果、領域 902a の書き込み時の参照電圧 Vref は、他の領域での参照電圧 Vref より高くなる。したがって、式 (1) に示されるとおり、電流 Ids が減少するため、領域 902a における輝度が他の領域の表示領域 Pa の輝度より低くなる。

【0175】

以上のように、参照トランジスタ TREF におけるリーク電流が上記輝度ムラの原因となり得るため、本実施の形態に係る画素回路 90 においては、参照トランジスタ TREF におけるリーク電流を低減する。

【0176】

[3 - 2 . 画素回路構成]

10

20

30

40

50

次に、本実施の形態に係る画素回路 90 の構成について図面を用いて説明する。図 27 は、本実施の形態に係る画素回路 90 の配線レイアウトを示す図である。図 27 は、表示パネル 10 の平面視における画素回路 90 のレイアウトを示す。

【0177】

図 27 に示されるように、初期化電源線 V_{INI} 、アノード電源線 V_{CC} 及び参照電源線 V_{REF} と、それらの電源線に接続される初期化トランジスタ T_{INI} 、駆動トランジスタ T_D 、書込みトランジスタ T_{WS} 及び参照トランジスタ T_{REF} とが配置されている。図 27 に示されるように、画素回路 90 は、駆動トランジスタ T_D と、参照電圧が印加される参照電源線 V_{REF} と、参照電源線 V_{REF} と駆動トランジスタ T_D のゲート電極 g との間に接続される参照トランジスタ T_{REF} と、有機 EL 素子 24 に供給する電流に対応する電圧が印加されるデータ信号線 SIG と、データ信号線 SIG と駆動トランジスタ T_D のゲート電極 g との間に接続される書込みトランジスタ T_{WS} とをさらに有する。なお、画素回路 90 における容量素子 20 及び駆動トランジスタ T_D の配線レイアウトの詳細は、図面を簡略化するために省略されている。

10

【0178】

図 27 に示されるような画素回路 90 の参照トランジスタ T_{REF} におけるリーク電流を低減するために、本実施の形態では、参照トランジスタ T_{REF} の LDD ($Lightly Doped Drain$) 長は、書込みトランジスタ T_{WS} より大きい。これにより、参照トランジスタ T_{REF} におけるリーク電流を低減できる。さらに、本実施の形態では、図 27 に示されるように、参照トランジスタ T_{REF} において、参照信号線 REF が二か所においてポリシリコン層からなる半導体層と重なっている。ここで、参照信号線 REF は、参照トランジスタ T_{REF} のゲート電極として機能する配線であることから、本実施の形態に係る参照トランジスタ T_{REF} は、ダブルゲート型のトランジスタとなる。また、参照トランジスタ T_{REF} は、シングルゲート型のトランジスタである書込みトランジスタ T_{WS} よりゲート数が多い。これにより、参照トランジスタ T_{REF} においては、二つのゲートによって電流を遮断できるため、リーク電流を低減できる。

20

【0179】

また、図 27 に示されるように、参照トランジスタ T_{REF} は、二つのゲートと、チャネル層を形成する半導体層 (図 27 のポリシリコン層) とを有し、半導体層の平面視において、二つのゲートの間に配置される半導体層は、L 字状の形状を有する。これにより、二つのゲートの間の LDD 長を大きくできる。

30

【0180】

また、上述したように、画素回路 90 の初期化制御時に、駆動トランジスタ T_D のゲート電極 g の電位が低下する。このため、参照トランジスタ T_{REF} におけるソース電極及びドレイン電極は、画素回路 90 における有機 EL 素子 24 の発光時と、初期化制御時とで逆転する。図 27 に示されるように、参照トランジスタ T_{REF} の二つのゲートの間の LDD 長を長くすることで、ソース電極及びドレイン電極がどちらに転じた場合においても、リーク電流を低減することができる。

【0181】

また、画素回路 90 において、参照トランジスタ T_{REF} のゲート数は 3 以上であってもよい。このような参照トランジスタ T_{REF} について、図面を用いて説明する。図 28 は、本実施の形態に係る参照トランジスタ T_{REF} の電極形状の概要を示す模式図である。図 28 においては、半導体層 PS の平面視における電極形状が示されている。

40

【0182】

図 28 に示されるように、参照信号線 REF を、三か所において半導体層 PS と重ねることで、トリプルゲート型のトランジスタを実現できる。これにより、参照トランジスタ T_{REF} におけるリーク電流をより一層低減できる。

【0183】

また、画素回路 90 において、参照トランジスタ T_{REF} は、書込みトランジスタ T_{WS} よりチャネル長に対するチャネル幅の比が小さくてもよい。このような参照トランジス

50

タ T R E F について、図面を用いて説明する。図 29 は、本実施の形態に係る参照トランジスタ T R E F の電極形状の概要を示す模式図である。図 29 においては、半導体層 P S の平面視における電極形状が示されている。

【0184】

図 29 に示される参照トランジスタ T R E F のチャネル幅 W を小さく、チャネル長 L を長くすることで、チャネル長 L に対するチャネル幅 W の比 W/L を小さくできる。このように、参照トランジスタ T R E F のチャネル長に対するチャネル幅の比を小さくすることで、参照トランジスタ T R E F におけるリーク電流を低減できる。

【0185】

以上のように、本実施の形態では、参照トランジスタ T R E F におけるリーク電流を低減することによって、表示装置の輝度ムラを低減できる。

10

【0186】

(他の実施の形態)

以上、本開示に係る表示装置について、実施の形態に基づいて説明してきたが、本開示に係る表示装置は、上記実施の形態に限定されるものではない。実施の形態における任意の構成要素を組み合わせることで実現される別の実施の形態や、実施の形態に対して本開示の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本実施の形態に係る表示装置を内蔵した各種機器も本開示に含まれる。

【産業上の利用可能性】

【0187】

20

本開示は、例えば、有機 E L 素子を用いたフラットパネルディスプレイに有用である。

【符号の説明】

【0188】

2、902 表示部

3、903 制御回路

4、904 走査線駆動回路

5、905 信号線駆動回路

6、906 電源回路

9、900 表示装置

10、910 表示パネル

30

20 容量素子

22 E L 容量素子

22d ダミー容量素子

24、24B、24G、24R 有機 E L 素子

25 接触抵抗

61 水平走査方向配線

62 垂直走査方向配線

64 配線

90 画素回路

90d、90d1、90d2、90d3 ダミー画素回路

40

92 画素

241 第一電極

242 第二電極

243 第一有機 E L 層

244 第二有機 E L 層

245 バンク

902a 領域

902c コンタクト領域

912 基板

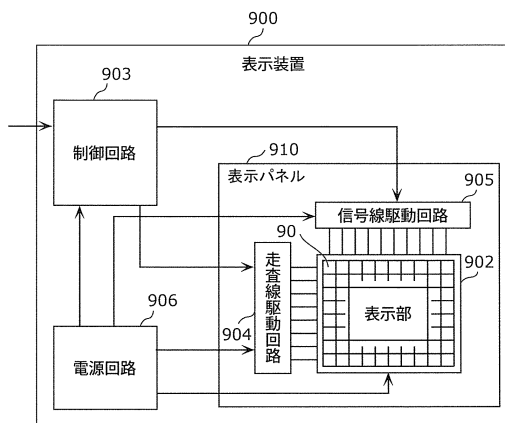
I N I 初期化信号線

50

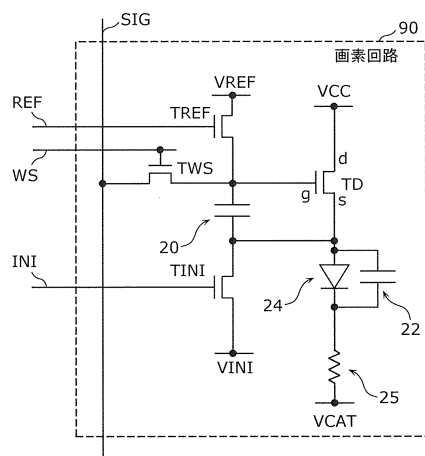
P a 表示領域
 P d ダミー領域
 R E F 参照信号線
 S I G データ信号線
 T D 駆動トランジスタ
 T I N I 初期化トランジスタ
 T R E F 参照トランジスタ
 T W S 書込みトランジスタ
 V C A T カソード電源線
 V C C アノード電源線
 V I N I 初期化電源線
 V R E F 参照電源線
 W S 書込み信号線

10

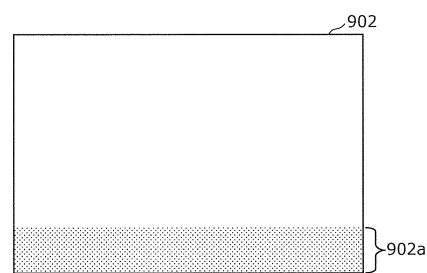
【図 1】



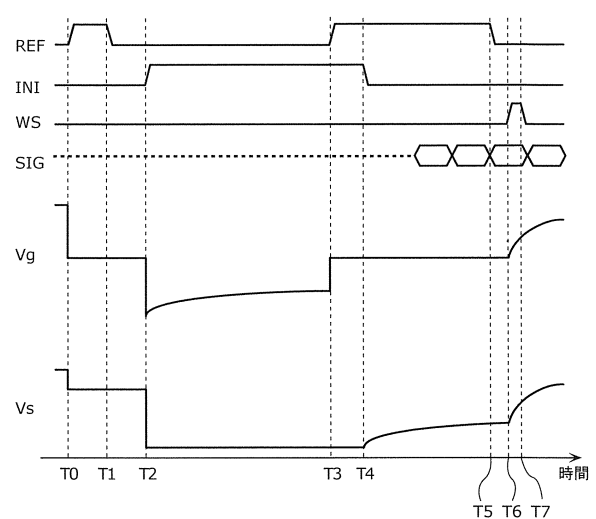
【図 2】



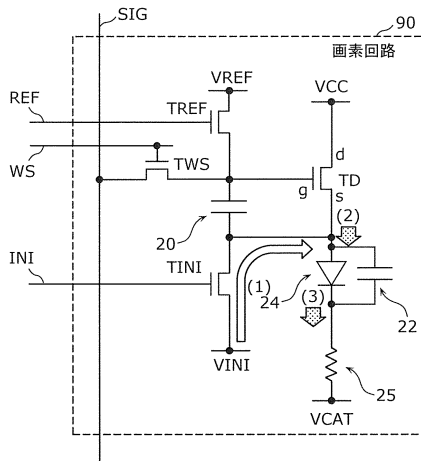
【図 3】



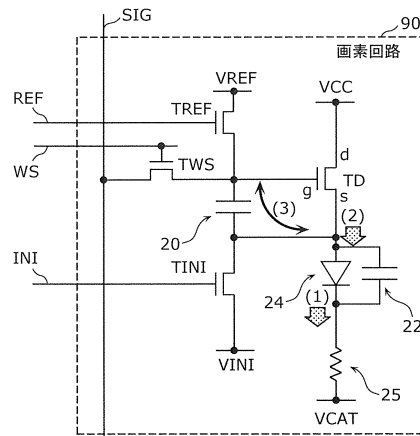
【図 4】



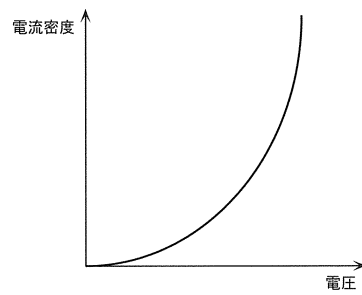
【図 5】



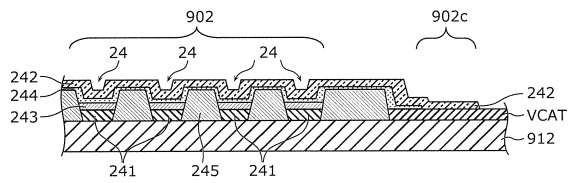
【図 6】



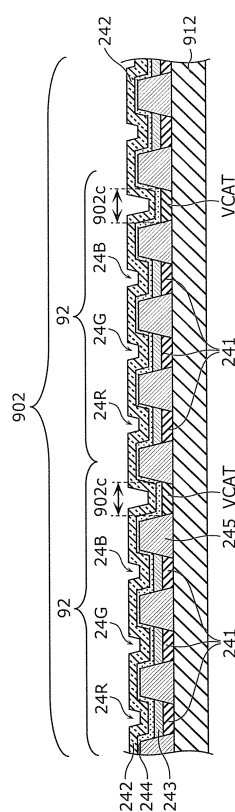
【図 7】



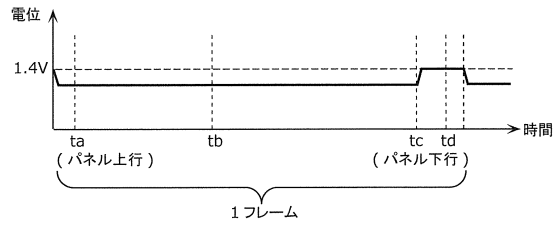
【図 8】



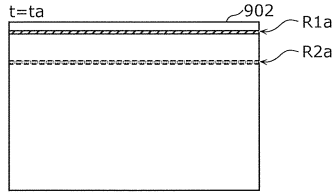
【図 9】



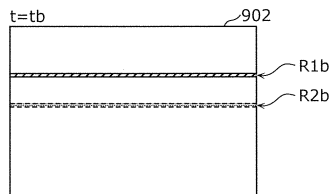
【図 10】



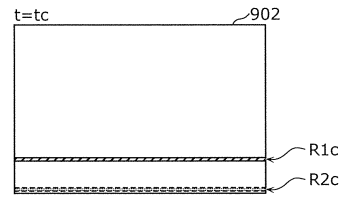
【図 11 A】



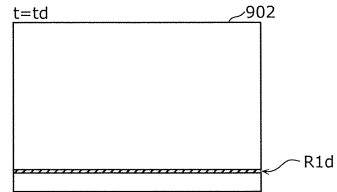
【図 11 B】



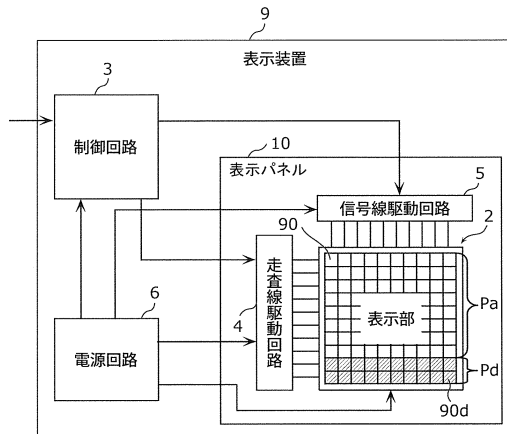
【図 11 C】



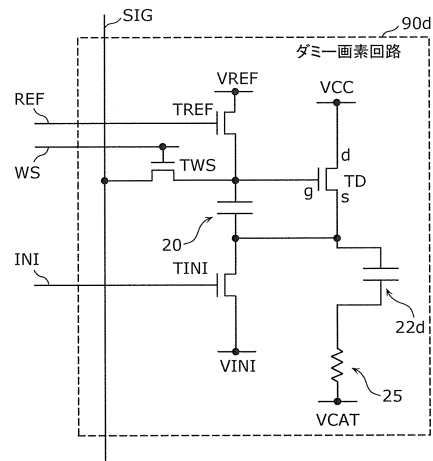
【図 11 D】



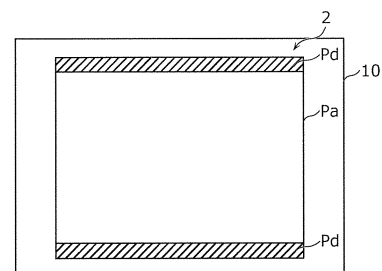
【図 12】



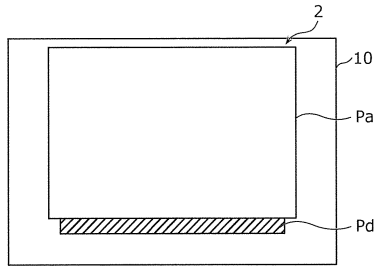
【図 13】



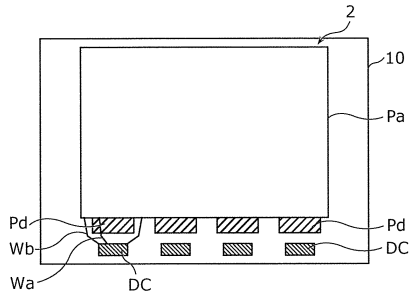
【図 14】



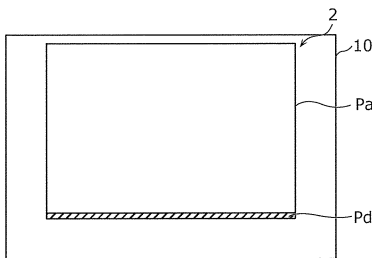
【図 15】



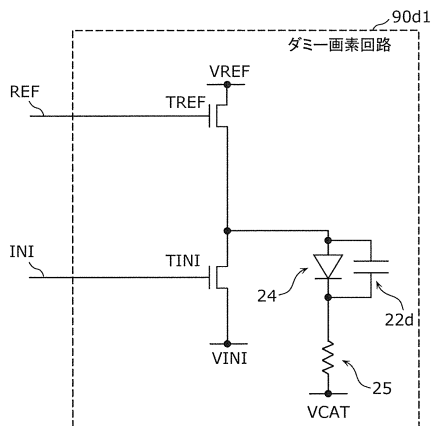
【図 16】



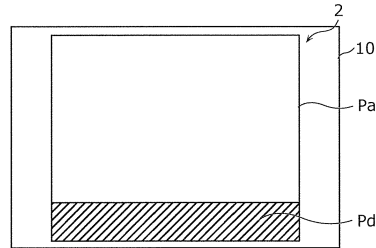
【図 20】



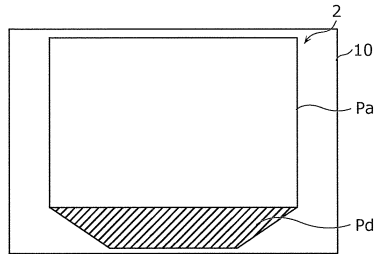
【図 21】



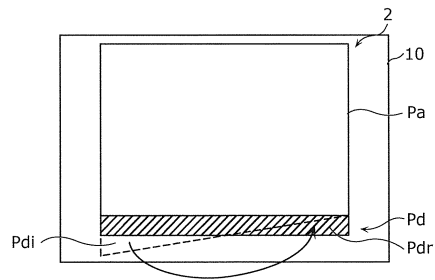
【図 17】



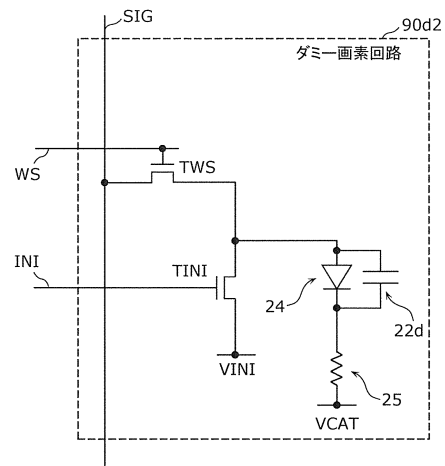
【図 18】



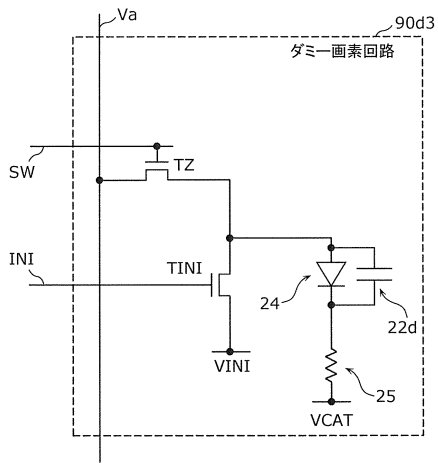
【図 19】



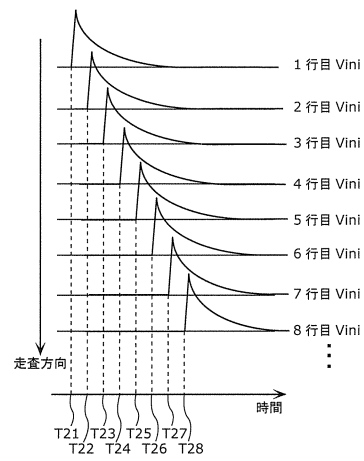
【図 22】



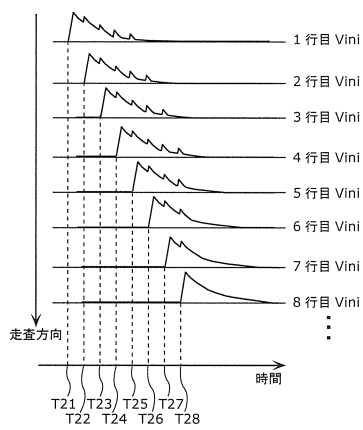
【図 2 3】



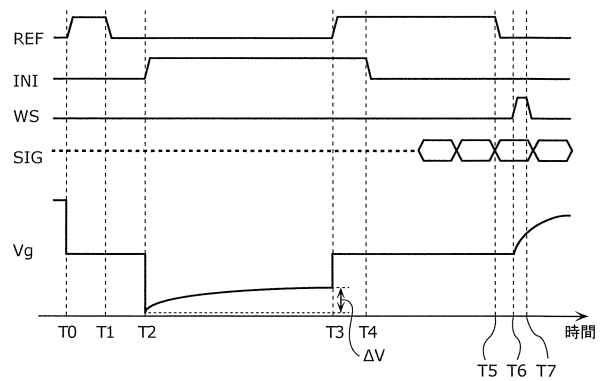
【図 2 4 A】



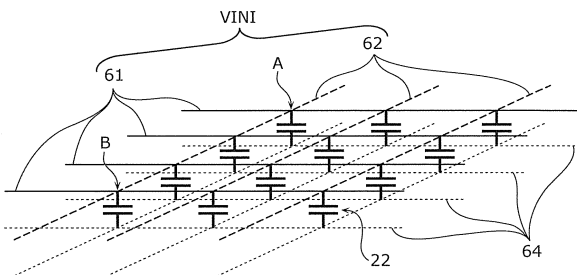
【図 2 4 B】



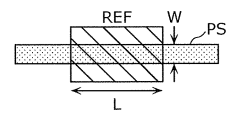
【図 2 6】



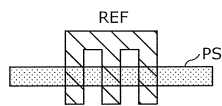
【図 2 5】



【圖 29】



【圖 28】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 T
	H 0 5 B	33/14	A
	H 0 1 L	27/32	
	G 0 9 F	9/30	3 3 0
	G 0 9 F	9/30	3 3 8
	G 0 9 F	9/30	3 6 5

(56)参考文献 特開 2 0 0 6 - 0 3 0 9 2 1 (J P , A)
 特開 2 0 1 6 - 0 0 1 3 0 7 (J P , A)
 特開 2 0 0 7 - 2 1 2 9 9 8 (J P , A)
 特開 2 0 0 3 - 3 2 3 1 5 2 (J P , A)
 特開 2 0 0 7 - 1 1 4 2 8 5 (J P , A)
 特開 2 0 1 6 - 0 0 9 1 3 6 (J P , A)
 特開 2 0 1 2 - 1 4 1 5 2 5 (J P , A)
 特開 2 0 1 4 - 1 6 0 2 0 3 (J P , A)
 特開 2 0 0 6 - 3 2 4 5 3 7 (J P , A)
 特開 2 0 1 5 - 1 3 0 4 5 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 2 3 3
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 2 7 / 3 2
 H 0 1 L 5 1 / 5 0