

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2021-524602

(P2021-524602A)

(43) 公表日 令和3年9月13日 (2021.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 660P	5C380
	G09G 3/20 660U	
	G09G 3/20 612E	
審査請求 未請求 予備審査請求 未請求 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2020-564480 (P2020-564480)
 (86) (22) 出願日 令和1年5月15日 (2019.5.15)
 (85) 翻訳文提出日 令和2年11月16日 (2020.11.16)
 (86) 国際出願番号 PCT/FR2019/051100
 (87) 国際公開番号 W02019/220055
 (87) 国際公開日 令和1年11月21日 (2019.11.21)
 (31) 優先権主張番号 1854079
 (32) 優先日 平成30年5月16日 (2018.5.16)
 (33) 優先権主張国・地域又は機関
 フランス (FR)

(71) 出願人 519215762
 マイクロオーエルイーディー
 MICROOLED
 フランス国 グルノーブル セデックス
 09, パルヴィ ルイ ネル 7, ペペー
 50 ペアッシュテ バティモン 52
 7 Parvis Louis Neel
 BP 50 BHT Batiment
 52 Grenoble Cedex
 09 France
 (74) 代理人 100121728
 弁理士 井関 勝守
 (74) 代理人 100165803
 弁理士 金子 修平

最終頁に続く

(54) 【発明の名称】 二重入力信号を処理するための表示部

(57) 【要約】

本発明は、エレクトロルミネセンス視覚表示部に関し、それぞれが少なくとも1つの基本発光ゾーンによって形成された画素を基板に行および列のマトリクスに複数配置して形成したエレクトロルミネセンス画素マトリクスと、前述の画素マトリクス上に表示することができる図表および/または英数字データストリームを制御するように設計された第1の制御ブロックと、前述の画素マトリクス上に表示することができる映像データストリームを制御するように設計された第2の制御ブロックと、基準電圧生成部と、を含み、各基本発光ゾーンは、第1の制御ブロックによってアドレス指定される静的メモリに接続され、かつ第2の制御ブロックによってアドレス指定される動的メモリに接続され、第1および第2の制御ブロックは、同一の画素マトリクス上にデータを交互または同時に表示できるように設計されることを特徴とする。

【選択図】 図1

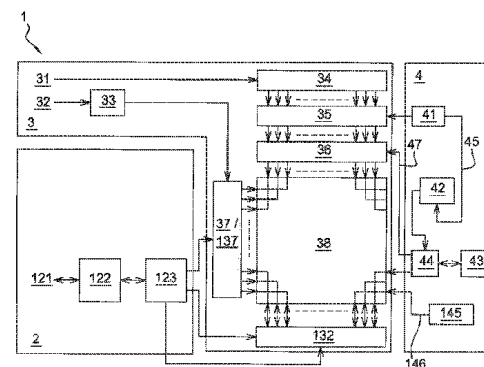


Fig. 1

【特許請求の範囲】**【請求項 1】**

エレクトロルミネセンス表示部（１）であって、

それぞれが少なくとも１つの基本発光ゾーン（２２５、３２５、４２５）によって形成された画素を基板上に行および列のマトリクスに複数配置して形成したエレクトロルミネセンス画素マトリクス（３８）と、

前記画素マトリクス（３８）上に表示できる図表および／または英数字データストリームを制御するように構成された第１の制御ブロック（２）と、

前記画素マトリクス（３８）上に表示でき、周期的にリフレッシュされる映像データストリームを制御するように構成された第２の制御ブロック（３）と、

前記データストリームは、静的で、必要に応じて再プログラムされ得るか、または前記映像データストリームとは独立したリフレッシュ周波数で周期的にリフレッシュされ得ることを識別する、基準電圧生成部（４）と、

を含み、

各基本発光ゾーンは、前記第１の制御ブロック（２）によってアドレス指定される静的メモリに接続され、かつ前記第２の制御ブロック（３）によってアドレス指定される動的メモリに接続され、

前記第１および第２の制御ブロックは、同一の画素マトリクス（３８）上にデータを交互または同時に表示できるように構成される、ことを特徴とするエレクトロルミネセンス表示部（１）。

【請求項 2】

前記第１（２）および第２（３）の制御ブロックは、前記画素マトリクス（３８）上に前記映像データストリームのみ、または前記図表および／もしくは英数字データストリームのみ、あるいは前記図表および／もしくは英数字データストリームを前記映像データストリームにオーバーレイできるように構成される、ことを特徴とする請求項 1 に記載のエレクトロルミネセンス表示部（１）。

【請求項 3】

各基本発光ゾーン（２２５、３２５、４２５）は、映像データ用の、動的メモリ、好ましくは静電容量（２１０、３１０、４１０）を含む、ことを特徴とする請求項 1 又は 2 に記載のエレクトロルミネセンス表示部（１）。

【請求項 4】

各基本発光ゾーン（２２５、３２５、４２５）は、図表および／または英数字データ用の、少なくとも１つの、好ましくは複数の、静的メモリ、好ましくはＳＲＡＭもしくはレジスタ型のものに接続される、ことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のエレクトロルミネセンス表示部（１）。

【請求項 5】

前記第１の制御ブロック（２）は、前記エレクトロルミネセンス画素マトリクス（３８）上に図表および／または英数字データ（１３１）を表示するため、

前記エレクトロルミネセンス画素マトリクス（３８）の前記静的メモリの前記アドレス指定を制御するアドレス指定テーブル（１３２）に向かう、

前記図表および／または英数字データ信号（１３１）と、

水平アドレス指定信号（１３３）と、

行駆動要素（１３７）に向かう、

前記エレクトロルミネセンス画素マトリクス（３８）の前記行の前記アドレス指定を制御するアドレス指定信号（１３４）と、

を送信するように構成される、ことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載のエレクトロルミネセンス表示部（１）。

【請求項 6】

前記第２の制御ブロック（３）は、前記エレクトロルミネセンス画素マトリクス（３８）上に映像データストリーム（３１）を表示するため、

前記エレクトロルミネセンス画素マトリクス(38)の前記列の前記アドレス指定を制御する水平シフトレジスタ(34)に向かう、前記映像データストリーム(31)と、

前記エレクトロルミネセンス画素マトリクス(38)の前記行の前記アドレス指定を制御する行駆動要素(37)に向かう、制御信号(32)と、
を送信するように構成される、ことを特徴とする請求項1~5のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

【請求項7】

前記第1(2)および第2(3)の制御ブロックは、前記第1のブロックが前記第2のブロックよりも発光強度レベルのビットを多数有するように構成される、ことを特徴とする請求項1~6のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

10

【請求項8】

前記第1の制御ブロックは、少なくとも8ビットの発光強度レベルで構成され、かつ/または前記第2の制御ブロックは、2~6ビットの発光強度レベルで構成される、ことを特徴とする請求項1~7のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

【請求項9】

前記第1の制御ブロック(2)は、前記第2の制御ブロック(3)よりも高いリフレッシュレートを有する、ことを特徴とする請求項1~8のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

【請求項10】

前記第1の制御ブロック(2)は、25Hz以上、好ましくは、60Hz以上、さらにより好ましくは、少なくとも90Hzのリフレッシュレートを有し、かつ/又は前記第2の制御ブロック(3)は、静的表示用の前記図表および/または英数字データを記憶するためのメモリ部を含む、ことを特徴とする請求項1~9のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

20

【請求項11】

前記第2の制御ブロック(3)は、0Hz~10Hz、好ましくは0.1Hz~1Hzのリフレッシュレートを有する、ことを特徴とする請求項1~10のいずれか1項に記載のエレクトロルミネセンス表示部(1)。

30

【発明の詳細な説明】

【技術分野】

【0001】

(本発明の技術分野)

本発明は、電子機器の分野、より具体的には、マトリクス表示部の分野に関する。これは、LED、OLED、または他の任意の種類のマトリクス表示部に関連する。このマトリクス表示部により、画像を動的または静的に表示したり、またはこれら2つの表示種類をオーバーレイしたりすることができる。この二重表示を可能にするために、各副画素の新しい構造を含む。

【背景技術】

40

【0002】

(先行技術)

マトリクス表示部システムは、インターフェース上で所望の静的または動的表示の種類に応じて、各副画素に異なる構造を実装することが知られている。

【0003】

Wacyk等著の刊行物「超高解像度AMOLED」、SPIE 8042所収、防衛、セキュリティ、および航空電子光学のための表示技術および応用V、ならびに拡張および合成視覚2011、80420B(doi:10.1117/12.886520)では、アナログメモリ型の構造を備えたアクティブマトリクス型の回路について説明している。この型の回路は、映像ソースを表示するために完璧に適している。なぜなら、これら

50

の回路は、情報を失わないために、25Hz～125Hz程度の、周期的なアドレス指定を必要とするからである。一方、この回路では、その構造が動的表示専用であるため、静的表示では過剰な電力消費が発生する。

【0004】

次に、再び、Uwe Vogel等著の刊行物「バッテリー寿命を延ばすための超低電力OLEDマイクロ表示」、SID 2017 Digest所収、p. 1125～1128では、SRAM（スタティック・ランダム・アクセス・メモリ）型のメモリセルマトリクス回路について説明している。この回路では、画像はメモリマトリクスのメモリに格納され、当該メモリマトリクスの状態は表示されるデータが変化したときにのみ変化する。この型の回路は、定期的に更新する必要がないので、図表型の表示に最適な静的ディスプレイである。その主な利点は、静止画像である、すなわち変化率が低い、さらには映像コントローラを経由せずにマイクロコントローラによってマトリクスを直接アドレス指定できるため、消費電力が少ないことである。

10

【0005】

国際公開第2014/108741号では、同一表示部上に動的または静的ソースの表示を生成するための静的モードおよび動的モードの2つをオーバーレイする方法について説明している。表示部は、表示マトリクスに表示するための信号を適応させるためのデータ処理部を含む。データの後処理によりオーバーレイを作成できるが、これは動的表示部に基づいている。その結果、表示部のエネルギー消費は著しく大きいままである。画像をオーバーレイするための別の表示部について、米国特許出願公開第2002/093472号明細書に記載されている。

20

【0006】

上記を前提として、本発明の1つの目的は、上記の従来技術の欠点を少なくとも部分的に改善することである。静的モードなどについて非常に低消費電力であるだけでなく非常に高品質な動的表示（映像モード）も可能にする表示部を提案する。この表示部は、また、映像モードの画像に（オーバーレイモードにおいて）図表画像を簡単にオーバーレイできるようにする必要がある。

【先行技術文献】

【特許文献】

【0007】

30

【特許文献1】国際公開第2014/108741号

【特許文献2】米国特許出願公開第2002/093472号明細書

【非特許文献】

【0008】

【非特許文献1】Wacyk等著、「超高解像度AMOLED」、SPIE 8042所収、防衛、セキュリティ、および航空電子光学のための表示技術および応用V、ならびに拡張および合成視覚2011、80420B (doi: 10.1117/12.886520)

【非特許文献2】Uwe Vogel等著、「バッテリー寿命を延ばすための超低電力OLEDマイクロ表示」、SID 2017 Digest所収、p. 1125～1128

40

【発明の概要】

【0009】

（本発明の目的）

映像モードの画像に図表画像のオーバーレイを可能にする明らかなソリューションの1つは、SRAMマトリクス型回路の画面を使用して、適切なリフレッシュレートの映像品質の画像を表示することができるようメモリをアドレス指定するレベルおよび速度を最適化することであろう。しかしながら、このソリューションには複数の問題がある。特に、高品質の映像画像を表示するには、少なくとも副画素あたり8ビットまたは10ビットの符号化が必要である。ところが、現在利用可能なCMOS技術（200nmシリコンウェーハ、130nm解像度）では、画素サイズが非常に大きくなってしまふ。一例として

50

、V o g e l等による上記記事に記載されているような副画素では、わずか4ビットのレベルで $12\mu\text{m} \times 12\mu\text{m}$ と測定され、一方、W a c y k等による上記刊行物に記載されているようなA M O L E D画面の副画素では、上記引用によると、現在、 $4\mu\text{m} \times 4\mu\text{m}$ 程度のサイズを有する。

【0010】

本発明によれば、前述の問題について、2つのアドレス指定モードを有する基本エレクトロルミネセンス発光ゾーンのマトリクスを使用することによって解決する。すなわち、映像型インターフェースを使用する第1のモード(「映像モード」として知られる)であって、好ましくは標準化され、それにより良質な映像画像(通常は8~10ビットのグレーレベルおよび30Hz~120Hz、好ましくは60Hz~120Hzの良好なリフレッシュレート(リフレッシュ周波数とも呼ばれる)を有する)を表示できるが、当該画像を恒久的なメモリに保持する必要はないモード、およびデータ型インターフェースを使用する第2のモード(「図表モード」と呼ばれる)であって、好ましくは当該画像をメモリに保持することが標準化され(たとえば、S P I型)、少数のグレーレベル(たとえば、副画素あたり1ビットまたは2ビット)のみを必要とし、かつメモリに格納した当該画像について、単独で表示するか、映像インターフェースによって表示部に入力された映像画像とオーバーレイするかのいずれかを識別するモードである。「グレーレベル」という表現は、ここでは、発光色に関係なく、基本エレクトロルミネセンス発光ゾーンによる発光強度レベルを示すことに留意されたい。各基本エレクトロルミネセンス発光ゾーンは、1副画素または1画素であり得る。各基本エレクトロルミネセンス発光ゾーンは、2つの独立したメモリを有する。すなわち、図表データ用のS R A M型の有利な静的メモリと、映像ストリームからのデータ用の動的なアナログメモリと、である。動的メモリは、静電容量の可能性がある。

【0011】

映像モードの場合、データは同期データであり、周期的にリフレッシュ(更新)される。当該リフレッシュは、通常、クロックによって制御される。

【0012】

図表モードの場合、画像は静的であり、必要に応じて再プログラム(つまり更新)することができるか(つまり、新しいデータを静的メモリに保存後、静的メモリの内容を変更する場合にのみ、新しいデータを送信することによって各基本発光ゾーンを更新する可能性がある。)、または周期的に更新できる。最初の場合では、クロックに依存しない非同期データに関係し、二番目の場合では、同期データに関係する可能性がある。

【0013】

図表画像を周期的にリフレッシュするときに、画像をリフレッシュする速度は、低い、特に、0.1Hzより低い(または0Hzでさえある)可能性があり、有利には、0.1Hz~1Hz程度であるが、10Hzより高い周波数に達する可能性もある。図表データの更新中に、一部の基本発光ゾーンは、この更新されるデータを、新しく保存するデータによって置き換える以前のデータと同一であっても、すべての静的メモリに同時に保存する。リフレッシュ周波数は、固定または可変である。図表データをリフレッシュする周波数は、映像データのそれから独立し、有利には低い、高くなる可能性もある。

【0014】

本発明の目的は、エレクトロルミネセンス表示部であって、

それぞれが少なくとも1つの基本発光ゾーンによって形成された画素を基板上に行および列のマトリクスに複数配置して形成したエレクトロルミネセンス画素マトリクスと、

前述の画素の静的メモリを使用することによって、前述の画素マトリクス上に表示できる図表および/または英数字データストリームを制御するように構成された第1の制御ブロックと、

前述の画素の動的メモリを使用することによって、前述の画素マトリクス上に表示できる映像データストリームを制御するように構成された第2の制御ブロックと、

基準電圧生成部と、

10

20

30

40

50

を含み、

各基本発光ゾーンは、前述の第1の制御ブロックによってアドレス指定される前述の静的メモリに接続され、かつ前述の第2の制御ブロックによってアドレス指定される前述の動的メモリに接続され、

前述の第1および第2の制御ブロックは、同一の画素マトリクス上にデータを交互または同時に表示できるように構成される、ことを特徴とする。

【0015】

前述の第1および第2の制御ブロックは、前述の画素マトリクス上に前述の映像データストリームのみ、または前述の図表および/もしくは英数字データストリームのみ、あるいは前述の図表および/もしくは英数字データストリームを前述の映像データストリーム上にオーバーレイできるように構成される。

10

【0016】

前述の第1の制御ブロックは、前述の画素の静的メモリのマトリクスに向かう画像を、例えば、「選択」行および「データ」列の第1のシステムを介して、送信するように構成される。

【0017】

第1の制御ブロックは、クロックを含むか、またはクロックによって制御される可能性がある。

【0018】

前述の第2の制御ブロックは、前述のエレクトロルミネセンス画素マトリクス上に前述の映像データストリームを表示するため、前述のエレクトロルミネセンス画素マトリクスのこの目的のために設けられた列のアドレス指定のための前述のシステムを制御する水平シフトレジスタに向かう、映像データストリームと、前述のエレクトロルミネセンス画素マトリクスのこの目的のために設けられた行のアドレス指定のための前述のシステムを制御する行駆動要素に向かう、命令信号と、を送信するように構成される。

20

【0019】

第2の制御ブロックは、クロックを含むか、またはクロックによって制御されなければならない。映像データストリームは、同期データストリームだからである。

【0020】

本発明によると、各基本発光ゾーンは、動的メモリ、好ましくは静電容量を映像データ用に含む。各基本発光ゾーンは、少なくとも1つ、好ましくは複数(例えば、2もしくは3)の、静的メモリ、好ましくはSRAM型のものと、静的表示もしくは低リフレッシュレートおよび/または少数の強度レベル用に接続する。データは、図表および/もしくは英数字データ、静止画像または動的メモリを経由する映像データより低い時間および/もしくは視覚的解像度を有する映像データの可能性がある。

30

【0021】

本発明の好ましい表示部では、第1および第2の制御ブロックについて、第1の制御ブロックの発光強度レベルのビット数は、第2の制御ブロックより少なくなるように構成する。有利には、第1の制御ブロックの発光強度レベルを3~8ビットとなるように構成し、かつ/または第2の制御ブロックの発光強度レベルを少なくとも8ビットとなるように構成する。例えば、第2の制御ブロックの発光強度レベルを10、12ビットで、または14ビットでさえも構成する可能性がある。有利には、第2の制御ブロックは、前述の第1の制御ブロックよりも高いリフレッシュレートを有する。前述のリフレッシュレートは、好ましくは少なくとも25Hz、より好ましくは少なくとも30Hz、さらにより好ましくは少なくとも60Hz、最適には少なくとも90Hzであり、かつ/または第2の制御ブロックは静的表示のための図表および/もしくは英数字データを格納するためのメモリ部を含む。

40

【図面の簡単な説明】

【0022】

本発明について、非限定的な例としてのみ与えた添付の図面を参照して、以下に説明す

50

る。

【図 1】映像ストリームおよび / または図表データの表示のための装置を示す表示要素の構造の概観図である。

【図 2 a】映像ストリームを表示するための装置を示す表示要素の構造の概観図である。

【図 2 b】図表データを表示するための装置を示す表示要素の構造の概観図である。

【図 3】第 1 の実施形態の 1 副画素の配線図を表したものである。

【図 4】第 2 の実施形態の 1 副画素の配線図を表したものである。

【図 5】第 3 の実施形態の 1 副画素の配線図を表したものである。

【図 6】画素回路の入力 S 1 ~ S 4 に適用する発光時間の制御信号のタイミングチャートである。

10

【図 7】別の実施形態を有する 1 副画素の配線図を表したものである。

【0023】

以下の参照数字を、本明細書内で使用する。

【表 1】

1	本発明に係る装置	2	第 1 の制御ブロック
3	第 2 の制御ブロック (映像ストリームの管理)	4	基準電圧発生部
3 1	映像ストリーム	3 2	命令信号
3 3	シーケンサ	3 4	水平シフトレジスタ
3 5	デジタル比較器	3 6	サンプリングおよびメンテナンス回路
3 7	垂直シフトレジスタ		
3 8	画素マトリクス	4 1	カウンタモジュール
4 2	ルックアップテーブル	4 3	電流源
4 4	基準電圧発生器	4 5	4 1 からの信号
		4 7	4 4 から出力される基準電圧
1 2 1	シリアルデータバス	1 2 2	デコーダモジュール
1 2 3	シグナルプロセッサ	1 3 1	データ信号
1 3 2	水平アドレス指定テーブル	1 3 3	水平アドレス指定信号
		1 3 4	垂直アドレス指定信号

20

30

40

1 3 7	垂直アドレス指定テーブル	1 4 5	PWM信号発生器
1 4 6	制御信号	1 4 7	基準電圧
2 0 0	副画素の電気回路	2 0 5	トランジスタ
		2 1 0	コンデンサ
2 1 5、 2 2 0	トランジスタ	2 3 5、 2 4 0、 2 4 5、 2 5 0	トランジスタ
2 7 0	回路 2 0 0 の動的部分	2 5 5、 2 6 0	静的メモリ（SRAMまたは レジスタ）
		2 8 0	回路 2 0 0 の静的部分
3 0 0	本発明に係る装置	2 9 0	副画素
3 1 0	コンデンサ	3 0 5	トランジスタ
3 2 5	OLED要素	3 1 5、 3 2 0	トランジスタ
3 5 5、 3 6 0	静的メモリ（SRAMセルま たはレジスタ）	3 4 5、 3 5 0	トランジスタ
		3 7 0	回路 2 0 0 の動的部分
3 8 0	回路 3 0 0 の静的部分	3 9 0	副画素
4 0 0	本発明に係る装置	4 0 5、 4 1 5	トランジスタ
4 1 0	コンデンサ	4 2 0、 4 3 5	トランジスタ
4 2 5	OLED要素		トランジスタ

10

20

30

40

470	回路400の動的部分	440、 445 450、 455、 460	
480	回路400の静的部分	441、	静的メモリ（SRAMまたは レジスタ）
490	副画素	446、 451、 456	
500	本発明に係る装置	505	静的メモリ（SRAMまたは レジスタ）

10

20

【発明を実施するための形態】

【0024】

(詳細な説明)

図1は、エレクトロルミネセンス基本発光ゾーンの単一マトリクスに実装された2つの異なる表示モードに関するもので、図1内に参照38を含む。それは、特に、OLED型の画素マトリクスに関係する可能性があり、本説明は、この場合を参照する。本発明は、当然、無機半導体または発光ダイオード(LED)を使用するエレクトロルミネセンス画素マトリクスにも適用され得る。単色エレクトロルミネセンス画面の画素マトリクスの場合、各基本発光ゾーンは、一般に、1画素に対応する。カラー画面の場合、各画素は複数の個別にアドレス指定できる副画素に分解され、次に、それらの副画素が基本発光ゾーンに対応する。

30

【0025】

図1では、2つの別個の画像チャネル、すなわち、映像(デジタルデータの入力ストリームを伴う)と呼ばれるチャネルおよび図表(デジタルデータの入力ストリームを含む)と呼ばれるデータチャネルを備えた、本発明に係る装置1の構造の概観図について説明する。2つのチャネルは、画素内でのみ接続されている。映像および図表チャネルのそれぞれには、独自のアドレス指定システムおよび、基本発光ゾーンにおける別個の配線がある。前述の構造では、定常電流で各基本発光ゾーン(すなわち、各OLED副画素)を制御するように設計するが、わずかな変更(図には示さない)によって、同一のことを電圧制御にも適用し得る。映像チャネルでは、各基本発光ゾーンの入力デジタル映像信号について、カウンタ、電流源、基準電圧発生器、および必要に応じて、列の比較器に関連付けられた補正テーブルを含むシステムによって、グレーレベルに対応するアナログ信号に変換する。このようにして得られたアナログ映像信号を、基本発光ゾーンに関連付けられた動的メモリに一時的に格納する。図表データチャネルは、SRAM型のメモリに対する書き込み手順を(および必要に応じて読み取りも)介して、SRAM型の直接アクセスデジタルライブメモリマトリクスをアドレス指定する。

40

【0026】

より具体的には、表示部の映像ブロックは、カウンタ(例えば、8ビット)と、カウンタの値を映像データと比較する各列の端にある比較器と、を備える。それと同時に、カウンタは、重み付け電流源(すなわち、基準電圧発生器)のシステムを供給する。カウンタ

50

の値および映像データの値が等しい場合、基準電圧発生器の基準電圧は、最初に列のバッファメモリに転送され、次のサイクル中に列を介して基本発光ゾーンに転送される。カウンタおよび基準電圧発生器の間に、非線形補正（ガンマ係数）を適用するための変換テーブルが存在する可能性がある。この場合、基準電圧発生器のビット数を増やすと有用な場合がある。

【 0 0 2 7 】

基準電圧発生器は、入力に印加された値に比例する電流を基本発光ゾーンに導入する電圧を生成する。

【 0 0 2 8 】

図 2 a は、エレクトロルミネセンス画素マトリクス 3 8 上に映像ストリーム 3 1 を表示するための映像チャネルの回路を示す。この図は、当該表示モードでは使用しない制御ブロック 2 として知られる第 1 のブロックを示しており、その動作については、第 2 の表示モードに関連して後述する。第 2 のブロック 3 によって、画素マトリクス 3 8 上に表示するまでの映像ストリーム 3 1 を管理することが可能となる。デジタルデータストリームである映像ストリーム 3 1 は、水平シフトレジスタであるデマルチプレクサ 3 4 に向かい、次にデジタル比較器 3 5（ここでアナログデータストリームを生成する）に向かい、次にサンプリングおよびメンテナンス回路 3 6 に向かい、そして最後に画素マトリクス 3 8 の垂直ゲートに向かって送信される。第 2 のブロック 3 において、制御信号 3 2 は、画素マトリクス 3 8 の水平線上に順序を与える行駆動要素 3 7（通常は、垂直シフトレジスタまたはデマルチプレクサ）に供給できるようにするシーケンサ 3 3 に送信される。

【 0 0 2 9 】

基準電圧生成部 4 は、基準電圧を生成する。基準電圧生成部 4 は、信号 4 5 をルックアップテーブル 4 2（頭字語「LUT」で知られる）に送信する 8 ビットのカウンタモジュール 4 1 を含む。ルックアップテーブル 4 2 は、非線形符号化が可能となるので、任意ではあるが推奨する。ルックアップテーブル 4 2 から得られる値を、10 ビットで符号化された基準電圧発生器 4 4 に向けて送信する。基準電圧発生器 4 4 は、10 ビットで重み付けした電流源 4 3 を提供するための別の入力を含む。基準電圧発生器 4 4 の出力基準電圧 4 7 は、第 2 の制御ブロック 3 のサンプリングおよびメンテナンス回路 3 6 に供給される。

【 0 0 3 0 】

図 1 に関連する動作は、デジタル比較器アセンブリ 3 5、カウンタ 4 1、ルックアップテーブル 4 2（任意）、および基準電圧発生器 4 4 によってそれぞれの列の端でアナログ信号に変換してから画素マトリクス 3 8 に送信されるデジタル映像データストリーム 3 1 に基づく。このストリーム種は、瞬時に表示するために迅速な処理を必要とする。映像ストリーム 3 1 は、画素マトリクス 3 8 の各画素に対して表示すべき情報をアドレス指定するために、デマルチプレクサ 3 4 によって分解される。シーケンサ 3 3 は、垂直シフトレジスタ 3 7 に対して各画素上に情報を表示するための順序を送信する。当該順序は、以下の種類の可能性がある制御信号 3 2 に基づく。

- ・画素クロック（PCLK）：画素クロックは画素ごとに変化する。
- ・水平同期（HSYNC）：フレームの行が送信されていることを示す特別な信号である。
- ・垂直同期（VSYNC）：フレーム全体の転送後に送信される信号である。当該信号は、フレーム全体が送信されたことを示すための手段であることが多い。

【 0 0 3 1 】

図 2 b は、エレクトロルミネセンス画素マトリクス 3 8 上に図表データを表示するための装置 1 を示す構造の概観図である。当該構造は、上記の第 1 の制御ブロック 2 を含み、これは、シリアルデータバス 1 2 1 を含み、シリアルデータバス 1 2 1 は、既知の方法で、モジュール 1 2 2 に向けて送信され、モジュール 1 2 2 は、信号を復号するとともに、シグナルプロセッサ 1 2 3 に送信可能とされ、シグナルプロセッサ 1 2 3 は、信号を復号して画素マトリクス 3 8 の静的メモリに送信後、これらは、メモリ回路で使用される。シ

10

20

30

40

50

グナルプロセッサ 123 は、第 1 の制御ブロック 2 の行および列の信号を生成する制御部である。これは、信号発生器またはマイクロコントローラ、あるいはより複雑なシステムの場合はマイクロプロセッサに関係する可能性がある。

【0032】

本明細書では、特定の実施形態について、エレクトロルミネセンス画素マトリクス 38 上での図表および / または英数字データ 131 の表示について説明する。第 1 の制御ブロック 2 は、図表および / または英数字データ信号 131 を、第 2 の制御ブロック 3 のアドレス指定テーブル 132 に向けて送信する。アドレス指定テーブル 132 は、エレクトロルミネセンス画素マトリクス 38 の列のアドレス指定を制御する水平方向のアドレス指定テーブルである。アドレス指定テーブル 132 は、水平アドレス指定信号 133 を受信する。さらに、第 2 の制御ブロック 3 は、エレクトロルミネセンス表示部 38 の行のアドレス指定を制御する垂直アドレス指定信号 134 を受信する行駆動要素 137 (垂直アドレス指定テーブル) を備える。さらに、画素マトリクス 38 は、基準電圧生成部と呼ばれる参照 4 から来る基準電圧を受け取る。基準電圧生成部 4 は、基準電圧発生器 44、電流源モジュール 43、および必要に応じて、PWM 信号発生器 145 と呼ばれるパルス幅変調器を備える。

【0033】

図 2 b に関連する動作により、低速表示プロセスのデジタル処理が行われ、画素に SRAM 型メモリが実装される。情報は、第 1 の制御ブロック 2 において分解され、そのすべての情報、データ 131 およびアドレス指定 133、134 によって、画素マトリクス 38 上に図表データを表示することが可能となる。基準電圧 147 (ここでは、 V_{ref} 、 V_{ref1} および V_{ref2}) は、基準電圧発生器 44 によって生成される。基準電圧 147 は、画素マトリクス 38 上のゲートを駆動するトランジスタの電流または出力電圧の値、したがって、画素マトリクス 38 上の電流または電圧の値を定義する。したがって、基準電圧は、エレクトロルミネセンス画素マトリクスに共通であり、グレーレベルを定義するための連続信号を提供する。具体的には、前述の電圧により、各画素で、メモリに保存された値の供給および比較を維持することが可能となる。

【0034】

図 1、2 a、および 2 b は、動的または静的表示の実装モードに対応しており、当該モードを、データストリームの管理、つまり画素マトリクス上に表示される情報のリフレッシュ周波数によって区別する。本発明に係る表示部の構造では、同一の画素マトリクス 38 上に前述の 2 つの機能をまとめる。

【0035】

画素マトリクス 38 の構造は、水平および垂直に整列された複数の画素を含む。この実施形態では、各画素は、基本発光ゾーンとして 4 つの副画素を含み、当該副画素は、主に赤、緑、および青で、第 4 の副画素は、白または他の任意の色における補色であり得る。明らかに、画素あたり 3 つの副画素のみを提供してもよいし、または各画素にただ 1 つの基本発光ゾーンを形成するように提供してもよい。

【0036】

上記に示したように、各基本エレクトロルミネセンス発光ゾーンには、図表データ用の静的メモリ、および映像ストリームからのデータ用の動的メモリの 2 つの独立したメモリがある。図 3、4、5、および 7 は、基本エレクトロルミネセンス発光ゾーンにおける回路の実施形態を示し、その構造および動作について、特に静的または動的な型のメモリ部に関連して、以下でより詳細に説明する。

【0037】

図 3 は、第 1 の実施形態に係る、1 つの基本発光ゾーン 290 (副画素であり得る) のみの配線図 200 を示す。回路は 3 つの部分を含み、1 つは動的部分 270、もう 1 つは静的部分 280、さらに副画素 290 上への表示部分である。

【0038】

回路の動的部分 270 は、アナログ映像ストリーム 31、およびシーケンサ 33 からの

10

20

30

40

50

選択電圧 47 がトランジスタ SW1 205 のゲートに到達することを含む。トランジスタ 205 の陰極により、コンデンサ 210 ならびにトランジスタ T_{ANA1} 215 のゲートが供給される。トランジスタ T_{ANA1} 215 の陽極は、電圧 V_{ANA} に接続する。トランジスタ T_{ANA1} 215 の陰極は、表示副画素 290 に接続される。当該副画素は、OLED 要素 225 に接続されるトランジスタ SW2 220 から成る。また、トランジスタ SW2 220 自体は任意であり、例えば、OLED 要素 225 の発光を変調することが可能となる。

【0039】

回路の静的部分 280 (図3の点線の丸で囲んだ部分)は、図表データの表示用であり、トランジスタ T_{ANA2} 235、それと直列のトランジスタ SW3 245、さらに並列の T_{ANA3} 240、それと直列のトランジスタ SW4 250 から成る。T_{ANA2} 235 および T_{ANA3} 240 の陽極は、T_{ANA1} 215 の陽極に接続し、SW3 245 および SW4 250 の陰極は、SW2 220 か、または T_{ANA1} 215 の陰極に接続する (SW2 は任意であり、必要ない場合)。T_{ANA2} 235 および T_{ANA3} 240 の各ゲートは、基準電圧 V_{ref} 147 に接続される。2つのトランジスタ SW3 245 および SW4 250 の各ゲートは、SRAMセル型メモリ機能 255、260 によって制御する。メモリセルは通常、6トランジスタ型である。図では、BL (「ビットライン」) および WL (「ワードライン」) 入力のみを使用し、それぞれに、行アドレス指定信号 134 (垂直アドレス指定信号) およびデータ線 131 が供給される。メモリのプログラムは、各 SRAMセルの BL 列に、デジタル信号「0」または「1」を確立し、その反対のデジタル信号「1」または「0」を BLB (「ビットラインバー」) 列に確立することによって実行され、続いて、WL 信号上に、一般に正のパルス信号が、SRAM型セルのメモリに BL および BLB 信号を保存するように到達する。

【0040】

図3の回路を、3つの異なる方法で利用できる。第1の使用法は映像モードであり、本質的に動的部分 270 を含む。すなわち、メモリのマトリクス内のあらゆる場所を 0 レベルに設定し、データを映像インターフェースによってのみ送信する。言い換えれば、画素を映像データチャネルによってのみ制御する。映像ストリーム 31 を、SW1 205 の陽極に供給する。トランジスタは、電圧 V_{select} が表示副画素 290 のスイッチオンを許可するときのみ導通する。コンデンサ CS 210 は、任意であるが、強く推奨する。すなわち、T_{ANA1} 215 の端子に供給する際、経時中の電圧過負荷ならびに維持の制限が可能となり、したがって、動的メモリとして機能する。これは、コンデンサ 210 を T_{ANA1} 215 の搬送能力によって動作的に置換し得る場合に、特に映像ストリームのリフレッシュ周波数が十分に高い場合にのみ、発生することであろう。映像動作モードで供給されない静的部分 280 では、電流は流れない。

【0041】

第2の使用法は、図表モードであり、本質的に静的部分 280 を含む。SRAMセル 255、260 のメモリ機能により、トランジスタ SW3 245 および SW4 250 の開閉を維持することが可能となる。SW3 および SW4 を制御して開くことにより、基準電圧 V_{ref} 147 は、OLED 要素 225 まで通過できる。並列の T_{ANA2} 235 および T_{ANA3} 240 は、2ビットでアナログデジタル変換器の機能を有する。当該変換器は、以下の4つのモードが可能である。

【0042】

(モード00)

2つのトランジスタ SW3 245 および SW4 250 は導通せず、回路内の電流移動は0である。上述したような、純粋な動的モードである。

(モード01)

トランジスタ SW4 250 が導通し、相対電流が副画素 290 の表示に送られる。

(モード10)

10

20

30

40

50

トランジスタ $SW3$ 245 が導通し、相対電流が副画素 290 の表示に送られる。

(モード 11)

トランジスタ $SW3$ 245 および $SW4$ 250 は導通し、相対電流は副画素 290 の表示に送られる。

【 0043 】

第3の使用法は、オーバーレイと呼ばれる混合モードであり、動的チャネル 270 による映像信号および静的部分 280 による図表信号の両方を印加する。したがって、 $OLED$ の電流は両信号のオーバーレイに対応する。副画素 290 の表示を、 $SW3$ 245 と直列の T_{ANA2} 235 、および $SW4$ 250 と直列の T_{ANA3} 240 、ならびに T_{ANA1} 215 によって形成する変換器によって制御する。

10

【 0044 】

図3に示す図は、2つの $SRAM$ 型メモリセル 255 、 260 を使用した、図表部分について4つのレベル(2ビット)を備えたディスプレイの有利な実施形態を提案する。これは、追加のメモリセル(たとえば、3、4、または5つの $SRAM$ セル)を含むことによって、アナログデジタル変換器のビット数、したがって可能なモード数の容量を増強することができる。

【 0045 】

上記に示した構造は、 $OLED$ 225 に定常電流を供給するように設計されているが、わずかな変更を加えることで、電圧供給にも同様に適用できる。

【 0046 】

20

図4は、副画素の1つにおける配置の第2の実施形態 300 について説明する。回路は3つの部分を含み、第1は動的部分 370 、第2は静的部分 380 、第3は副画素 390 上への表示部分である。動的部分 370 は、トランジスタ $SW1$ 305 の陽極へのアナログ映像信号 31 の到達および、ゲートへの行選択電圧 47 の到達を含む。トランジスタ 305 の陰極は、コンデンサ 310 (動的メモリとして作用する)、および他のトランジスタ T_{ANA} 315 のゲートを供給する。トランジスタ T_{ANA} 315 の陽極は、電圧 V_{ANA} に接続される。トランジスタ T_{ANA} 315 の陰極は、副画素 390 の表示に接続される。副画素 390 の表示は、 $OLED$ 要素 325 を含むアセンブリに接続されたトランジスタ $SW2$ 320 (任意)を含む。

【 0047 】

30

静的部分 380 (図4の点線の丸で囲んだ部分)は、2つのトランジスタ $SW3$ 345 および $SW4$ 350 から成り、それらは陰極によりトランジスタ $SW1$ 305 の陰極に接続する。両トランジスタの陽極は、それぞれ個別に基準電圧 147 の V_{ref1} および V_{ref2} に接続する。2つのトランジスタ $SW3$ および $SW4$ の各ゲートを、 $SRAM$ セル 355 、 360 の型のメモリ機能により制御する。メモリセルは、6トランジスタまたはそれ以上の型である。図3、4、5、および7では、 BL (「ビットライン」) および WL (「ワードライン」) 入力を、それぞれ、行アドレス 134 およびデータ線 131 によって供給する。

【 0048 】

40

$SRAM$ セル 355 、 360 の出力により、トランジスタ 345 および 350 のそれぞれを導電させ、所定電圧 V_{ref} を $OLED$ 用電流源である T_{ANA} 315 のゲートに印加することができる。特定の電流源は必要ないが、レベルごとに1つ(第1の実施形態のようにビットごとではなく)の $SRAM$ セルを備える必要がある。これについて以下の表に、4つの電流源の場合を示す：基準電圧 V_{ref1} および V_{ref2} は、トランジスタ $SW3$ 345 および $SW4$ 350 が導通している場合に、トランジスタ T_{ANA} に印加される。

【表 2】

レベル	SRAM	SRAM	SRAM	SRAM	ゲート電圧 (T_{ANA})
	1	2	3	4	
0	0	0	0	0	映像データ
1	1	0	0	0	V_{Ref1}
2	0	1	0	0	V_{Ref2}
3	0	0	1	0	V_{Ref3}
4	0	0	0	1	V_{Ref4}

10

【0049】

図4の回路は、3つの異なる方法で使用できる。第1の使用モードによれば、回路の動的部分370のみが使用される。映像ストリーム31は、SW1 305の陽極に供給される。トランジスタは、電圧 V_{select} が、表示部分390のスイッチオンを許可するときのみ導通する。コンデンサCS 310によって、 T_{ANA} 315のゲート供給の際、経時中の電圧維持が可能となる。静的部分380に供給はされず、いかなる電圧も伝わらない。第2の使用モードによれば、回路の静的部分380のみを使用する。SRAMセル355、360のメモリ機能により、トランジスタSW3 345およびSW4 350の開閉を維持することが可能となる。

20

【0050】

回路内に存在するメモリセルの数にしたがって、例えば、上記の表に示すように、表示部分390は、 T_{ANA} 315に印加される種々の電圧に応じて動作する。

【0051】

この使用モードにおいて、トランジスタ T_{ANA} のゲートの電圧状態は、必ずしも既知でなく、ハイインピーダンスの場合にある可能性もある。その場合、トランジスタは、遮断されたままである。この問題を克服するために、出願人は、トランジスタ T_{ANA} を初期化するために、電圧 V_{select} を使用することを提案する。この場合、図表モードの場合に限り、電圧 V_{select} を、シーケンサ33によって制御するだけでなく、基準電圧生成部4からも生成する。

30

【0052】

電圧 V_{select} 信号により、メモリセルの各書き込み前にトランジスタ T_{ANA} を再初期化可能とする。

【0053】

第3の使用モードは、オーバーレイと呼ばれる混合モードであり、これは、回路の静的部分380および動的部分370の両方を含む。副画素390の表示を T_{ANA} 315によって形成した変換器によって制御する。この場合、表示部分390を、映像信号31および様々なメモリセル355、360からのストリームの双方が通過できる。

40

【0054】

上記に示したように、ここでの回路は、副画素390の表示を電流によって制御するものとして説明したが、それらの回路を電圧によって制御することも軽微な修正により、可能である。

【0055】

図5は、4ビットのグレーレベルを有する特定の場合について、副画素の1つにおける

50

回路の配置の第3の実施形態400を説明する。この回路は、3つの部分、すなわち、動的表示のための第1の部分470、静的表示のための第2の部分480、および副画素490上に表示するための第3の部分を含む。動的部分470は、トランジスタSW2 405の陽極へのアナログ映像信号31の到達および、ゲートへの行選択電圧47の到達を含む。トランジスタ405の陰極は、コンデンサ410（動的メモリとして作用する）、およびトランジスタT_{ANA} 415のゲートを供給する。トランジスタT_{ANA} 415の陽極は、電圧V_{ANA}に接続される。トランジスタT_{ANA} 415の陰極は、副画素490の表示に接続される。副画素490の表示は、OLED要素425に接続されたトランジスタSW2 420から成る。静的部分480（図5の点線の丸で囲んだ部分）は、陰極がトランジスタT_{ANA} 415のゲートに接続したトランジスタSW1 435から成る。トランジスタSW1 435の陽極は、基準電圧V_{ref} 147に接続される。トランジスタSW1 435のゲートを、並列に配置したトランジスタ440、445、450、455、460の陽極からの5つの信号により制御する。

【0056】

この実施形態では、4ビットのグレーレベルを含む一例として、4つの制御信号（146）のS1、S2、S3、S4により、4つのトランジスタ440、445、450、455のゲートを制御し、その陽極にそれぞれ配置したメモリセル441、446、451、456からのデータをSW1 435のゲートに向かって送信することができる。第5のトランジスタ460は、陰極をSW1 435のゲートに接続し、陽極のアナログ電源V_{ANA}およびゲートの信号V_{reset}を含む。メモリセルは、6トランジスタまたはそれ以上を備えた型であり得る。表示部480のOLED要素425は、たった1つの輝度レベルで動作し、したがって、グレーレベルが生成されるよう発光時間を制御する。

【0057】

図5の回路は、3つの異なる方法で使用できる。第1の使用モードによれば、回路の動的部分470のみを使用する。映像ストリーム31は、SW1 405の陽極に供給される。トランジスタは、電圧V_{select}（モジュール33から来る）が、表示部分490のスイッチオンを許可するときのみ導通する。コンデンサCS 410によって、T_{ANA} 415のゲート供給の際、経時中の電圧維持が可能となる。静的部分480は、信号S1、S2、S3、およびS4を論理レベルの1のとき送信するので、メモリセルのレベルは、コンデンサCS 410のサンプリング静電容量の電圧、したがって、映像信号31には影響しない。

【0058】

第2の使用モードによれば、回路の静的部分480のみを使用する。メモリセル441、446、451、456の書き込みは、完全にランダムに行われる。表示部分490での目に見えるちらつきの影響を防ぐために、信号のリフレッシュ周波数は、85Hzより高く、または12ミリ秒より短くなければならない。メモリセルの書き込み時間および発光に関する干渉を制限するために、120Hz付近のさらに高い周波数を使用することが好ましい。この使用モードにおいて、トランジスタT_{ANA}のゲートの電圧状態は、必ずしも既知でなく、ハイインピーダンスの場合にある可能性もある。その場合、トランジスタは、遮断されたままである。この問題を克服するために、出願人は、トランジスタT_{ANA}を初期化するために、電圧V_{select}を使用することを提案する。この場合、図表モードの場合に限り、電圧V_{select}を、シーケンサ33によって制御するだけでなく、基準電圧（147）生成部44からも生成する。

【0059】

電圧V_{select}信号により、メモリセルの各書き込み前にトランジスタT_{ANA}を再初期化可能とする。

【0060】

第3の使用モードは、オーバーレイと呼ばれる混合モードであり、これは、回路の静的部分480および動的部分470の両方を含む。動的部分470は、映像信号31をサンプリング静電容量CS 410に送信する。静電容量の電圧レベルは、メモリセル441、

10

20

30

40

50

4 4 6、4 5 1、4 5 6 からのデータによって強制設定される可能性があり、そのときは動的部分 4 7 0 の映像ストリーム 3 1 上に静的部分 4 8 0 の表示を強制的に行うことになる。電圧 V_{select} は、垂直シフトレジスタ 3 7 を介してシーケンサ 3 3 の信号の特徴を備える。

【0061】

図 6 は、2 者間の導通をトランジスタ T_{ANA} に遮断させる画素回路の入力 $S_1 \sim S_4$ に適用する発光時間の制御信号 1 4 6 についてのタイミングチャートの一例を示す。4 つの制御信号 (1 4 6) の S_1 、 S_2 、 S_3 、 S_4 によって変調する 4 ビットのグレーレベルを含む。タイミングチャートは、制御信号 S_1 、 S_2 、 S_3 、 S_4 をグレーレベルのビットごとに示す。 S_1 によって生成される発光時間は、第 1 のグレーレベルに対応し、 S_2 はグレーレベルの第 2 ビット、そして S_4 までのグレーレベルに対応する。 S_1 、 S_2 、 S_3 、および S_4 が全て 1 の場合、最大輝度に達する。 T/T_d 比を介して輝度を変更する手段を追加できる。すなわち、グレーレベルは 1 のままで、 S_1 、 S_2 、 S_3 、 S_4 について制御する制御信号 1 4 6 を、基準電圧生成部 4 によって、より具体的には、パルス幅変調 (略称 PWM) 型の信号発生器 1 4 5 によって生成する。

10

【0062】

図 6 は、電圧 V_{select} の信号も示す。実際、変調信号により、各メモリセル内に書き込む前に、 T_{ANA} のゲート信号を再初期化することが可能となる。この信号を、最後の 2 つの実施形態に適用する。

【0063】

示した図は、有利な実施形態を提案するが、それは、グレーレベルの数を増やすために追加のメモリセルを含む可能性がある。

20

【0064】

図 7 は、第 1 の実施形態の変形 5 0 0 を示すが、3 つの実施形態において実施することができる。当該変形は、各実施形態において、 SW_2 のゲートに接続したメモリセル 5 0 5 を追加することからなる。電圧または電流における OLED の分極モードに関係なく、また SRAM 型のメモリを実装する実施形態に関係なく、前述のメモリセルによって、画素の映像データをオフにして、画素上に図表チャネルのみを残すことが可能となる。この変更により、オーバーレイモードの実装が容易になる。すべての実施形態は、基準電圧生成部 4 によって理想的に生成される基準電圧または強度 4 7 を利用する。当該基準強度または電圧を、電源またはアナログデジタル変換器の電圧を介して局所的に生成することが可能である。この選択には、基準電圧を構築するための電気要素を各副画素アセンブリに統合することが含まれる。

30

【0065】

すべての実施形態において、OLED 電流駆動を使用する。電圧駆動の場合、PMOS 型で示したすべてのトランジスタを NMOS トランジスタに置き換える必要がある。

【0066】

電圧 V_{ANA} は、通常、1.0 V ~ 3.3 V (例えば、1.8 V) 程度であり、電圧 V_{cath} は、通常、-2 V ~ -9 V (例えば、-8 V) 程度である。

【0067】

画面が映像データと同時に図表データを表示するように構成されている場合、図表データは、優先度 (図 4 に示す実施形態) またはオーバーレイ (図 3、5 および 7 に示す実施形態) のいずれかを有し得る。最後の場合では、OLED ダイオードの電流はそれらの和となる。

40

【0068】

より具体的には、図 4 に関連して説明した実施形態では、信号 V_{select} による画素の書き込み中に、トランジスタ SW_3 および SW_4 によって図表データに接続された基準電圧 V_{ref1} および V_{ref2} は、ブロック 3 6 によって制御される電圧 3 0 5 と平衡化される。書き込み後、トランジスタ SW_1 が開いているため、CS 静電容量に図表値が書き込まれ、映像信号よりも優先される。したがって、この動作モードでは、電圧 V_r

50

e_{f1} および V_{ref2} は変動する可能性が高く、場合によっては、図表表示に目に見える影響をもたらす可能性がある。当該影響について、ブロック 37 のインピーダンスがブロック 36 よりもはるかに低い場合に最小限に抑えることができる可能性がある。なぜなら、この場合は、 V_{ref1} および V_{ref2} による駆動は、映像電圧 305 による駆動よりも優先するからである。

【図 1】

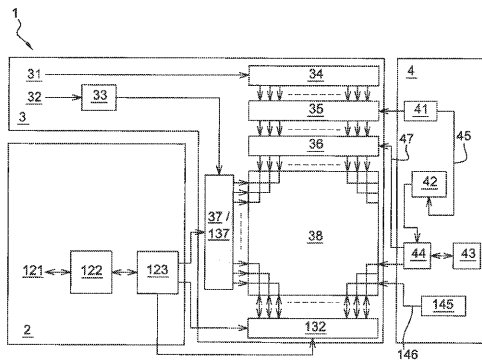


Fig. 1

【図 2 b】

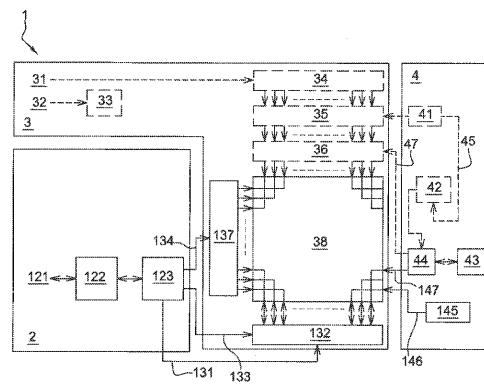


Fig. 2b

【図 2 a】

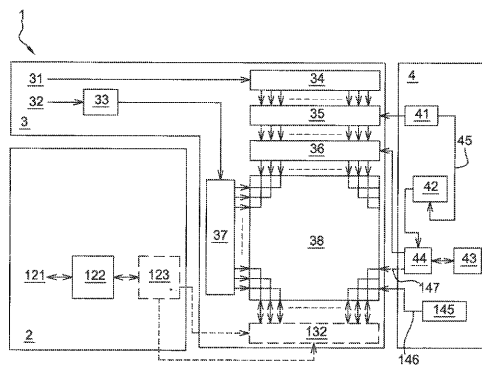


Fig. 2a

【図 3】

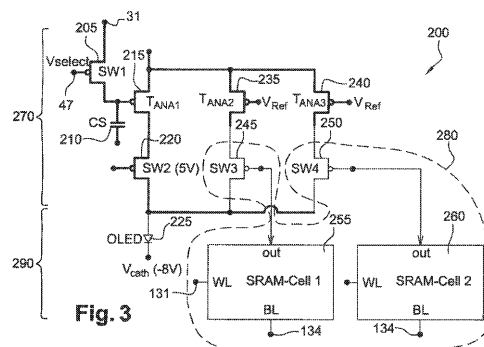


Fig. 3

【 図 4 】

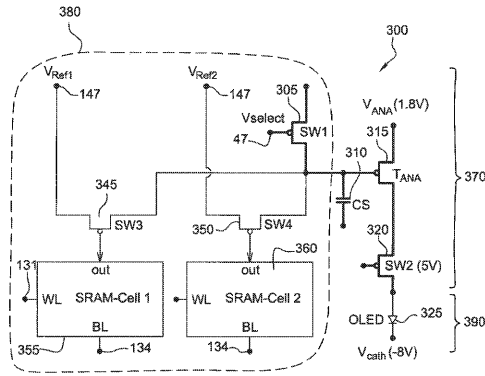


Fig. 4

【 図 5 】

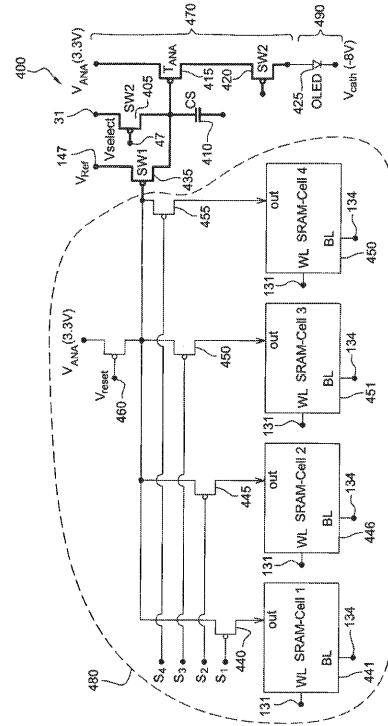


Fig. 5

【 図 6 】

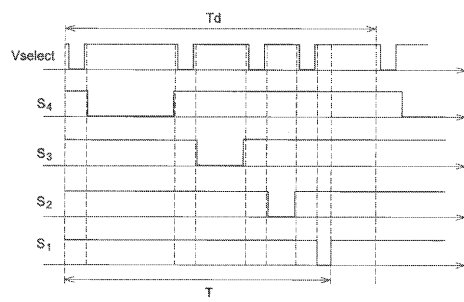


Fig. 6

【 図 7 】

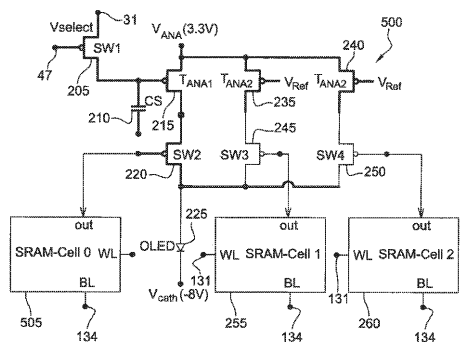


Fig. 7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR2019/051100

A. CLASSIFICATION OF SUBJECT MATTER*G09G 3/32*(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002093472 A1 (NUMAO TAKAJI [JP]) 18 July 2002 (2002-07-18) paragraphs [0014], [0030], [0038] - [0040], [0044], [0101] - [0104], [0106], [0134] - [0141], [0169] - [0177], [0217], [0255]; figures 7,11,12	1-11
A	US 2009102749 A1 (KAWABE KAZUYOSHI [JP]) 23 April 2009 (2009-04-23) paragraphs [0037], [0043] - [0047], [0049]; figures 3-5	1-11
A	EP 1388842 A2 (SEMICONDUCTOR ENERGY LAB [JP]) 11 February 2004 (2004-02-11) paragraph [0024] - paragraph [0026]; figures 1,3,5 paragraph [0042] - paragraph [0044] paragraph [0045] - paragraph [0046] paragraph [0060] - paragraph [0063]	1-11
A	US 2009027306 A1 (KAWABE KAZUYOSHI [JP]) 29 January 2009 (2009-01-29) paragraph [0021]; figures 5a,5b,7 paragraph [0065] - paragraph [0073]	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 August 2019

Date of mailing of the international search report

28 August 2019

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Taron, Laurent

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/FR2019/051100

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2002093472	A1	18 July 2002	CN	1366291	A	28 August 2002
				KR	20020062218	A	25 July 2002
				TW	536689	B	11 June 2003
				US	2002093472	A1	18 July 2002
US	2009102749	A1	23 April 2009	JP	5086766	B2	28 November 2012
				JP	2009098471	A	07 May 2009
				US	2009102749	A1	23 April 2009
EP	1388842	A2	11 February 2004	EP	1388842	A2	11 February 2004
				US	2004095305	A1	20 May 2004
				US	2010141841	A1	10 June 2010
				US	2012320296	A1	20 December 2012
US	2009027306	A1	29 January 2009	JP	5270120	B2	21 August 2013
				JP	2009031448	A	12 February 2009
				US	2009027306	A1	29 January 2009

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2019/051100

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

INV. G09G3/32

ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2002/093472 A1 (NUMAO TAKAJI [JP]) 18 juillet 2002 (2002-07-18) alinéas [0014], [0030], [0038] - [0040], [0044], [0101] - [0104], [0106], [0134] - [0141], [0169] - [0177], [0217], [0255]; figures 7,11,12	1-11
A	US 2009/102749 A1 (KAWABE KAZUYOSHI [JP]) 23 avril 2009 (2009-04-23) alinéas [0037], [0043] - [0047], [0049]; figures 3-5	1-11

☒ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 août 2019

Date d'expédition du présent rapport de recherche internationale

28/08/2019

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Taron, Laurent

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2019/051100

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 1 388 842 A2 (SEMICONDUCTOR ENERGY LAB [JP]) 11 février 2004 (2004-02-11) alinéa [0024] - alinéa [0026]; figures 1,3,5 alinéa [0042] - alinéa [0044] alinéa [0045] - alinéa [0046] alinéa [0060] - alinéa [0063] -----	1-11
A	US 2009/027306 A1 (KAWABE KAZUYOSHI [JP]) 29 janvier 2009 (2009-01-29) alinéa [0021]; figures 5a,5b,7 alinéa [0065] - alinéa [0073] -----	1-11

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2019/051100

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2002093472	A1	18-07-2002	CN 1366291 A	28-08-2002
			KR 20020062218 A	25-07-2002
			TW 536689 B	11-06-2003
			US 2002093472 A1	18-07-2002

US 2009102749	A1	23-04-2009	JP 5086766 B2	28-11-2012
			JP 2009098471 A	07-05-2009
			US 2009102749 A1	23-04-2009

EP 1388842	A2	11-02-2004	EP 1388842 A2	11-02-2004
			US 2004095305 A1	20-05-2004
			US 2010141841 A1	10-06-2010
			US 2012320296 A1	20-12-2012

US 2009027306	A1	29-01-2009	JP 5270120 B2	21-08-2013
			JP 2009031448 A	12-02-2009
			US 2009027306 A1	29-01-2009

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 6 0 V
	G 0 9 G 3/20	6 3 1 D
	G 0 9 G 3/20	6 5 0 J
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 3 3 D
	G 0 9 G 3/20	6 1 1 G
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 3 1 U
	G 0 9 G 3/20	6 2 3 H
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 4 1 D
	H 0 5 B 33/14	A

(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT

(74)代理人 100170900

弁理士 大西 渉

(72)発明者 ハース, ギュンター

フランス国 3 8 1 2 0 サン—テグレーヴ, リュ デュ フォイエ 2 6 ベー

(72)発明者 シャリエ, ローラン

フランス国 3 8 0 0 0 グルノーブル リュ ダルメニ 1 0 マイクロオーエルイーディー内

Fターム(参考) 3K107 AA01 BB01 CC31 HH05

5C080 AA06 AA07 BB06 CC06 CC07 DD26 EE01 EE17 EE19 EE29

FF03 FF11 FF13 GG15 GG17 HH09 JJ02 JJ03 JJ04

5C380 AA01 AA02 AA03 AB06 AB35 AB36 AB37 AB46 BA22 BB08

CA12 CA14 CA32 CA36 CB18 CC23 CC24 CC26 CC33 CC39

CC49 CC58 CC63 CD015 CD017 CD019 CE04 CE05 CE08 CE09

CF02 CF07 CF13 CF18 CF48 CF53 CF56 CF61 DA02 DA06

DA07 DA24 DA34 DA41 DA43 DA47 EA02 FA15 FA16 HA02

HA05 HA11