

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-520508

(P2021-520508A)

(43) 公表日 令和3年8月19日(2021.8.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H05B 33/02 (2006.01)	G09G 3/20 620B	5C380
H01L 27/32 (2006.01)	G09G 3/20 611H	
H01L 51/50 (2006.01)	H05B 33/02	
審査請求 未請求 予備審査請求 未請求 (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2019-561888 (P2019-561888)	(71) 出願人	510280589
(86) (22) 出願日	平成31年2月13日 (2019.2.13)		京東方科技集團股▲ふん▼有限公司
(85) 翻訳文提出日	令和1年11月8日 (2019.11.8)		BOE TECHNOLOGY GROU P CO., LTD.
(86) 国際出願番号	PCT/CN2019/074972		中華人民共和國100015北京市朝陽區
(87) 国際公開番号	W02019/214304		酒仙橋路10號
(87) 国際公開日	令和1年11月14日 (2019.11.14)		No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA
(31) 優先権主張番号	201810437743.3	(74) 代理人	100108453
(32) 優先日	平成30年5月9日 (2018.5.9)		弁理士 村山 靖彦
(33) 優先権主張国・地域又は機関	中国 (CN)	(74) 代理人	100110364
			弁理士 実広 信哉
		最終頁に続く	

(54) 【発明の名称】 画素回路及びその駆動方法、表示基板、表示装置

(57) 【要約】

本発明は、ディスプレイの分野に関し、画素回路及びその駆動方法、表示基板、表示装置を提供する。前記画素回路は、ゲート信号端子、データ信号端子、スイッチ信号端子、および分圧制御信号端子を含み、前記画素回路は、前記ゲート信号端子がゲート駆動信号を受信したときに前記データ信号端子における電圧に応じて保存された駆動電圧を更新し、前記スイッチ信号端子が発光制御信号を受信したときに保存された駆動電圧に応じて電流値と前記駆動電圧の電圧値が正の相関がある駆動電流を出力するように構成される電流源サブ回路(11)と、前記分圧制御信号端子が受信した分圧制御信号に基づいて、前記駆動電流の出力経路におけるその自身の等価抵抗値を調整するように構成される分圧サブ回路(12)と、をさらに含む。本発明は、低圧製造プロセスにおけるOLEDディスプレイの高コントラスト表示を実現するのに役立つ。

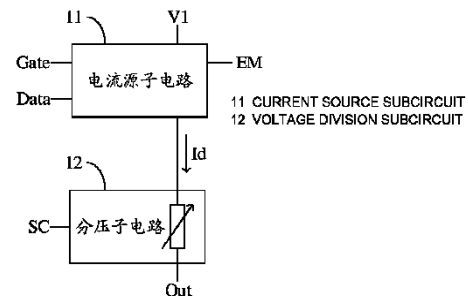


図 1

【特許請求の範囲】**【請求項 1】**

ゲート信号端子、データ信号端子、スイッチ信号端子、および分圧制御信号端子を含む画素回路であって、

前記ゲート信号端子、前記データ信号端子および前記スイッチ信号端子にそれぞれ接続され、前記ゲート信号端子がゲート駆動信号を受信したときに前記データ信号端子における電圧に応じて駆動電圧を保存し、前記スイッチ信号端子が発光制御信号を受信したときに保存された駆動電圧に応じて発光素子に電流値と前記駆動電圧の電圧値が正の相関がある駆動電流を出力するように構成される電流源サブ回路（１１）と、

前記分圧制御信号端子および前記電流源サブ回路（１１）にそれぞれ接続され、前記分圧制御信号端子が受信した分圧制御信号に基づいて、前記駆動電流が前記発光素子に出力される出力経路におけるその自身の等価抵抗値を調整するように構成される分圧サブ回路（１２）と、

をさらに含む画素回路。

【請求項 2】

前記電流源サブ回路（１１）に電気エネルギーを供給するように構成される発光電源端子および前記発光素子に駆動電流を出力するように構成される電流出力端子をさらに含み、

前記電流源サブ回路（１１）と前記分圧サブ回路（１２）は、前記発光電源端子と前記電流出力端子との間に直列に接続される。

請求項 1 に記載の画素回路。

【請求項 3】

前記発光電源端子は、前記電流源サブ回路（１１）に接続され、前記電流出力端子は、前記分圧サブ回路（１２）に接続される請求項 2 に記載の画素回路。

【請求項 4】

前記分圧サブ回路（１２）は、第 1 のトランジスタを含み、

前記第 1 のトランジスタのゲートは、前記分圧制御信号端子に接続され、前記第 1 のトランジスタのソースとドレインは、それぞれ、前記電流源サブ回路（１１）と前記電流出力端子のうちの 1 つに接続される請求項 3 に記載の画素回路。

【請求項 5】

前記発光電源端子は、前記分圧サブ回路（１２）に接続され、前記電流出力端子は、前記電流源サブ回路（１１）に接続される請求項 2 に記載の画素回路。

【請求項 6】

前記分圧サブ回路（１２）は、第 1 のトランジスタを含み、

前記第 1 のトランジスタのゲートは、前記分圧制御信号端子に接続され、前記第 1 のトランジスタのソースとドレインは、それぞれ、前記電流源サブ回路（１１）と前記発光電源端子のうちの 1 つに接続される請求項 5 に記載の画素回路。

【請求項 7】

前記電流源サブ回路（１１）は、データ書き込み二次回路（１１１）、保存二次回路（１１２）、駆動二次回路（１１３）、およびスイッチ制御二次回路（１１４）を含み、

前記データ書き込み二次回路（１１１）は、前記保存二次回路（１１２）、前記駆動二次回路（１１３）、前記ゲート信号端子、および前記データ信号端子にそれぞれ接続され、前記ゲート信号端子がゲート駆動信号を受信したときに前記データ信号端子における電圧に応じて前記保存二次回路（１１２）に駆動電圧を書き込むように構成され、

前記保存二次回路（１１２）は、前記駆動二次回路（１１３）にも接続され、前記駆動電圧を保存し、前記駆動電圧を前記駆動二次回路（１１３）に提供するように構成され、

前記駆動二次回路（１１３）は、前記保存二次回路（１１２）が提供した駆動電圧に応じて、前記発光素子に電流値と前記駆動電圧の電圧値が正の相関がある駆動電流を出力するように構成され、

前記スイッチ制御二次回路（１１４）は、前記駆動二次回路（１１３）と前記スイッチ

10

20

30

40

50

信号端子にそれぞれ接続され、前記スイッチ信号端子が発光制御信号を受信したときに前記駆動電流の出力経路をオンにするように構成される、

請求項 1 から 6 のいずれか 1 項に記載の画素回路。

【請求項 8】

前記ゲート信号端子は、第 1 の端子と第 2 の端子を含み、前記データ書き込み二次回路 (1 1 1) は、第 1 の n 型トランジスタと第 1 の p 型トランジスタを含み、

前記第 1 の n 型トランジスタのゲートは、前記第 1 の端子に接続され、前記第 1 の n 型トランジスタのソースとドレインは、それぞれ、前記データ信号端子と前記保存二次回路 (1 1 2) のうちの 1 つに接続され、

前記第 1 の p 型トランジスタのゲートは、前記第 2 の端子に接続され、前記第 1 の p 型トランジスタのソースとドレインは、それぞれ、前記データ信号端子と前記保存二次回路 (1 1 2) のうちの 1 つに接続される、

請求項 7 に記載の画素回路。

【請求項 9】

前記駆動二次回路 (1 1 3) は、駆動トランジスタを含み、前記駆動トランジスタのゲートは、前記データ書き込み二次回路 (1 1 1) と前記保存二次回路 (1 1 2) に接続され、前記駆動トランジスタのソースとドレインは、それぞれ、前記スイッチ制御二次回路 (1 1 4) と前記画素回路の前記電流出力端子のうちの 1 つに接続される、

請求項 7 または 8 に記載の画素回路。

【請求項 10】

前記保存二次回路 (1 1 2) は、第 1 の端部が前記データ書き込み二次回路 (1 1 1) と前記駆動二次回路 (1 1 3) に接続されかつ第 2 の端部が共通電圧線に接続される第 1 のコンデンサを含む、

請求項 7 から 9 のいずれか 1 項に記載の画素回路。

【請求項 11】

前記スイッチ制御二次回路 (1 1 4) は、第 2 のトランジスタを含み、前記第 2 のトランジスタのゲートは、前記スイッチ信号端子に接続され、前記第 2 のトランジスタのソースとドレインは、それぞれ、前記画素回路の前記発光電源端子と前記駆動二次回路 (1 1 3) のうちの 1 つに接続される、

請求項 7 から 10 のいずれか 1 項に記載の画素回路。

【請求項 12】

初期化サブ回路 (1 3) をさらに含み、前記初期化サブ回路 (1 3) は、前記画素回路の前記電流出力端子に接続され、前記電流源サブ回路 (1 1) が毎回前記データ信号端子における電圧に応じて前記駆動電圧を保存する前に、前記電流出力端子における電圧を初期化電圧とするように構成される、

請求項 1 から 11 のいずれか 1 項に記載の画素回路。

【請求項 13】

初期化信号端子をさらに含み、前記初期化サブ回路 (1 3) は、第 3 のトランジスタを含み、

前記第 3 のトランジスタのゲートは、前記初期化信号端子に接続され、前記第 3 のトランジスタのソースとドレインは、それぞれ、前記電流出力端子と前記共通電圧線のうちの 1 つに接続される、

請求項 12 に記載の画素回路。

【請求項 14】

前記発光素子をさらに含み、前記発光素子は、有機発光ダイオードであり、

前記有機発光ダイオードは、前記電流源サブ回路 (1 1) が出力した駆動電流を受信することにより発光するように構成される、

請求項 1 から 13 のいずれか 1 項に記載の画素回路。

【請求項 15】

請求項 1 から 14 のいずれか 1 項に記載の画素回路の駆動方法であって、

スイッチ信号端子に発光制御信号を提供し、分圧制御信号端子に分圧制御信号を提供することにより、前記画素回路における分圧サブ回路（１２）の等価抵抗値と前記画素回路における電流源サブ回路（１１）に保存された駆動電圧が負の相関がある発光段階を含む、
駆動方法。

【請求項１６】

前記発光段階の前に、ゲート信号端子にゲート駆動信号を提供し、前記発光制御信号および前記分圧制御信号の提供を停止することにより、前記画素回路の電流源サブ回路（１１）がデータ信号端子における電圧に応じて駆動電圧を保存するデータ書き込み段階をさらに含む、

10

請求項１５に記載の駆動方法。

【請求項１７】

請求項１から１４のいずれか一項に記載の画素回路（１００）を幾つか含む表示基板。

【請求項１８】

幾つかの制御線を介して各前記画素回路（１００）に接続された分圧制御回路（２００）をさらに含み、

各前記制御線は、１つの前記画素回路（１００）の分圧制御端子を前記分圧制御回路（２００）に接続し、

または、複数の表示ユニットを含み、各前記表示ユニットは、複数の前記画素回路（１００）を含み、各前記制御線は、１つの表示ユニット内のすべての画素回路（１００）の分圧制御端子を前記分圧制御回路（２００）に接続する、

20

請求項１７に記載の表示基板。

【請求項１９】

ゲート駆動回路（３００）およびデータ駆動回路（４００）をさらに含み、幾つかの前記画素回路（１００）は、複数の行および列に並び、

前記ゲート駆動回路（３００）は、複数のゲート線を介して各前記画素回路（１００）に接続され、各前記ゲート線は、１行分の前記画素回路（１００）のゲート信号端子を前記ゲート駆動回路（３００）に接続し、

前記データ駆動回路（４００）は、複数のデータ線を介して各前記画素回路（１００）に接続され、各前記データ線は、１列分の前記画素回路（１００）のデータ信号端子を前記データ駆動回路（４００）に接続する、

30

請求項１７または１８に記載の表示基板。

【請求項２０】

請求項１７から１９のいずれか一項に記載の表示基板を含む表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本出願は、２０１８年０５月０９日に出願された出願番号２０１８１０４３７７４３．３、発明の名称「画素回路及びその駆動方法、表示基板、表示装置」の中国特許出願の優先権を主張し、その全ての内容は参照により本明細書に援用する。

40

【０００２】

本発明は、表示分野に関し、特に、画素回路及びその駆動方法、表示基板、表示装置に関するものである。

【背景技術】

【０００３】

有機発光ダイオード（Organic Light-Emitting Diode、OLED）ディスプレイは、主に有機ELダイオードで作られた表示製品であり、高輝度、豊かな色、低駆動電圧、高速応答、低消費電力などの利点を有することから、現在の主流の表示製品のひとつとなっている。OLEDディスプレイは、優れた耐震性能と広い動作温度範囲を備えた全固体デバイスであるので、軍用および特殊用途に適している。これは自発光デバイスにも属し、バック

50

ライトが不要で、視野角が広く、厚みが薄いため、システム体積を小さくすることに有利であり、近眼表示システムに適用する。

【発明の概要】

【課題を解決するための手段】

【0004】

本発明は、画素回路及びその駆動方法、表示基板、表示装置を提供する。

【0005】

一形態において、本発明は、ゲート信号端子、データ信号端子、スイッチ信号端子、および分圧制御信号端子を含む画素回路であって、前記ゲート信号端子、前記データ信号端子および前記スイッチ信号端子にそれぞれ接続され、前記ゲート信号端子がゲート駆動信号を受信したときに前記データ信号端子における電圧に応じて駆動電圧を保存し、前記スイッチ信号端子が発光制御信号を受信したときに保存された駆動電圧に応じて発光素子に電流値と前記駆動電圧の電圧値が正の相関がある駆動電流を出力するように構成される電流源サブ回路と、前記分圧制御信号端子および前記電流源サブ回路にそれぞれ接続され、前記分圧制御信号端子が受信した分圧制御信号に基づいて、前記駆動電流が前記発光素子に出力される出力経路におけるその自身の等価抵抗値を調整するように構成される分圧サブ回路と、をさらに含む画素回路に関する。

10

【0006】

一実現可能な形態において、前記画素回路は、前記電流源サブ回路に電気エネルギーを供給するように構成される発光電源端子および前記発光素子に駆動電流を出力するように構成される電流出力端子をさらに含み、前記電流源サブ回路と前記分圧サブ回路は、前記発光電源端子と前記電流出力端子との間に直列に接続される。

20

【0007】

一実現可能な形態において、前記発光電源端子は、前記電流源サブ回路に接続され、前記電流出力端子は、前記分圧サブ回路に接続される。

【0008】

一実現可能な形態において、前記分圧サブ回路は、第1のトランジスタを含み、前記第1のトランジスタのゲートは、前記分圧制御信号端子に接続され、前記第1のトランジスタのソースとドレインは、それぞれ、前記電流源サブ回路と前記電流出力端子のうちの1つに接続される。

30

【0009】

一実現可能な形態において、前記発光電源端子は、前記分圧サブ回路に接続され、前記電流出力端子は、前記電流源サブ回路に接続される。

【0010】

一実現可能な形態において、前記分圧サブ回路は、第1のトランジスタを含み、前記第1のトランジスタのゲートは、前記分圧制御信号端子に接続され、前記第1のトランジスタのソースとドレインは、それぞれ、前記電流源サブ回路と前記発光電源端子のうちの1つに接続される。

【0011】

一実現可能な形態において、前記電流源サブ回路は、データ書き込み二次回路、保存二次回路、駆動二次回路、およびスイッチ制御二次回路を含み、前記データ書き込み二次回路は、前記保存二次回路、前記駆動二次回路、前記ゲート信号端子、および前記データ信号端子にそれぞれ接続され、前記ゲート信号端子がゲート駆動信号を受信したときに前記データ信号端子における電圧に応じて前記保存二次回路に駆動電圧を書き込むように構成され、前記保存二次回路は、前記駆動二次回路にも接続され、前記駆動電圧を保存し、前記駆動電圧を前記駆動二次回路に提供するように構成され、前記駆動二次回路は、前記保存二次回路が提供した駆動電圧に応じて、前記発光素子に電流値と前記駆動電圧の電圧値が正の相関がある駆動電流を出力するように構成され、前記スイッチ制御二次回路は、前記駆動二次回路と前記スイッチ信号端子にそれぞれ接続され、前記スイッチ信号端子が発光制御信号を受信したときに前記駆動電流の出力経路をオンにするように構成される。

40

50

【 0 0 1 2 】

一実現可能な形態において、前記ゲート信号端子は、第 1 の端子と第 2 の端子を含み、前記データ書き込み二次回路は、第 1 の n 型トランジスタと第 1 の p 型トランジスタを含み、前記第 1 の n 型トランジスタのゲートは、前記第 1 の端子に接続され、前記第 1 の n 型トランジスタのソースとドレインは、それぞれ、前記データ信号端子と前記保存二次回路のうちの 1 つに接続され、前記第 1 の p 型トランジスタのゲートは、前記第 2 の端子に接続され、前記第 1 の p 型トランジスタのソースとドレインは、それぞれ、前記データ信号端子と前記保存二次回路のうちの 1 つに接続される。

【 0 0 1 3 】

一実現可能な形態において、前記駆動二次回路は、駆動トランジスタを含み、前記保存二次回路は、第 1 のコンデンサを含み、前記スイッチ制御二次回路 (1 1 4) は、第 2 のトランジスタを含む。

【 0 0 1 4 】

前記駆動トランジスタのゲートは、前記データ書き込み二次回路と前記保存二次回路に接続され、前記駆動トランジスタのソースとドレインは、それぞれ、前記スイッチ制御二次回路と前記画素回路の前記電流出力端子のうちの 1 つに接続される。

【 0 0 1 5 】

前記第 1 のコンデンサの第 1 の端部が前記データ書き込み二次回路 (1 1 1) と前記駆動二次回路 (1 1 3) に接続されかつ前記第 1 のコンデンサの第 2 の端部が共通電圧線に接続される。

【 0 0 1 6 】

前記第 2 のトランジスタのゲートは、前記スイッチ信号端子に接続され、前記第 2 のトランジスタのソースとドレインは、それぞれ、前記画素回路の前記発光電源端子と前記駆動二次回路のうちの 1 つに接続される。

【 0 0 1 7 】

一実現可能な形態において、前記画素回路は、初期化サブ回路をさらに含み、前記初期化サブ回路は、前記画素回路の前記電流出力端子に接続され、前記電流源サブ回路が毎回前記データ信号端子における電圧に応じて前記駆動電圧を保存する前に、前記電流出力端子における電圧を初期化電圧とするように構成される。

【 0 0 1 8 】

一実現可能な形態において、前記画素回路は、初期化信号端子をさらに含み、前記初期化サブ回路は、第 3 のトランジスタを含み、前記第 3 のトランジスタのゲートは、前記初期化信号端子に接続され、前記第 3 のトランジスタのソースとドレインは、それぞれ、前記電流出力端子と前記共通電圧線のうちの 1 つに接続される。

【 0 0 1 9 】

一実現可能な形態において、前記画素回路は、発光素子をさらに含み、当該発光素子は、有機発光ダイオードであり、前記有機発光ダイオードは、前記電流源サブ回路が出力した駆動電流を受信することにより発光するように構成される。

【 0 0 2 0 】

別の形態において、本発明は、上記形態のいずれかに記載の画素回路の駆動方法であって、スイッチ信号端子に発光制御信号を提供し、分圧制御信号端子に分圧制御信号を提供することにより、前記画素回路における分圧サブ回路の等価抵抗値と前記画素回路における電流源サブ回路に保存された駆動電圧が負の相関がある発光段階を含む、駆動方法に関する。

【 0 0 2 1 】

一実現可能な形態において、前記発光段階の前に、前記駆動方法は、ゲート信号端子にゲート駆動信号を提供し、前記発光制御信号および前記分圧制御信号の提供を停止することにより、前記画素回路の電流源サブ回路がデータ信号端子における電圧に応じて駆動電圧を保存するデータ書き込み段階をさらに含む。

【 0 0 2 2 】

10

20

30

40

50

一実現可能な形態において、前記画素回路は、初期化サブ回路をさらに含み、前記初期化サブ回路は、初期化信号端子、電流出力端子及び共通電圧線にそれぞれ接続され、前記データ書き込み段階の前に、前記駆動方法は、前記初期化信号端子に初期化信号を提供することにより、前記初期化サブ回路が前記共通電圧線における共通電圧に応じて前記電流出力端子における電圧を初期化電圧とする初期化段階をさらに含む。

【0023】

他の形態において、本発明は、上記形態のいずれかに記載の画素回路を幾つか含む表示基板に関する。

【0024】

一実現可能な形態において、前記表示基板は、幾つかの制御線を介して各前記画素回路に接続された分圧制御回路をさらに含み、各前記制御線は、1つの前記画素回路の分圧制御端子を前記分圧制御回路に接続し、または、前記表示基板は、複数の表示ユニットを含み、各前記表示ユニットは、複数の前記画素回路を含み、各前記制御線は、1つの表示ユニット内のすべての画素回路の分圧制御端子を前記分圧制御回路に接続する。

【0025】

一実現可能な形態において、前記表示基板は、ゲート駆動回路およびデータ駆動回路をさらに含み、幾つかの前記画素回路は、複数の行および列に並び、前記ゲート駆動回路は、複数のゲート線を介して各前記画素回路に接続され、各前記ゲート線は、1行分の前記画素回路のゲート信号端子を前記ゲート駆動回路に接続し、前記データ駆動回路は、複数のデータ線を介して各前記画素回路に接続され、各前記データ線は、1列分の前記画素回路のデータ信号端子を前記データ駆動回路に接続する。

【0026】

さらに他の形態において、本発明は、上記形態のいずれかに記載の表示基板を含む表示装置に関する。

【0027】

本発明の実施例の技術案をより明確に説明するために、実施例の説明に使用される以下の図面を簡単に説明する。以下の説明における図面は、あくまでも本発明の幾つかの実施例であり、これらの図面の合理的な変形は本発明の範囲に含まれている。

【図面の簡単な説明】

【0028】

【図1】本発明の一実施例による画素回路の構造ブロック図である。

【図2】本発明の一実施例による画素回路の構造ブロック図である。

【図3】本発明の一実施例による画素回路の構造ブロック図である。

【図4】本発明の一実施例による画素回路の構造ブロック図である。

【図5】本発明の一実施例による画素回路の回路構造図である。

【図6】本発明の一実施例による画素回路の駆動方法のフローチャートである。

【図7】本発明の一実施例による画素回路の回路タイミング図である。

【図8】本発明の一実施例による発光素子の輝度はその両極間の電圧に応じて変化することを示す概略図である。

【図9】本発明の一実施例による発光素子の電流密度はその両極間の電圧に応じて変化することを示す概略図である。

【図10】本発明の一実施例による表示基板における画素回路の配置態様の概略図である。

【図11】本発明の一実施例による表示装置の構造概略図である。

【発明を実施するための形態】

【0029】

本発明の目的、技術案、および利点をより明確にするために、図面を参照して本発明の実施形態をより詳細に説明する。説明された実施例はすべての実施例ではなく、本発明の一部の実施例であることが明らかである。説明された本発明の実施例に基づいて、当業者が創造的な労働を必要としない前提で取得した他のすべての実施例は、本発明の範囲に属

10

20

30

40

50

する。本発明で使用される技術用語または科学用語は、特に定義されない限り、本発明の属する技術分野において一般的な技能を有する者に理解される通常の意味であるべきである。本発明で使用される「第一」、「第二」および類似の用語は、任意の順序、数量または重要性を表すものではなく、単に異なる構成要素を区別するために用いられる。「含む」または類似の用語とは、この用語の前に現れる要素または対象物が、他の要素または対象物を排除することなく、この用語の後に列挙された要素または対象物及びその均等物をカバーすることを意味する。「接続」または「連結」などの類似の用語は、物理的な接続または機械的な接続に限定されず、電気的な接続を含むことができ、かつ、この接続は直接的または間接的な接続であってもよい。

【0030】

関連技術では、OLEDディスプレイの表示基板には複数の画素が設けられ、各画素は、1つの発光素子とこの発光素子に接続された薄膜トランジスタとを含み、この薄膜トランジスタは、発光するように発光素子を駆動することができる。

【0031】

例えば近眼表示システムのいくつかの適用状況では、OLEDディスプレイにおいて薄膜トランジスタのサイズと仕様がある程度に制限され、例えば、いくつかの低圧製造プロセスにおいて、薄膜トランジスタの任意の両極間の電圧差は6Vを超えてはいけないうで、発光素子の両端の電圧の最大値と最小値の差も相応的に制限され、OLEDディスプレイで実現できるコントラストが低く、高コントラスト表示が実現できない。

【0032】

図1は、本発明の一実施例による画素回路の構造ブロック図である。図1を参照すると、当該画素回路が、ゲート信号端子Gate、データ信号端子Data、スイッチ信号端子EM、および分圧制御信号端子SCを含み、電流源サブ回路11と分圧サブ回路12とをさらに含む。

【0033】

電流源サブ回路11は、ゲート信号端子Gate、データ信号端子Dataおよびスイッチ信号端子EMにそれぞれ接続され、電流源サブ回路11は、ゲート信号端子Gateがゲート駆動信号を受信したときにデータ信号端子Dataにおける電圧に応じて駆動電圧を保存し、スイッチ信号端子EMが発光制御信号を受信したときに保存された駆動電圧に応じて発光素子に電流値と電流源サブ回路11に保存された駆動電圧の電圧値が正の相関がある駆動電流 I_d を出力するように構成される。ここで、当該駆動電流 I_d は、発光するように発光素子を駆動するために使用されるため、発光電流とも呼ばれる。

【0034】

分圧サブ回路12は、分圧制御信号端子SCおよび電流源サブ回路11にそれぞれ接続され、分圧サブ回路12は、分圧制御信号端子SCが受信した分圧制御信号に基づいて、駆動電流 I_d が当該発光素子に出力される出力経路におけるその自身の等価抵抗値を調整するように構成される。図1では、分圧サブ回路12が駆動電流 I_d の出力経路におけるその自身の等価抵抗値を調整できる特性を可変抵抗器の記号で例示的に示している。この特性を必ずしも可変抵抗器によって実現する必要はなく、制御されて分圧を変更できる任意の回路構造は、分圧サブ回路12の上述の特性を実現するために使用できることを理解すべきであり、例えば、フォトレジスタ、電位器、メモリスト、トランジスタ、または上記の少なくとも1つを含む回路が挙げられる。

【0035】

以上により、本発明の実施例による技術案では、分圧サブ回路は、異なる画素回路間で異なる等価抵抗値を有することができるため、ディスプレイにおける明るい画素内の発光素子の輝度をほぼ変化させずに保つ同時に、分圧サブ回路の分圧により、ディスプレイにおける暗い画素内の発光素子に印加された電圧が低減されることで、この暗い画素内の発光素子の輝度が低減されて、ディスプレイの画面のコントラストを効果的に向上させ、ディスプレイの高コントラスト表示を実現するのに役立つ。

【0036】

図 1 に示すように、本発明の実施例による画素回路は、発光電源端子 V 1 および電流出力端子 O u t をさらに含む。当該発光電源端子 V 1 は、電流源サブ回路 1 1 に電気エネルギーを供給するように構成され、当該電流出力端子 O u t は、発光素子と接続するために使用でき、当該発光素子に駆動電流を出力するように構成される。例として、当該発光電源端子 V 1 は、電源正極端子 V d d であってもよい。

【 0 0 3 7 】

電流源サブ回路 1 1 と分圧サブ回路 1 2 は、当該発光電源端子 V 1 と電流出力端子 O u t との間に直列に接続されることができ、電流源サブ回路 1 1 は、発光電源端子 V 1 の電気エネルギー供給のもとで駆動電流 I d を電流出力端子 O u t に出力するように構成されている。

10

【 0 0 3 8 】

一つの選択肢として、図 1 に示すように、当該発光電源端子 V 1 は、当該電流源サブ回路 1 1 に直接接続され、電流出力端子 O u t は、分圧サブ回路 1 2 に直接接続されている。つまり、分圧サブ回路 1 2 は、電流源サブ回路 1 1 と電流出力端子 O u t との間に配置される。

【 0 0 3 9 】

図 1 に示す例では、駆動電流 I d の出力経路は、電源正極端子 V d d から電流源サブ回路 1 1 と分圧サブ回路 1 2 を順に経て画素回路の電流出力端子 O u t に到達する。駆動電流 I d の電流値は、主に電流源サブ回路 1 1 によってそこに保存された駆動電圧の電圧値に応じて制御され、分圧サブ回路 1 2 は、上述駆動電流 I d の出力経路における一部の電圧を得ることができる（得られた電圧値は、例えば、駆動電流 I d の電流値と前記等価抵抗値との積に等しいことができる）。以上から分かるように、分圧サブ回路 1 2 が設けられない場合に比べて、電流出力端子 O u t における電圧値は分圧サブ回路 1 2 の分圧作用によりある程度低下し、当該分圧サブ回路 1 2 の等価抵抗値を調整することによって、分圧制御信号端子 S C における分圧制御信号が低下幅を制御できる。

20

【 0 0 4 0 】

一例では、上述画素回路の駆動方法は、スイッチ信号端子 E M に発光制御信号を提供するときに、分圧制御信号端子 S C に分圧制御信号を提供することにより、分圧サブ回路 1 2 の等価抵抗値と電流源サブ回路 1 1 に保存された駆動電圧が負の相関があることを含むことができる。

30

【 0 0 4 1 】

例として、画素回路の電流出力端子 O u t は、1 つの発光素子の正極に接続されて、当該発光素子に駆動電流 I d を提供し、当該発光素子の負極は、電源負極端子 V s s に接続されることにより、電流出力端子 O u t の電圧が高いほど発光素子の発光輝度が大きくなる（駆動電流 I d の電流値が大きいほど、発光素子の発光輝度が大きくなる）。

【 0 0 4 2 】

上記駆動方法によれば、駆動電圧が低く駆動電流 I d の電流値が小さい暗状態が表示される画素に対して、分圧サブ回路 1 2 の等価抵抗値が上記分圧制御信号の作用下で大きな数値を有することにより、電流出力端子 O u t における電圧値の低下幅が大きいので、発光素子の発光輝度は低下し、すなわち、暗状態が表示される画素がより暗くなる。上記駆動方法によれば、駆動電圧が高く駆動電流 I d の電流値が高い明状態が表示される画素に対して、分圧サブ回路 1 2 の等価抵抗値が上記分圧制御信号の作用下で小さな数値を有することにより、電流出力端子 O u t における電圧値の低下幅が小さいので、発光素子の発光輝度はほぼ影響を受けないことができ、すなわち、明状態が表示される画素の明るさは、ほぼ変化しない。

40

【 0 0 4 3 】

暗い状態が表示される画素がより暗くなり、明状態が表示される画素の明るさがほぼ変化しない場合には、表示画面のコントラストが向上する。上記画素回路は、上記駆動方法と協働して画面コントラストの向上を実現して、ディスプレイが高輝度と高コントラストを兼ね備えていることがわかる。

50

【0044】

例えば低圧製造プロセスのOLEDディスプレイの適用状況では、上記分圧サブ回路12を含まない画素回路において、電流出力端子Outにおける電圧値がわずかな範囲でしか変化しない可能性がある。例えば、電流出力端子Outにおける電圧値Voutが1V~5Vの範囲でしか変化しない可能性がある。しかしながら、上記画素回路とその駆動方法との協働で、分圧サブ回路12は例示的に、Vout=1Vのときに2Vの電圧値を得て、Vout=5Vのときに0.3Vの電圧値を得ることにより、Voutの変化範囲を1V~5Vから-1V~4.7Vに拡大して、OLEDディスプレイが表示の際により大きな明暗変化範囲がある。上記画素回路は、上記駆動方法と協働して低圧製造プロセスにおけるOLEDディスプレイの画面コントラストの制限を突破することができることが分かる。

10

【0045】

図2は、本発明の別の実施例による画素回路の構造ブロック図である。別の選択肢として、図1と図2を比較すると、図1に示す画素回路に比べて、図2に示す画素回路において、電流源サブ回路11と分圧サブ回路12との間の位置が入れ替わっていることがわかる。すなわち、発光電源端子V1は、分圧サブ回路12に直接接続され、電流出力端子Outは、電流源サブ回路11に直接接続されている。つまり、分圧サブ回路12は、発光電源端子V1と電流源サブ回路11との間に配置される。

【0046】

駆動電流Idの出力経路における電流源サブ回路11と分圧サブ回路12は直列接続されるため、上記の位置の入れ替わりは、分圧サブ回路12の電流出力端子Outにおける電圧値に対する影響を変えないことが理解できる。当該分圧サブ回路12は、相変わらず、異なる画素回路間で異なる等価抵抗値を有することができるため、画面の最大輝度をほぼ変化させずに保つ同時に、分圧により、暗い画素内の発光素子の端電圧が低減されることで、画面コントラストが低圧製造プロセスの制限を突破することができ、OLEDディスプレイの高コントラスト表示を実現するのに役立つ。

20

【0047】

本発明の実施例では、当該発光電源端子V1が、電源正極端子Vddであり、画素回路が、発光素子の正極から当該発光素子に駆動電流を提供するためのものであることができる。代わりに、当該発光電源端子V1が、電源負極端子Vssであってもよく、これにより、当該画素回路が、発光素子の負極から当該発光素子に駆動電流を提供するためのものであることができる(このとき、発光素子の正極が電源正極端子Vddに直接接続され、駆動電流Idの出力経路が電源正極端子Vddから発光素子と画素回路を順に経て電源負極端子Vssに到達する)。

30

【0048】

図3は、本発明の一実施例による画素回路の回路構造図である。本実施例では、分圧サブ回路12の構成の一例を例示し、図3に示すように、当該分圧サブ回路12は、第1のトランジスタT1を含み、第1のトランジスタT1のゲートは、分圧制御信号端子SCに接続され、第1のトランジスタT1のソースとドレインは、それぞれ、駆動電流Idの出力経路における1つの回路ノードに接続される。

40

【0049】

例示的に、図3に示す構造において、第1のトランジスタT1のソースとドレインの一方の電極は電流源サブ回路11に接続され、他方の電極は電流出力端子Outに接続されることにより、分圧制御信号端子SCにおける分圧制御信号は、第1のトランジスタT1の動作状態を制御することができる。例えば、第1のトランジスタT1のソースとドレインとの間の等価抵抗値の調整を実現するために、第1のトランジスタT1の特性曲線上の線形領域で第1のトランジスタT1の動作点を調整することにより、上述分圧サブ回路12の機能を実現することができる。

【0050】

当該第1のトランジスタT1のソースとドレインは、それぞれ、上記出力経路における

50

他のノードに接続されることによって、上記分圧サブ回路 12 の機能を実現することもできることを理解すべきである。例えば、第 1 のトランジスタ T1 は、図 2 に示す接続形態に従って、発光電源端子 V1 と電流源サブ回路 11 との間に接続されることができる。すなわち、第 1 のトランジスタ T1 のソースとドレインの一方の電極は電流源サブ回路 11 に接続され、他方の電極は発光電源端子 V1 に接続される。

【0051】

例示的に、第 1 のトランジスタ T1 は、n 型トランジスタであってもよく、分圧制御信号端子 SC が受信した分圧制御信号は、H レベルの信号であってもよい。あるいは、当該第 1 のトランジスタ T1 は、p 型トランジスタであってもよく、分圧制御信号端子 SC が受信した分圧制御信号は、L レベルの信号であってもよい。例えば、当該第 1 のトランジスタ T1 が p 型トランジスタである場合、当該分圧制御信号端子 SC は、共通電圧線 Vcom または電源負極端子 Vss に接続されることができる。

10

【0052】

なお、トランジスタの具体的なタイプによっては、そのソースとドレインのそれぞれが持つ接続関係をトランジスタに流れる電流の方向と一致するように設定することができ、トランジスタはソースとドレインが対称である構造を有する場合、ソースとドレインを特に区別されない 2 つの電極と見なすことができる。

【0053】

本実施例において、電流源サブ回路 11 の構成の一例を例示し、図 4 に示すように、当該電流源サブ回路 11 は、データ書き込み二次回路 111、保存二次回路 112、駆動二次回路 113、およびスイッチ制御二次回路 114 を含むことができる。図 4 の画素回路は、発光電源端子 V を電源正極端子 Vdd とした場合を例に挙げて説明する。

20

【0054】

データ書き込み二次回路 111 は、保存二次回路 112、駆動二次回路 113 の制御端子、ゲート信号端子 Gate、およびデータ信号端子 Data にそれぞれ接続され、ゲート信号端子 Gate がゲート駆動信号を受信したときにデータ信号端子 Data における電圧に応じて保存二次回路 112 に駆動電圧を書き込むように構成される。

【0055】

保存二次回路 112 は、駆動電圧の制御端子に接続され、保存二次回路 112 は、駆動電圧を保存し、当該駆動電圧を駆動二次回路 113 に提供するように構成される。図 4 を参照すると、当該保存二次回路 112 は、共通電圧線 Vcom に接続されることができる。

30

【0056】

駆動二次回路 113 は、駆動電流 Id の出力経路に設けられ、駆動二次回路 113 は、その制御端子における電圧（すなわち駆動電圧）に応じて発光素子に出力する駆動電流 Id の電流値を調整することにより、駆動電流 Id の電流値と当該制御端子における電圧の電圧値が正の相関があるように構成される。

【0057】

例示的に、図 4 を参照すると、駆動二次回路 113 の制御端子は、保存二次回路 112 に接続され、駆動二次回路 113 は、スイッチ制御二次回路 114 及び分圧サブ回路 12 にもそれぞれ接続され、駆動二次回路 113 は、分圧サブ回路 12 を介して駆動電流 Id を発光素子に出力することができる。

40

【0058】

当該スイッチ制御二次回路 114 は、駆動電流 Id の出力経路に設けられ、スイッチ制御二次回路 114 は、スイッチ信号端子 EM に接続され、スイッチ制御二次回路 114 は、スイッチ信号端子 EM が発光制御信号を受信したときに駆動電流 Id の出力経路をオンにするように構成される。

【0059】

例示的に、図 4 を参照すると、スイッチ制御二次回路 114 は、電源正極端子 Vdd と駆動二次回路 113 に接続されることができ、スイッチ制御二次回路 114 は、スイッチ

50

信号端子 E M が発光制御信号を受信したときに電源正極端子 V d d と駆動二次回路 1 1 3 をオンにすることにより、駆動電流 I d の出力経路をオンにすることができる。

【 0 0 6 0 】

上記二次回路構成に基づいて、電流源サブ回路 1 1 は、前述した構成を実現することができ、すなわち、ゲート信号端子 G a t e がゲート駆動信号を受信したときにデータ信号端子 D a t a における電圧に応じて駆動電圧を保存し、スイッチ信号端子 E M が発光制御信号を受信したときに保存された駆動電圧に応じて発光素子に駆動電流 I d を出力する。

【 0 0 6 1 】

図 5 は、上記の各二次回路の回路の実現形態を例示する図である。図 5 に示した画素回路は、発光電源端子 V 1 を電源正極端子 V d d とした場合を例に挙げて説明する。図 4 と図 5 を参照すると、本実施例における画素回路は、ゲート信号端子 G a t e 、データ信号端子 D a t a 、スイッチ信号端子 E M 、分圧制御信号端子 S C 、初期化信号端子 S I 、電源正極端子 V d d 及び電流出力端子 O u t を含み、電流源サブ回路 1 1 、分圧サブ回路 1 2 、初期化サブ回路 1 3 及び発光素子をさらに含み、当該発光素子は、有機発光ダイオード D 1 である。

10

【 0 0 6 2 】

図 5 を参照すると、スイッチ制御二次回路 1 1 4 は、第 2 のトランジスタ T 2 を含み、第 2 のトランジスタ T 2 のゲートは、スイッチ信号端子 E M に接続され、ソースとドレインは、それぞれ、電源正極端子 V d d と駆動二次回路 1 1 3 のうちの 1 つに接続される。

【 0 0 6 3 】

20

例示的に、第 2 のトランジスタ T 2 は、p 型トランジスタであってもよく、スイッチ信号端子 E M が発光制御信号を受信した期間は、スイッチ信号端子 E M が L レベルの期間である。つまり、当該発光制御信号は、L レベルの信号であってもよい。スイッチ信号端子 E M が発光制御信号を受信した期間において、第 2 のトランジスタ T 2 がオンになって、駆動電流 I d の出力経路がオンになり、この期間外において、第 2 のトランジスタ T 2 がオフになって、駆動電流 I d の出力経路がオフになることにより、上記スイッチ制御二次回路 1 1 4 の機能が実現される。

【 0 0 6 4 】

図 5 を参照すると、駆動二次回路 1 1 3 は、駆動トランジスタ T d を含み、駆動トランジスタ T d のゲートは、データ書き込み二次回路 1 1 1 と保存二次回路 1 1 2 にそれぞれ接続され、駆動トランジスタ T d のソースとドレインは、それぞれ、スイッチ制御二次回路 1 1 4 と電流出力端子 O u t のうちの 1 つに接続される。

30

【 0 0 6 5 】

例示的に、図 5 に示す構造において、駆動トランジスタ T d のゲート接続ノード Q 2 、当該データ書き込み二次回路 1 1 1 と保存二次回路 1 1 2 は、それぞれ、当該ノード Q 2 に接続されている。駆動トランジスタ T d のソースとドレインの一方の電極はスイッチ制御二次回路 1 1 4 に接続され、他方の電極はノード Q 1 に接続され、すなわち、当該他方の電極は、分圧サブ回路 1 2 を介して電流出力端子 O u t に接続されることができる。

【 0 0 6 6 】

図 5 を参照すると、保存二次回路 1 1 2 は第 1 のコンデンサ C 1 を含み、第 1 のコンデンサ C 1 の第 1 の端部がデータ書き込み二次回路 1 1 1 と駆動二次回路 1 1 3 に接続され、例えば、図 5 に示す構造において、第 1 のコンデンサ C 1 の第 1 の端部がノード Q 2 に接続される。第 1 のコンデンサ C 1 の第 2 の端部が共通電圧線 V c o m に接続される。

40

【 0 0 6 7 】

例示的に、駆動トランジスタ T d は、n 型トランジスタであってもよく、この結果、第 1 のコンデンサ C 1 に保存された駆動電圧（すなわち駆動トランジスタ T d のゲート電圧）は、駆動トランジスタ T d のソースドレイン電流の電流値を制御することができ、かつ、駆動電圧が高いほど、駆動トランジスタ T d のソースドレイン電流の電流値が大きくなる。これにより、上記駆動二次回路 1 1 3 と上記保存二次回路 1 1 2 の機能が実現される。

50

【 0 0 6 8 】

なお、上記駆動電圧の値は、基準電圧（この基準電圧はゼロ電圧であってもよく）からずれた振幅値であることができ、この結果、p型トランジスタを用いて駆動二次回路113を実現しても、駆動電流 I_d の電流値と駆動二次回路113の制御端子（すなわち、駆動トランジスタ T_d のゲート）における電圧の電圧値が相変わらず正の相関がある。

【 0 0 6 9 】

図5を参照すると、上記したゲート信号端子 $Gate$ は、第1の端子 $Gate1$ と第2の端子 $Gate2$ を含み、第1の端子 $Gate1$ と第2の端子 $Gate2$ には、それぞれ、正相のゲート駆動信号と逆相のゲート駆動信号がロードされる。つまり、第1の端子 $Gate1$ にロードされたゲート駆動信号がHレベルであるときに、第2の端子 $Gate2$ にロードされたゲート駆動信号がLレベルである。第1の端子 $Gate1$ にロードされたゲート駆動信号がLレベルであるときに、第2の端子 $Gate2$ にロードされたゲート駆動信号がHレベルである。

10

【 0 0 7 0 】

データ書き込み二次回路111は、第1のn型トランジスタ $N1$ と第1のp型トランジスタ $P1$ を含み、第1のn型トランジスタ $N1$ のゲートは、第1の端子 $Gate1$ に接続され、第1のn型トランジスタ $N1$ のソースとドレインは、それぞれ、データ信号端子 $Date$ と保存二次回路112のうちの1つに接続され、第1のp型トランジスタ $P1$ のゲートは、第2の端子 $Gate2$ に接続され、第1のp型トランジスタ $P1$ のソースとドレインは、それぞれ、データ信号端子 $Date$ と保存二次回路112のうちの1つに接続される。

20

【 0 0 7 1 】

このようにして、上記したゲート信号端子 $Gate$ がゲート駆動信号を受信した期間である第1の端子 $Gate1$ がHレベルであり且つ第2の端子 $Gate2$ がLレベルである期間において、第1のn型トランジスタ $N1$ と第1のp型トランジスタ $P1$ は、いずれもオンになることにより、データ信号端子 $Date$ における電圧を電流源サブ回路11の内部の保存二次回路112に書き込むことができ、当該保存二次回路112が当該データ信号端子 $Date$ における電圧に応じて駆動電圧を保存することができる。この期間外において、第1のn型トランジスタ $N1$ と第1のp型トランジスタ $P1$ は、いずれもオフになり、データ信号端子 $Date$ における電圧と保存二次回路112に保存された駆動電圧は、互いに影響しない。これにより、上記データ書き込み二次回路111の機能が実現される。

30

【 0 0 7 2 】

また、第1のn型トランジスタ $N1$ は、データ信号端子 $Date$ における高電圧を保存二次回路112に書き込むためのものであり、第1のp型トランジスタ $P1$ は、データ信号端子 $Date$ における低電圧を保存二次回路112に書き込むためのものであるため、単一のトランジスタを使用することよりも、当該データ書き込み二次回路111によって書き込まれた電圧の電圧範囲の拡大に有利である。

【 0 0 7 3 】

選択肢として、当該データ書き込み二次回路111は、第1のn型トランジスタ $N1$ と第1のp型トランジスタ $P1$ の一方のみを含んでもよく、例えば、第1のn型トランジスタ $N1$ または第1のp型トランジスタ $P1$ のみを含んでもよい。

40

【 0 0 7 4 】

本実施例では、初期化サブ回路13の回路の実現形態を例示し、当該初期化サブ回路13は、電流源サブ回路11が毎回駆動電圧を保存する前に、電流出力端子 Out における電圧を初期化電圧とするように構成されることにより、前後のフレームデータの電圧（即ち、データ信号端子 $Date$ における電圧）の相互影響を小さくことができ、高周波駆動時のモーションブラー(motion blur)という問題の改善に役立つ。

【 0 0 7 5 】

図5を参照すると、初期化サブ回路13は、第3のトランジスタ $T3$ を含み、第3のト

50

ランジスタ T 3 のゲートは、初期化信号端子 S I に接続され、第 3 のトランジスタ T 3 のソースとドレインは、それぞれ、電流出力端子 O u t と共通電圧線 V c o m のうちの 1 つに接続される。例えば、図 5 に示す構造において、第 3 のトランジスタ T 3 のソースとドレインの一方の電極は共通電圧線 V c o m に接続され、他方の電極はノード Q 1 に接続され、すなわち、当該他方の電極は、分圧サブ回路 1 2 を介して電流出力端子 O u t に接続されることができる。

【 0 0 7 6 】

例示的に、第 3 のトランジスタ T 3 は、n 型トランジスタであってもよく、初期化信号端子 S I が受信した初期化信号は、H レベルの信号であってもよい。初期化信号端子 S I における H レベル期間（すなわち、初期化信号端子 S I が初期化信号を受信した期間）は、各ゲート信号端子 G a t e がゲート駆動信号を受信した期間の前に設定されることができる。このようにして、第 3 のトランジスタ T 3 は、データ書き込み二次回路 1 1 1 が毎回駆動電圧を保存二次回路 1 1 2 に書き込む前に、ノード Q 1 における電圧を共通電圧とすることができ、上記初期化サブ回路 1 3 の機能を実現する。

10

【 0 0 7 7 】

代わりに、上記初期化電圧は、共通電圧線 V c o m が供給した共通電圧に加えて、例えばゲート L レベル電圧（V G L）や発光電源低電圧（E L V S S）などを可能な範囲で採用し、適用ニーズに応じて配置することができる。

【 0 0 7 8 】

本実施例では、画素回路は、発光素子をさらに含むことができる。図 5 に示すように、当該発光素子は、有機発光ダイオード D 1 であってもよい。

20

【 0 0 7 9 】

例示的に、当該有機発光ダイオード D 1 の一方の電極は、電流源サブ回路 1 1 に接続されて、電流源サブ回路 1 1 が出力した駆動電流 I d を受信することにより発光する。

【 0 0 8 0 】

例えば、図 5 を参照すると、当該有機発光ダイオード D 1 の一方の電極は、電流出力端子 O u t に接続され、すなわち、分圧サブ回路 1 2 を介して当該電流源サブ回路 1 1 に接続される。あるいは、図 2 に示した接続形態について、当該有機発光ダイオード D 1 の一方の電極は、電流出力端子 O u t を介して電流源サブ回路 1 1 に直接接続される。当該有機発光ダイオード D 1 の他方の電極は、電源負極端子 V s s に接続される。

30

【 0 0 8 1 】

上記画素回路は、特に発光素子に駆動電流を提供する回路構成であってもよく、すなわち、当該画素回路は、発光素子を含まなくてもよいことを理解すべきである。あるいは、当該画素回路は、発光素子を含んで、サブ画素または画素の回路構成であってもよい。

【 0 0 8 2 】

そして、本実施例における電流出力端子 O u t は、実際に画素回路の内部ノードに属し、これを例に挙げて上記した画素回路の各端子はいずれも、外部ノードと内部ノードのいずれかであってもよく、全部が外部構造に接続するためのノードに属する必要はないことが分かる。

【 0 0 8 3 】

本発明の実施例は、上記実施例に記載の画素回路を駆動するための駆動方法に関する。図 6 を参照すると、当該方法が以下のステップを含む。

40

【 0 0 8 4 】

ステップ 1 0 1：スイッチ信号端子に発光制御信号を提供し、分圧制御信号端子に分圧制御信号を提供することにより、画素回路における分圧サブ回路の等価抵抗値と当該画素回路における電流源サブ回路に保存された駆動電圧が負の相関がある発光段階である。

【 0 0 8 5 】

選択肢として、続いて図 6 を参照すると、当該方法は、当該ステップ 1 0 1 で示した発光段階の前に、以下のステップをさらに含む。

【 0 0 8 6 】

50

ステップ102: ゲート信号端子にゲート駆動信号を提供し、当該発光制御信号および当該分圧制御信号の提供を停止することにより、当該画素回路の電流源サブ回路がデータ信号端子における電圧に応じて駆動電圧を保存するデータ書き込み段階である。

【0087】

選択肢として、図4と図5を参照すると、当該画素回路は、初期化サブ回路13をさらに含むことができ、当該初期化サブ回路13は、初期化信号端子S I、電流出力端子O u tおよび共通電圧線V c o mにそれぞれ接続される。対応して、当該方法は、ステップ102で示したデータ書き込み段階の前に、以下のステップをさらに含む。

【0088】

ステップ103: 初期化信号端子に初期化信号を提供することにより、初期化サブ回路が当該共通電圧線における共通電圧に応じて当該電流出力端子における電圧を初期化電圧とする初期化段階である。

10

【0089】

図7は、本発明の一実施例による画素回路の回路タイミング図である。図5に示した画素回路を例に挙げて、当該画素回路の駆動方法を説明する。図7を参照すると、上記画素回路は、各作動周期に初期化段階I、データ書き込み段階II、および発光段階IIIを含むことができる。順番で、上述画素回路の各作動周期における作動プロセスは、以下の通りである。

【0090】

初期化段階Iにおいて、初期化信号端子S IにHレベルの初期化信号を提供し、分圧制御信号端子S CにHレベルの分圧制御信号を提供し、ゲート信号端子G a t eへのゲート駆動信号の提供を停止し、スイッチ信号端子E Mへの発光制御信号の提供を停止する。このとき、第2の端子G a t e 2、スイッチ信号端子E M、初期化信号端子S Iおよび分圧制御信号端子S CはいずれもHレベルであり、第1の端子G a t e 1はLレベルであるため、第1のトランジスタT 1と第3のトランジスタT 3がオンになり、第1のn型トランジスタN 1、第1のp型トランジスタP 1と第2のトランジスタT 2がオフになる。このとき、共通電圧線V c o mにおける共通電圧をノードQ 1に書き込み、第1のトランジスタT 1によって有機発光ダイオードD 1の正極を共通電圧とすることにより、画素回路の初期化を完成する。

20

【0091】

当該初期化段階において、ノードQ 2における電圧が第1の容量C 1に予め保存された駆動電圧に保持されることにより、駆動トランジスタT dがオンしている可能性がある。ただし、第2のトランジスタT 2のオフによって駆動電流の出力経路が遮断されているので、有機発光ダイオードD 1を通る電流がない可能性があり、有機発光ダイオードD 1は、例えば逆バイアス状態などの非発光状態にあることができる。

30

【0092】

データ書き込み段階IIにおいて、ゲート信号端子G a t eにゲート駆動信号を提供し、分圧制御信号端子S Cに分圧制御信号を提供し、スイッチ信号端子E Mへの発光制御信号の提供を停止し、初期化信号端子S Iへの初期化信号の提供を停止する。このとき、第1の端子G a t e 1、スイッチ信号端子E Mおよび分圧制御信号端子S CはいずれもHレベルであり、第2の端子G a t e 2と初期化信号端子S IはいずれもLレベルであるため、第1のn型トランジスタN 1、第1のp型トランジスタP 1と第1のトランジスタT 1がオンになり、第2のトランジスタT 2と第3のトランジスタT 3がオフになる。このとき第1の容量C 1は、データ信号端子D a t eの電圧作用のもとで、ノードQ 2の電圧がデータ信号端子D a t eの電圧にほぼ等しいまで充電または放電されて、ノードQ 2における駆動電圧の更新が完了する。その後、第1のn型トランジスタN 1と第1のp型トランジスタP 1がオフにした後、第1の容量C 1は、ノードQ 2における電圧を一定に保つことができ、すなわち駆動電圧の保存が実現されることが予想される。当該データ書き込み段階において、第2のトランジスタT 2が相変わらずオフ状態にあり、駆動電流の出力経路が遮断されているので、駆動電流が供給されていない有機発光ダイオードD 1は、相変

40

50

わらず非発光状態にある。

【0093】

例示的に、図7に示すように、初期化段階とデータ書き込み段階において、分圧制御信号端子SCに提供された分圧制御信号の電圧は、ゲートHレベル電圧(VGH)であることができる。

【0094】

発光段階IIIにおいて、スイッチ信号端子EMに発光制御信号を提供し、分圧制御信号端子SCに分圧制御信号を提供し、初期化信号端子SIへの初期化信号の提供を停止し、ゲート信号端子Gateへのゲート駆動信号の提供を停止する。このとき、第2の端子Gate2はHレベルであり、第1の端子Gate1、スイッチ信号端子EMおよび初期化信号端子SIはいずれもLレベルであり、分圧制御信号端子SCが受信した分圧制御信号の電圧は制御電圧Vc2になり、図7を参照すると、当該制御電圧Vc2がVGHよりも低くてもよい。これにより、第1のn型トランジスタN1、第1のp型トランジスタP1と第3のトランジスタT2がオフになり、第1のトランジスタT1、第2のトランジスタT2と駆動トランジスタTdはいずれもオンになり、駆動電流の出力経路がオンになる。

【0095】

このときノードQ2の電圧がVdataであり、駆動トランジスタTdの閾値電圧がVthであると仮定すると、理想的な条件下では、ソースフォロ原理に従って、ノードQ1の電圧はVdata-Vthに近く、第1のトランジスタT1はゲートの制御電圧Vc2の作用で一定の等価ソースドレイン抵抗を有するため、有機発光ダイオードD1の正極電圧(すなわち、電流出力端子Outの電圧)は、Vdata-Vth-Vpに低下する。ここで、Vpは、第1のトランジスタT1の等価ソースドレイン抵抗が上記駆動電流の出力経路において得た電圧値である。

【0096】

第1のトランジスタT1の等価ソースドレイン抵抗が一定範囲においてゲート電圧の増大につれて減少することができるので、例えば実験的な測定方法によって、一定のVdata条件下での制御電圧Vc2とVpとの数値対応関係を予め得ることができ、これに基づいて、制御電圧Vc2の電圧値を調整することにより、所望のVpを得ることができる。例えば、Vdataの大きさの範囲は、例えば上記低圧製造プロセスにおける薄膜トランジスタの耐圧特性によって制限され、Vdata-Vthが最大値5Vの場合、制御電圧Vc2を調整することにより、第1のトランジスタT1が小さい等価ソースドレイン抵抗を有し、ひいては実際のVp=0.3Vになる。Vdata-Vthが最小値1Vの場合、制御電圧Vc2を調整することにより、第1のトランジスタT1が大きい等価ソースドレイン抵抗を有し、ひいては実際のVp=2Vになる。このようにして、上記の暗状態で表示される画素がより暗くなり、明状態で表示される画素の明るさがほぼ変化しないように画面コントラストを向上させる効果を実現できる。

【0097】

駆動電流の出力経路における第1のトランジスタT1を除去すると、有機発光ダイオードD1の正極電圧は、1Vから5Vの範囲内でしか変化できないため、画面コントラストが相応の制限を受けることが理解できる。

【0098】

以上から分かるように、本発明の実施例の分圧サブ回路12は、異なる画素回路間で異なる等価抵抗値を有することができるため、画面の最大輝度をほぼ変化させずに保つ同時に、分圧により、暗い画素内の発光素子の端電圧が低減されることで、画面コントラストが低圧製造プロセスの制限を突破することができ、OLEDディスプレイの高コントラスト表示を実現するのに役立つ。

【0099】

各画素回路の各作動周期の発光段階IIIについて、データ信号端子Dataにおける電圧に応じて、異なる分圧制御信号の電圧をそれぞれ設定することができることを理解すべきである。例えば、図7の前後の2つの作動周期の発光段階IIIにおける分圧制御信号の

電圧が、それぞれ V_{c1} と V_{c2} であり、したがって、上記の画面コントラストを向上させる効果を実現するのに役立つ。

【0100】

選択肢として、図5から分かるように、当該有機発光ダイオードD1の正極は電流出力端子Outに接続され、負極は電源負極端子Vssに接続される。上記の分析によると、本発明の実施例において、有機発光ダイオードD1の正極電圧は $V_{data} - V_{th} - V_p$ であるので、その二つの電極間の電圧は $V_{data} - V_{th} - V_p - V_{ss}$ である。画素回路における第1のトランジスタT1を除去すると、有機発光ダイオードD1の二つの電極間の電圧は $V_{data} - V_{th} - V_{ss}$ である。通常、有機発光ダイオードD1の二つの電極間の電圧の変化範囲が大きいほど、OLEDディスプレイのコントラストが高くなる。上記有機発光ダイオードD1の二つの電極間の電圧の式を参照すると、データ信号端子Dateにおける電圧 V_{data} の変化範囲が一定である場合、有機発光ダイオードD1の二つの電極間の電圧の大きさおよび電極間の電圧の変化範囲は V_{ss} の大きさに関係する。

10

【0101】

本発明の実施例において、OLEDディスプレイの表示の柔軟性を向上させるために、当該OLEDディスプレイは、表示装置の周囲環境の光強度を検出する光強度センサーを備えてもよい。OLEDディスプレイにおける当該画素回路を制御するための駆動回路（例えば、タイミングコントローラ）は、光強度センサーにより検出された光強度に応じて、電源負極端子Vssにおける電圧の大きさを調整することによって、有機発光ダイオードD1の二つの電極間の電圧の大きさと電極間の電圧の変化範囲を調整でき、したがって、OLEDディスプレイは、異なる表示モードを実現することができる。例えば、高コントラストモードおよび高輝度モードを実現することができる。

20

【0102】

図8は、本発明の実施例による発光素子の輝度Lはその両極間の電圧VELに応じて変化することを示す概略図である。図9は、本発明の実施例による発光素子の電流密度Jはその両極間の電圧VELに応じて変化することを示す概略図である。ここで、輝度Lの単位はニト(nit)であり、電流密度Jの単位はミリアンペア毎平方センチメートル(mA/cm^2)である。図8と図9において、モード1は高コントラストモードであり、モード2は高輝度モードである。図8および図9から分かるように、高コントラストモードでは、発光素子の二つの電極間の電圧VELは低く、高輝度モードでは、発光素子の二つの電極間の電圧VELは高い。例えば、高コントラストモードでは、発光素子の二つの電極間の電圧VELの変化範囲は、 $4.7V \sim 6.7V$ であってもよく、または、 $0V \sim 5.2V$ であってもよい。高輝度モードでは、発光素子の二つの電極間の電圧VELの変化範囲は、 $6.2V \sim 8.2V$ であってもよく、または、 $2.8V \sim 8V$ であってもよい。したがって、高コントラストモードを実現する必要がある場合、電源負極端子Vssにおける電圧を大きい値に調整する。高輝度モードを実現する必要がある場合、電源負極端子Vssにおける電圧を小さい値に調整する。

30

【0103】

例示的に、駆動トランジスタTdは6V製造プロセスを採用し（すなわち、駆動トランジスタTdの任意の2つの電極間の電圧が6Vを超えない）、かつその閾値電圧Vthは1Vであると仮定される。駆動トランジスタTdの耐電圧特性により制限され、 V_{data} の変化範囲は、 $1V \sim 5V$ である。OLEDディスプレイが高コントラストモードにあれば、コントラストは30000:1であり、輝度は375nitであり、電源負極端子Vssにおける電圧は-3Vである。画素回路に第1のトランジスタT1が配置されていなければ、有機発光ダイオードD1の2つの電極間の電圧の範囲は、 $3V \sim 7V$ である。 V_{data} が5Vの場合、 $V_p = 0.2V$ であり、 V_{data} が1Vの場合、 $V_p = 1V$ であり、有機発光ダイオードD1の2つの電極間の電圧の範囲は、 $2V \sim 6.8V$ に達することができる。以上のことから分かるように、本発明の実施例による画素回路は、有機発光ダイオードD1の2つの電極間の電圧の範囲を効果的に向上させることにより、有機

40

50

発光ダイオード D 1 の発光のコントラストを向上させることができる。

【 0 1 0 4 】

同じ発明概念に基づいて、本発明の一実施例は、上記のいずれかの画素回路を幾つか含む表示基板に関する。なお、当該表示基板は、例えば、アレイ基板、アレイ基板のマザーボード、OLEDパネル、OLEDパネルのマザーボードなどであってもよく、表示基板における画素のすべては、本発明による画素回路を採用してもよいし、その一部は本発明による画素回路を採用してもよい。

【 0 1 0 5 】

一実現可能な形態において、表示基板は分圧制御回路をさらに含み、分圧制御回路は幾つかの制御線を介して各画素回路に接続され、各制御線は1つの画素回路の分圧制御端子を分圧制御回路に接続する。

10

【 0 1 0 6 】

または、各制御線は、1つの表示ユニット内のすべての画素回路の分圧制御端子を分圧制御回路に接続することができ、各画素回路は、いくつかの表示ユニットのうちの一つに分けられ、各表示ユニットは、それぞれ、一つの独立の表示領域を占める。つまり、当該表示基板は、複数の表示ユニットを含んでもよく、各表示ユニットは、複数の画素回路を含んでもよく、例えば、各表示ユニットは、一列の画素回路を含んでもよい。

【 0 1 0 7 】

一実現可能な形態において、前記表示基板は、ゲート駆動回路およびデータ駆動回路をさらに含む。

20

【 0 1 0 8 】

前記ゲート駆動回路は、複数のゲート線を介して各前記画素回路に接続され、各前記ゲート線は、1行分の前記画素回路のゲート信号端子を前記ゲート駆動回路に接続する。

【 0 1 0 9 】

前記データ駆動回路は、複数のデータ線を介して各前記画素回路に接続され、各前記データ線は、1列分の前記画素回路のデータ信号端子を前記データ駆動回路に接続する。

【 0 1 1 0 】

例として、図10は、本発明の一実施例による表示基板における画素回路の配置態様の概略図である。

【 0 1 1 1 】

30

図10を参照すると、幾つかの前記画素回路100は複数の行および列に並び、表示基板は、いくつかの画素回路100に加えて、ゲート駆動回路300、データ駆動回路400および分圧制御回路200をさらに含む。図10において、ゲート駆動回路300は、複数の第1のゲート線と複数の第2のゲート線を介して各画素回路100に接続され、各第1のゲート線は、1行分の画素回路100のゲート信号端子Gateをゲート駆動回路300に接続し、各第2のゲート線は、1行分の画素回路100のスイッチ信号端子EMをゲート駆動回路300に接続する。データ駆動回路400は、複数のデータ線を介して各画素回路100に接続され、各データ線は、1列分の画素回路100のデータ信号端子Dataをデータ駆動回路400に接続する。

【 0 1 1 2 】

40

また、各列の画素回路100は、それぞれ、表示ユニットを構成し、分圧制御回路200は、いくつかの制御線を介して各画素回路100に接続され、各制御線は、1つの表示ユニット内のすべての画素回路100の分圧制御端子SCを分圧制御回路200に接続する。これにより、ゲート駆動回路300は、各画素回路100にゲート駆動信号およびスイッチ制御信号を提供でき、データ駆動回路400は、各画素回路100に駆動電圧を更新するためのデータ電圧を提供でき、分圧制御回路200は、各画素回路100に分圧制御信号を提供できる。また、各画素回路100の初期化信号端子SIは、所在する行の前の行の画素回路100に接続されたゲート線に接続されることにより、例えば図5に示す第1の端子Gate1における信号で、他の画素回路100に必要な初期化信号端子SIにおける信号を実現することができる。

50

【 0 1 1 3 】

一実現可能な形態において、図 1 0 に示す各制御線は、同じ列の各画素回路 1 0 0 にそれぞれ対応するサブ経路を含むことができ、各サブ経路は 1 つの画素回路 1 0 0 の分圧制御端子を分圧制御回路 2 0 0 に接続し、これにより、分圧制御回路 2 0 0 は、各画素回路 1 0 0 に対して個別に分圧制御を行うことができ、より優れた表示効果を実現するのに役立つ。

【 0 1 1 4 】

本発明の実施例では、当該分圧制御回路 2 0 0 は、ゲート駆動回路 3 0 0 およびデータ駆動回路 4 0 0 と独立して設けられた回路であってもよく、または、当該分圧制御回路 2 0 0 は、データ駆動回路 4 0 0 と一体化して設けられてもよく、または、当該分圧制御回路 2 0 0 は、タイミングコントローラに集積されてもよい。

10

【 0 1 1 5 】

選択肢として、当該表示基板は、薄膜トランジスタ (thin film transistor、TFT) バックプレート、および TFT バックプレートに形成された発光素子を含むことができ、当該 TFT バックプレートには複数の画素回路が設けられ、各画素回路は一つの発光素子に接続され、当該発光素子は OLED であってもよい。または、当該表示基板は、シリコンベースマイクロ (micro) OLED 基板であってもよく、当該シリコンベース micro OLED 基板における各画素回路は、いずれも単結晶シリコン (wafer) 上に形成される。

【 0 1 1 6 】

20

同じ発明概念に基づいて、本発明の一実施例は、上記のいずれかの表示基板を含む表示装置に関する。本発明の実施例における表示基板は、OLED ディスプレイであってもよく、例えば、表示パネル、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、ナビゲーション、またはウェアラブルデバイスなどの表示機能を備えた製品や部品であってもよい。ここで、当該ウェアラブルデバイスは、拡張現実 (augmented reality、AR) デバイスまたは仮想現実 (virtual reality、VR) デバイスであってもよい。

【 0 1 1 7 】

例として、図 1 1 は、本発明の一実施例による表示装置の構造概略図である。図 1 1 を参照すると、当該表示装置の表示領域は、行列で配置されたいくつかのサブ画素領域 Px を含み、各サブ画素領域 Px には、それぞれに対応して、上記のいずれかの画素回路が 1 個設けられ、これにより、分圧制御信号端子 SC における信号で、上記の画面コントラストを向上させる効果を実現でき、表示装置はより優れた表示性能を有する。

30

【 0 1 1 8 】

選択肢として、本発明の実施例では、当該表示装置には表示装置における各画素の温度を検出するための温度センサーが設けられていてもよい。当該表示装置は、温度センサーにより検出された各画素の温度に応じてガンマ曲線を調整することにより、温度補償を行うことができる。

【 0 1 1 9 】

上記は、本発明の例示的实施例に過ぎない、本発明を限定するものではなく、本開示の精神および範囲内でなされた任意の変更、等効な置換、改善などは、本発明の範囲に含まれるものとする。

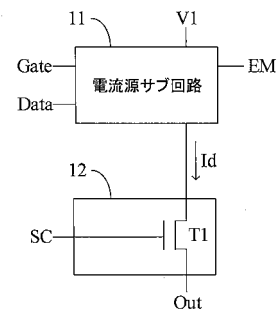
40

【 符号の説明 】

【 0 1 2 0 】

- 1 1 電流源サブ回路
- 1 2 分圧サブ回路

【 図 3 】



【 図 5 】

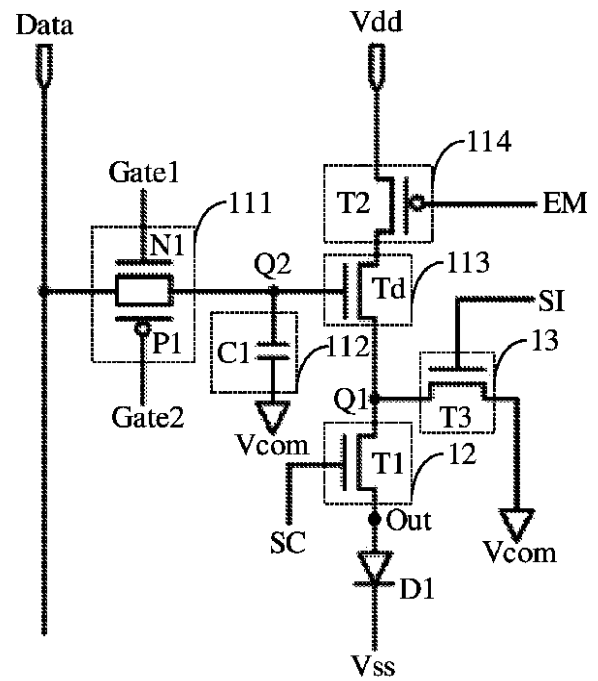
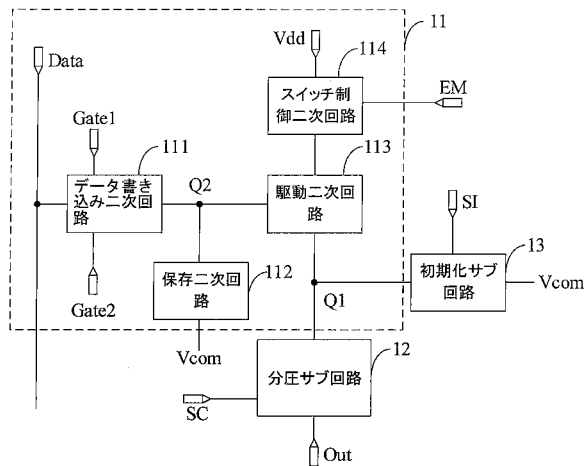
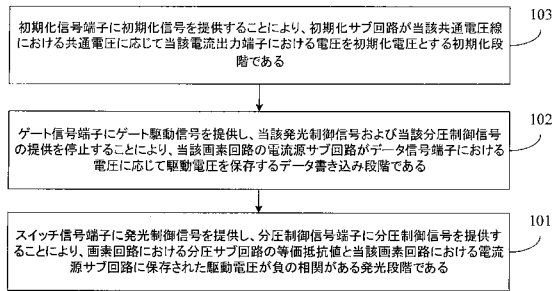
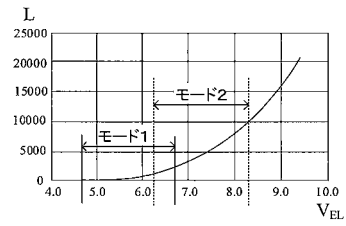


图 5

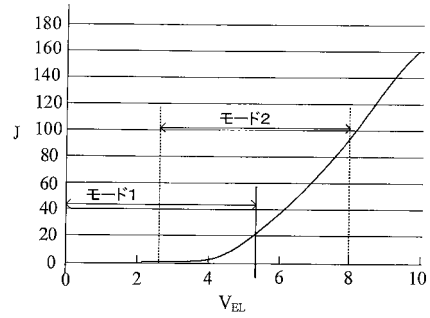
【図 6】



【図 8】



【図 9】



【図 7】

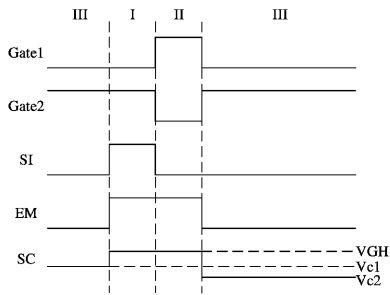
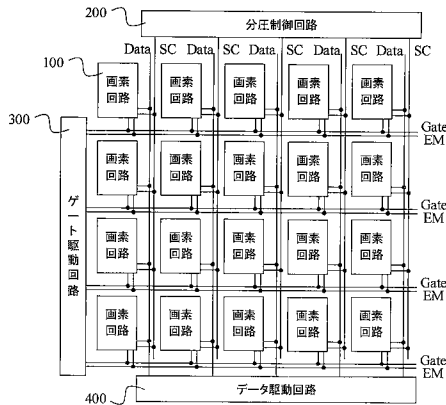


图 7

【図 10】



【図 11】

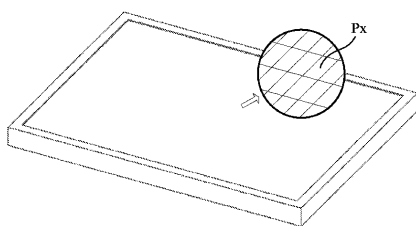


图 11

【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2019/074972																		
A. CLASSIFICATION OF SUBJECT MATTER G09G 3/32(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, WPI, EPODOC: 京东方, 杨盛际, 董学, 陈小川, 王辉, 卢鹏程, 像素, 有机发光, 电容, 分压, 电阻, 调, 对比度, 暗态, 初始化, 发光阶段, 发光控制, 发光使能, pixel, OLED, capacitor, voltage, division, resistance, adjust+, contrast, ratio, dark, ini, initial, light, emit+, EM																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%;"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103440840 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 11 December 2013 (2013-12-11) description, paragraphs [0078]-[0082], and figures 7 and 8</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 102368379 A (SHENZHEN LAIBAO HI-TECH CO., LTD.) 07 March 2012 (2012-03-07) entire document</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105185304 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 December 2015 (2015-12-23) entire document</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 107180612 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 19 September 2017 (2017-09-19) entire document</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>KR 20100047505 A (LG DISPLAY CO., LTD.) 10 May 2010 (2010-05-10) entire document</td> <td>1-20</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	CN 103440840 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 11 December 2013 (2013-12-11) description, paragraphs [0078]-[0082], and figures 7 and 8	1-20	A	CN 102368379 A (SHENZHEN LAIBAO HI-TECH CO., LTD.) 07 March 2012 (2012-03-07) entire document	1-20	A	CN 105185304 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 December 2015 (2015-12-23) entire document	1-20	A	CN 107180612 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 19 September 2017 (2017-09-19) entire document	1-20	A	KR 20100047505 A (LG DISPLAY CO., LTD.) 10 May 2010 (2010-05-10) entire document	1-20
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
A	CN 103440840 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 11 December 2013 (2013-12-11) description, paragraphs [0078]-[0082], and figures 7 and 8	1-20																		
A	CN 102368379 A (SHENZHEN LAIBAO HI-TECH CO., LTD.) 07 March 2012 (2012-03-07) entire document	1-20																		
A	CN 105185304 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 December 2015 (2015-12-23) entire document	1-20																		
A	CN 107180612 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 19 September 2017 (2017-09-19) entire document	1-20																		
A	KR 20100047505 A (LG DISPLAY CO., LTD.) 10 May 2010 (2010-05-10) entire document	1-20																		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																				
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																				
Date of the actual completion of the international search 18 April 2019		Date of mailing of the international search report 06 May 2019																		
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.																		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/074972

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103440840	A	11 December 2013	CN	103440840	B	16 September 2015
CN	102368379	A	07 March 2012	CN	102368379	B	03 August 2016
CN	105185304	A	23 December 2015	CN	105185304	B	22 September 2017
				US	2017069264	A1	09 March 2017
CN	107180612	A	19 September 2017	CN	107180612	B	05 February 2019
KR	20100047505	A	10 May 2010	KR	101451584	B1	17 October 2014

国际检索报告		国际申请号 PCT/CN2019/074972
A. 主题的分类 G09G 3/32(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC; 京东方, 杨盛际, 董学, 陈小川, 王辉, 卢鹏程, 像素, 有机发光, 电容, 分压, 电阻, 调, 对比度, 暗态, 初始化, 发光阶段, 发光控制, 发光使能, pixel, OLED, capacitor, voltage, division, resistance, adjust+, contrast, ratio, dark, ini, initial, light, emit+, EM		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103440840 A (北京大学深圳研究生院) 2013年 12月 11日 (2013 - 12 - 11) 说明书第[0078]-[0082]段, 图7、8	1-20
A	CN 102368379 A (深圳莱宝高科技股份有限公司) 2012年 3月 7日 (2012 - 03 - 07) 全文	1-20
A	CN 105185304 A (京东方科技集团股份有限公司 等) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-20
A	CN 107180612 A (京东方科技集团股份有限公司 等) 2017年 9月 19日 (2017 - 09 - 19) 全文	1-20
A	KR 20100047505 A (LG DISPLAY CO., LTD.) 2010年 5月 10日 (2010 - 05 - 10) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 4月 18日		国际检索报告邮寄日期 2019年 5月 6日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 罗朋 电话号码 86-(10)-53962510

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/074972

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103440840	A	2013年 12月 11日	CN 103440840 B	2015年 9月 16日
CN	102368379	A	2012年 3月 7日	CN 102368379 B	2016年 8月 3日
CN	105185304	A	2015年 12月 23日	CN 105185304 B	2017年 9月 22日
				US 2017069264 A1	2017年 3月 9日
CN	107180612	A	2017年 9月 19日	CN 107180612 B	2019年 2月 5日
KR	20100047505	A	2010年 5月 10日	KR 101451584 B1	2014年 10月 17日

表 PCT/ISA/210 (同族专利附件) (2015年1月)

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/32

H 0 5 B 33/14

A

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 ▲楊▼ 盛▲際▼

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 董 学

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 ▲陳▼ 小川

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 王 ▲輝▼

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 ▲盧▼ ▲鵬▼程

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

F ターム(参考) 3K107 AA01 BB01 BB08 CC31 EE04 HH04 HH05

5C080 AA06 BB05 DD02 DD03 EE28 JJ02 JJ03 JJ04 JJ05 JJ07

KK02 KK07 KK23 KK43

5C380 AA01 AB06 AC07 AC08 AC11 AC12 BA21 BA42 BA43 BB21

BB23 BE01 CC01 CC22 CC26 CC27 CC35 CC39 CC63 CC68

CD016 CF67 CF68 DA20 DA47 FA04 FA06