



(12)发明专利申请

(10)申请公布号 CN 113327546 A

(43)申请公布日 2021.08.31

(21)申请号 202010127027.2

(22)申请日 2020.02.28

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 钱昱翰 刘利宾 卢江楠 李梅
史世明 张洁

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112

代理人 魏艳新 姜春咸

(51)Int.Cl.

G09G 3/3208(2016.01)

H01L 27/32(2006.01)

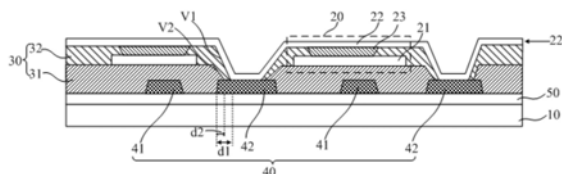
权利要求书3页 说明书10页 附图8页

(54)发明名称

显示基板及其制作方法、显示装置

(57)摘要

本发明实施例提供一种显示基板,包括:衬底;位于每个像素区中的发光单元,所述发光单元包括沿远离所述衬底的方向设置的第一电极、有机发光层和第二电极,各所述发光单元的第二电极连接为一体,形成第二电极层;绝缘间隔层,绝缘间隔层对应于所述间隔区的位置设置有过孔;辅助导电层,第二电极层通过过孔与辅助导电层连接;位于每个像素区中的像素电路,所述像素电路包括:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路;辅助导电层位于所述像素电路背离所述衬底的一侧,辅助导电层的材料与驱动晶体管的第一极和第二极的材料均相同。本发明还提供一种显示基板的制作方法和显示装置。本发明能够降低驱动功耗。



1. 一种显示基板,具有多个像素区,相邻的像素区之间具有间隔区,其特征在于,所述显示基板包括:

衬底;

位于每个像素区中的发光单元,所述发光单元包括沿远离所述衬底的方向设置的第一电极、有机发光层和第二电极,各所述发光单元的第二电极连接为一体,形成第二电极层;

绝缘间隔层,所述绝缘间隔层位于所述第二电极层与所述衬底之间,所述绝缘间隔层对应于所述间隔区的位置设置有过孔;

辅助导电层,所述辅助导电层位于所述绝缘间隔层与所述衬底之间,所述第二电极层通过所述过孔与所述辅助导电层连接,所述辅助导电层与所述第一电极绝缘间隔;

位于每个像素区中的像素电路,所述像素电路包括:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路,其中,

所述复位子电路被配置为,在复位阶段响应于复位端的控制,将参考电压端的电压信号传输至电容的第一端,并将初始化电压端的电压信号传输至电容的第二端;

所述驱动晶体管的栅极连接所述电容的第二端,所述驱动晶体管的第一极连接第一电源端;

所述数据写入子电路被配置为,在数据写入阶段响应于扫描端的控制,将数据信号端的电压信号传输至所述电容的第一端;

所述补偿子电路被配置为,在数据写入阶段响应于所述扫描端的控制,将所述驱动晶体管的栅极与第二极导通,以将所述第一电源端的电压和所述驱动晶体管的阈值电压写入所述电容中;

所述发光控制子电路被配置为,在发光阶段响应于发光控制信号端的控制,将所述参考信号端的电压信号传输至所述电容的第一端,并将所述驱动晶体管的第二极与所述发光单元的第一电极导通;

所述辅助导电层位于所述像素电路背离所述衬底的一侧,所述辅助导电层的材料与所述驱动晶体管的第一极和第二极的材料均相同。

2. 根据权利要求1所述的显示基板,其特征在于,所述辅助导电层包括多个辅助导电块和多条辅助导线,所述辅助导电块与所述绝缘间隔层上的过孔一一对应,每个辅助导电块与至少一条辅助导线电连接,所述辅助导电块的宽度大于所述辅助导线的宽度。

3. 根据权利要求2所述的显示基板,其特征在于,所述过孔在所述衬底上的正投影位于所述辅助导电块在所述衬底上的正投影范围内。

4. 根据权利要求3所述的显示基板,其特征在于,所述过孔在所述衬底上的正投影的边界与所述辅助导电块在所述衬底上的正投影的边界之间具有间距,该间距在 $4\mu\text{m}\sim 7\mu\text{m}$ 之间。

5. 根据权利要求2所述的显示基板,其特征在于,所述辅助导电块的宽度为所述辅助导线的宽度的2~5倍。

6. 根据权利要求2所述的显示基板,其特征在于,所述辅助导线在所述衬底上的正投影与所述发光单元在所述衬底上的正投影无交叠;

或者,所述辅助导线在所述衬底上的正投影与所述发光单元在所述衬底上的正投影存在交叠。

7. 根据权利要求2至6中任意一项所述的显示基板,其特征在于,多条所述辅助导电线包括多条第一导电线和多条第二导电线,所述第一导电线和所述第二电线的垂直交叉。

8. 根据权利要求2至6中任意一项所述的显示基板,其特征在于,多条所述辅助导电线形成网状结构,所述网状结构具有多行网格,相邻两行网格交错设置;或者,

多条所述辅助导电线形成多个链状结构,多个所述链状结构沿第一方向间隔排列,每个所述链状结构包括沿第二方向依次连接多个多边形框。

9. 根据权利要求1至6中任意一项所述的显示基板,其特征在于,所述复位子电路包括:第一复位晶体管和第二复位晶体管,其中,

所述第一复位晶体管的栅极连接所述复位端,第一极连接所述参考电压端,第二极连接所述电容的第一端;

所述第二复位晶体管的栅极连接所述复位端,第一极连接所述初始化电压端,第二极连接所述电容的第二端;

所述数据写入子电路包括:写入晶体管,所述写入晶体管的栅极连接所述扫描端,第一极连接所述数据信号端,第二极连接所述电容的第一端;

所述补偿子电路包括:第一补偿晶体管,所述第一补偿晶体管的栅极连接所述扫描端,所述第一补偿晶体管的第一极连接所述驱动晶体管的栅极,所述第一补偿晶体管的第二极连接所述驱动晶体管的第二极;

所述发光控制子电路包括:第一发光控制晶体管和第二发光控制晶体管,其中,所述第一发光控制晶体管的栅极连接所述发光控制端,第一极连接所述参考电压端,第二极连接所述电容的第一端;

所述第二发光控制晶体管的栅极连接所述发光控制端,所述第二发光控制晶体管的第一极连接所述驱动晶体管的第二极,所述第二发光控制晶体管的第二极连接所述发光单元的第一电极。

10. 根据权利要求1至6中任意一项所述的显示基板,其特征在于,所述复位子电路还包括:第三复位晶体管,所述第三复位晶体管的栅极连接所述扫描端,第一极连接所述发光单元的第一电极,第二极连接所述初始电压端;

所述阈值补偿子电路还包括:第二补偿晶体管,所述第二补偿晶体管的栅极连接所述发光控制端,所述第二补偿晶体管的第一极和第二极连接所述第一补偿晶体管的第二极。

11. 一种显示装置,其特征在于,包括权利要求1至10中任意一项所述的显示基板。

12. 一种权利要求1至11中任意一项所述的显示基板的制作方法,其特征在于,所述制作方法包括:

在衬底上形成位于每个像素区中的像素电路,所述像素电路包括:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路;

在形成有像素电路的衬底上形成辅助导电层,所述辅助导电层的材料与所述驱动晶体管的第一极和第二极的材料相同;

形成绝缘间隔层,所述绝缘间隔层对应于所述间隔区的位置设置有过孔;

形成位于每个像素区中的发光单元,所述发光单元包括沿远离所述衬底的方向设置的第一电极、有机发光层和第二电极,各所述发光单元的第二电极连接为一体,形成第二电极层;并且,所述第二电极层通过所述过孔与所述辅助导电层连接。

13. 根据权利要求12所述的制作方法,其特征在于,形成所述有机发光层之前还包括:
在所述辅助导电层被所述过孔露出的部分上形成待剥离层;
依次形成空穴注入层和空穴传输层;
形成所述有机发光层之后、且形成所述第二电极之前还包括:
依次形成电子传输层和电子注入层;
除去所述待剥离层,以使所述待剥离层上的空穴注入层、空穴传输层、电子传输层和电子注入层被同时除去。

14. 根据权利要求13所述的制作方法,其特征在于,所述待剥离层与所述过孔的侧壁之间存在间隔;

除去所述待剥离层的步骤包括:将所述衬底放置在用于溶解所述待剥离层的剥离溶液中,以除去所述待剥离层。

显示基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种显示基板及其制作方法、显示装置。

背景技术

[0002] 在有机电致发光二极管(Organic Light-Emitting Diode,OLED)显示装置中,每个像素中设置有发光单元,发光单元包括阳极、位于阳极上的发光层和位于发光层上的阴极,各个发光单元的阴极相互连接形成一个整体的阴极层。位于显示区周边的驱动信号端为阴极层提供电压,而由于阴极层的电阻较大会产生一定的压降,因此会导致驱动功耗增加,且由于不同发光单元到驱动信号端的距离不同,因此,各像素中提供给发光单元的驱动电流不完全相同,进而导致显示装置的显示亮度不均匀。

发明内容

[0003] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种显示基板及其制作方法、显示装置。

[0004] 第一方面,本发明提供一种显示基板,具有多个像素区,相邻的像素区之间具有间隔区,所述显示基板包括:

[0005] 衬底;

[0006] 位于每个像素区中的发光单元,所述发光单元包括沿远离所述衬底的方向设置的第一电极、有机发光层和第二电极,各所述发光单元的第二电极连接为一体,形成第二电极层;

[0007] 绝缘间隔层,所述绝缘间隔层位于所述第二电极层与所述衬底之间,所述绝缘间隔层对应于所述间隔区的位置设置有过孔;

[0008] 辅助导电层,所述辅助导电层位于所述绝缘间隔层与所述衬底之间,所述第二电极层通过所述过孔与所述辅助导电层连接,所述辅助导电层与所述第一电极绝缘间隔;

[0009] 位于每个像素区中的像素电路,所述像素电路包括:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路,其中,

[0010] 所述复位子电路被配置为,在复位阶段响应于复位端的控制,将参考电压端的电压信号传输至电容的第一端,并将初始化电压端的电压信号传输至电容的第二端;

[0011] 所述驱动晶体管的栅极连接所述电容的第二端,所述驱动晶体管的第一极连接第一电源端;

[0012] 所述数据写入子电路被配置为,在数据写入阶段响应于扫描端的控制,将数据信号端的电压信号传输至所述电容的第一端;

[0013] 所述补偿子电路被配置为,在数据写入阶段响应于所述扫描端的控制,将所述驱动晶体管的栅极与第二极导通,以将所述第一电源端的电压和所述驱动晶体管的阈值电压写入所述电容中;

[0014] 所述发光控制子电路被配置为,在发光阶段响应于发光控制信号端的控制,将所

述参考信号端的电压信号传输至所述电容的第一端,并将所述驱动晶体管的第二极与所述发光单元的第一电极导通;

[0015] 所述辅助导电层位于所述像素电路背离所述衬底的一侧,所述辅助导电层的材料与所述驱动晶体管的第一极和第二极的材料均相同。

[0016] 可选地,所述辅助导电层包括多个辅助导电块和多条辅助导电线,所述辅助导电块与所述绝缘间隔层上的过孔一一对应,每个辅助导电块与至少一条辅助导电线电连接,所述辅助导电块的宽度大于所述辅助电线的宽度。

[0017] 可选地,所述过孔在所述衬底上的正投影位于所述辅助导电块在所述衬底上的正投影范围内。

[0018] 可选地,所述过孔在所述衬底上的正投影的边界与所述所述辅助导电块在所述衬底上的正投影的边界之间具有间距,该间距在 $4\mu\text{m}\sim 7\mu\text{m}$ 之间。

[0019] 可选地,所述辅助导电块的宽度为所述辅助电线的宽度的2~5倍。

[0020] 可选地,所述辅助导电线在所述衬底上的正投影与所述发光单元在所述衬底上的正投影无交叠;

[0021] 或者,所述辅助导电线在所述衬底上的正投影与所述发光单元在所述衬底上的正投影存在交叠。

[0022] 可选地,多条所述辅助导电线包括多条第一导电线和第二条导电线,所述第一导电线和所述第二电线的垂直交叉。

[0023] 可选地,多条所述辅助导电线形成网状结构,所述网状结构具有多行网格,相邻两行网格交错设置;或者,

[0024] 多条所述辅助导电线形成多个链状结构,多个所述链状结构沿第一方向间隔排列,每个所述链状结构包括沿第二方向依次连接多个多边形框。

[0025] 可选地,所述复位子电路包括:第一复位晶体管和第二复位晶体管,其中,

[0026] 所述第一复位晶体管的栅极连接所述复位端,第一极连接所述参考电压端,第二极连接所述电容的第一端;

[0027] 所述第二复位晶体管的栅极连接所述复位端,第一极连接所述初始化电压端,第二极连接所述电容的第二端;

[0028] 所述数据写入子电路包括:写入晶体管,所述写入晶体管的栅极连接所述扫描端,第一极连接所述数据信号端,第二极连接所述电容的第一端;

[0029] 所述补偿子电路包括:第一补偿晶体管,所述第一补偿晶体管的栅极连接所述扫描端,所述第一补偿晶体管的第一极连接所述驱动晶体管的栅极,所述第一补偿晶体管的第二极连接所述驱动晶体管的第二极;

[0030] 所述发光控制子电路包括:第一发光控制晶体管和第二发光控制晶体管,其中,所述第一发光控制晶体管的栅极连接所述发光控制端,第一极连接所述参考电压端,第二极连接所述电容的第一端;

[0031] 所述第二发光控制晶体管的栅极连接所述发光控制端,所述第二发光控制晶体管的第一极连接所述驱动晶体管的第二极,所述第二发光控制晶体管的第二极连接所述发光单元的第一电极。

[0032] 可选地,所述复位子电路还包括:第三复位晶体管,所述第三复位晶体管的栅极连

接所述扫描端,第一极连接所述发光单元的第一电极,第二极连接所述初始电压端;

[0033] 所述阈值补偿子电路还包括:第二补偿晶体管,所述第二补偿晶体管的栅极连接所述发光控制端,所述第二补偿晶体管的第一极和第二极连接所述第一补偿晶体管的第二极。

[0034] 第二方面,本发明还提供一种显示装置,包括上述显示基板。

[0035] 第三方面,本发明还提供一种显示基板的制作方法,所述显示基板具有多个像素区,相邻的像素区之间具有间隔区,所述制作方法包括:

[0036] 在衬底上形成位于每个像素区中的像素电路,所述像素电路包括:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路;

[0037] 在形成有像素电路的衬底上形成辅助导电层,所述辅助导电层的材料与所述驱动晶体管的第一极和第二极的材料相同;

[0038] 形成绝缘间隔层,所述绝缘间隔层对应于所述间隔区的位置设置有过孔;

[0039] 形成位于每个像素区中的发光单元,所述发光单元包括沿远离所述衬底的方向设置的第一电极、有机发光层和第二电极,各所述发光单元的第二电极连接为一体,形成第二电极层;并且,所述第二电极层通过所述过孔与所述辅助导电层连接。

[0040] 可选地,形成所述有机发光层之前还包括:

[0041] 在所述辅助导电层被所述过孔露出的部分上形成待剥离层;

[0042] 依次形成空穴注入层和空穴传输层;

[0043] 形成所述有机发光层之后、且形成所述第二电极之前还包括:

[0044] 依次形成电子传输层和电子注入层;

[0045] 除去所述待剥离层,以使所述待剥离层上的空穴注入层、空穴传输层、电子传输层和电子注入层被同时除去。

[0046] 可选地,所述待剥离层与所述过孔的侧壁之间存在间隔;

[0047] 除去所述待剥离层的步骤包括:将所述衬底放置在用于溶解所述待剥离层的剥离溶液中,以除去所述待剥离层。

附图说明

[0048] 附图是用来提供对本公开的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本公开,但并不构成对本公开的限制。在附图中:

[0049] 图1为相关技术中发光单元所在的发光通路的示意图。

[0050] 图2为相关技术中的信号传输线的布置示意图。

[0051] 图3为本发明的一些实施例中提供的显示基板的局部俯视图。

[0052] 图4为沿图3中CC'线的剖视图。

[0053] 图5a为本发明的一些实施例中提供的像素电路的结构框图。

[0054] 图5b为本发明的一些实施例中提供的像素电路的具体结构示意图。

[0055] 图5c为本发明的一些实施例中提供的像素电路的时序图。

[0056] 图6为本发明的另一些实施例中提供的显示基板的局部俯视图。

[0057] 图7为沿图6中DD'线的剖视图。

[0058] 图8为本发明的另一些实施例中提供的显示基板的局部俯视图。

[0059] 图9为本发明的一些实施例中辅助导电层与信号传输线的整体示意图。

[0060] 图10至图18为本发明的一些实施例提供的显示基板的制作过程示意图。

具体实施方式

[0061] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0062] 这里用于描述本发明的实施例的术语并非旨在限制和/或限定本发明的范围。例如，除非另外定义，本发明使用的技术术语或者科学术语应当为本领域内具有一般技能的人士所理解的通常意义。应该理解的是，本发明中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。除非上下文另外清楚地指出，否则单数形式“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。

[0063] 在有机发光二极管显示面板中，每个像素区中设置有发光单元和像素电路，图1为相关技术中发光单元所在的发光通路的示意图，如图1所示，第一晶体管T1'的源极与第一电源端VDD连接，第一晶体管T1'的第二极与驱动晶体管Td的源极连接，驱动晶体管Td的漏极连接第二晶体管T2'的源极，第二晶体管T2'的漏极连接发光单元1的阳极，发光单元1的阴极连接第二电源端VSS。其中，发光单元1的电流受驱动晶体管Td的控制，当驱动晶体管Td的源漏极之间的电压差 V_{ds} 达到一定值时，驱动晶体管Td工作在饱和区，此时，流经源漏极的电流 $I_{ds} = K(V_{gs} - V_{th})^2$ 。其中，第一电源端VDD的电压是通过信号线传输至各像素电路的，由于信号线具有一定的电阻，因此电压传输过程中会产生压降，称为IR Drop。而每个像素区到第一电压端VDD的信号线长度不同，导致每个像素区的像素电路对应的IR Drop不同，从而导致不同像素区中的驱动晶体管Td的源极电压 V_s 不同，进而导致不同像素电路中的驱动电流不同，导致发光不均匀；另外，由于工艺制程和器件老化等原因，会导致驱动晶体管Td的阈值电压 V_{th} 存在差异，进而也会导致发光不均匀。

[0064] 另外，在显示基板中，各发光单元1的阴极连接为整层的阴极层，阴极层通过周边区域的信号线2与第二电压端VSS连接，如图2所示。阴极层通常采用方块电阻较大的Mg/Ag制成，从而导致阴极层上的电压会产生较大的压降(Drop)，进而增大驱动功耗。

[0065] 本发明实施例提供一种显示基板，图3为本发明的一些实施例中提供的显示基板的局部俯视图，图4为沿图3中CC'线的剖视图，图5a为本发明的一些实施例中提供的像素电路的结构框图，图5b为本发明的一些实施例中提供的像素电路的具体结构示意图，图5c为本发明的一些实施例中提供的像素电路的时序图，图6为本发明的另一些实施例中提供的显示基板的局部俯视图，图7为沿图6中DD'线的剖视图，图8为本发明的另一些实施例中提供的显示基板的局部俯视图。结合图3至图8所示，显示基板具有显示区，显示区包括多个像素区P，相邻的像素区P之间具有间隔区。显示基板包括：衬底10、绝缘间隔层30、辅助导电层40、位于每个像素区中的发光单元20和驱动结构层50，驱动结构层50包括位于每个像素区P中的像素电路。辅助导电层40位于像素电路背离衬底10的一侧。

[0066] 发光单元20包括沿远离衬底10的方向依次设置的第一电极21、有机发光层23和第

二电极22,各发光单元20的第二电极22连接为一体,形成第二电极层22a。可选地,第一电极21为阳极,第二电极22为阴极;发光单元20还可以包括:空穴传输层、空穴注入层、电子传输层和电子注入层,空穴传输层位于第一电极21与有机发光层23之间,空穴注入层位于第一电极21与空穴传输层之间;电子传输层位于第二电极与有机发光层23之间,电子注入层位于第二电极与电子传输层之间。各个发光单元20的空穴注入层可以连接为整层的膜层,各发光单元20的空穴传输层也可以连接为整层的膜层,各发光单元20的电子注入层可以连接为整层的膜层,各发光单元20的电子传输层也可以连接为整层的膜层。而每个发光单元20的有机发光层23是彼此独立的。

[0067] 绝缘间隔层30位于第二电极层22a与衬底10之间,绝缘间隔层30对应于间隔区的位置设置有过孔V1,辅助导电层40位于绝缘间隔层30与衬底10之间,第二电极层22a通过过孔V1与辅助导电层40连接,辅助导电层40与第一电极21绝缘间隔。其中,绝缘间隔层30的设置可以防止辅助导电层40的形成工艺对第二电极层22a或发光层23造成不良影响,而由于连接辅助导电层40与第二电极层22a的过孔V1位于间隔区,因此即使间隔区的第二电极层22a受到辅助导电层40制作工艺的影响,也不会影响显示基板的显示效果。

[0068] 如图5a所示,像素电路包括:驱动晶体管T3、电容C、复位子电路81、数据写入子电路82、补偿子电路83、发光控制子电路84。

[0069] 其中,复位子电路81连接复位端RESET、初始化电压端VINIT、参考电压端VREF以及电容C的两端,复位子电路81被配置为,在复位阶段响应于复位端RESET的控制,将参考电压端VREF的电压信号传输至电容C的第一端(也即,N1节点),并将初始化电压端VINIT的电压信号传输至电容C的第二端(也即,N2节点)。

[0070] 驱动晶体管T3的栅极连接电容C的第二端,驱动晶体管T3的第一极连接第一电源端VDD。辅助导电层40的材料与驱动晶体管T3的第一极和第二极的材料均相同。具体地,辅助导电层40和驱动晶体管T3的第一极和第二极均采用金属材料制成,例如,金属材料可以为铜、镓、锌、锡、钼或钨等其中任一金属或者多种金属或者是其合金的单层或叠层。

[0071] 数据写入子电路82连接扫描端Gate、数据信号端Data和电容C的第一端,数据写入子电路82被配置为,在数据写入阶段响应于扫描端Gate的控制,将数据信号端Data的电压信号传输至电容C的第一端。

[0072] 补偿子电路83连接扫描端Gate、驱动晶体管T3的栅极和第二极,补偿子电路83被配置为在数据写入阶段响应于扫描端Gate的控制,将驱动晶体管T3的栅极与第二极导通,以将第一电源端VDD的电压和驱动晶体管T3的阈值电压写入电容C中。

[0073] 发光控制子电路84连接发光控制端EM、参考电压端VREF、驱动晶体管T3的第二极和发光单元20的第一电极,发光控制子电路84被配置为在发光阶段响应于发光控制信号端EM的控制,将参考电压端VREF的电压信号传输至电容C的第一端,并将驱动晶体管T3与发光单元20的第一电极导通。

[0074] 本发明实施例中的显示基板尤其适用于小尺寸的显示产品,例如、手机、平板电脑等。像素电路的工作过程包括复位阶段、数据写入阶段和发光阶段。

[0075] 具体地,在复位阶段,在复位端的控制下,复位子电路81将参考电压端VREF的参考电压信号传输至电容C的第一端(即,N1节点),并将初始电压端VINIT的初始电压信号传输至电容C的第二端(即,N2节点)。因此,在复位阶段,N1节点电压为Vref,N2节点电压为

Vinit, Vref为参考电压端VREF的电压, Vinit为初始电压端VINIT的电压。

[0076] 在数据写入阶段, 在扫描端Gate的控制下, 数据写入子电路82将数据信号端Data的电压信号Vdata传输至N1节点; 补偿子电路83将驱动晶体管T3的栅极和第二极导通, 此时, 驱动晶体管T3相当于二极管结构, N2节点的电压达到Vdd+Vth, 从而将第一电源端VDD的电压Vdd和驱动晶体管T3的阈值电压Vth写入电容C中。

[0077] 在发光阶段, 在发光控制端EM的控制下, 发光控制子电路84将参考电压端Vref的电压传输至N1节点。从数据写入阶段到发光阶段, N1节点的电压变化量为Vref-Vdata, 由于电容C的稳压所用, N2节点的电压将由上一阶段的Vdd+Vth变成Vdd+Vth+Vref-Vdata。因此, 在此阶段中, 驱动晶体管T3的栅极电压Vg保持为Vdd+Vth+Vref-Vdata, 源极电压Vs为第一电源端VDD的电压Vdd, 驱动晶体管T3处于饱和状态。根据饱和状态电流特性可知, 流过驱动晶体管T3的驱动电流Ioled满足:

$$[0078] \quad I_{oled} = K (V_{gs} - V_{th})^2 = K (V_{dd} + V_{th} + V_{ref} - V_{data} - V_{dd} - V_{th})^2 = K (V_{ref} - V_{data})^2$$

[0079] 其中, K为与驱动晶体管T3结构特性相关的参数, 可以看作常量。从公式可以看出, 提供给发光单元20的驱动电流与阈值电压和第一电源端的电压均无关, 从而防止驱动晶体管T3的阈值漂移以及第一电源端VDD的IR Drop对驱动电流产生影响。因此, 无需再制作其他结构来改善第一电源端VDD的IR Drop。

[0080] 同时, 由于辅助导电层40在间隔区与第二电极层22a连接, 相当于辅助导电层40与第二电极层22a并联, 因此可以减小第二电极层22a与辅助导电层40形成的整体导电结构的方块电阻, 从而减小第二电源端VSS在第二电极层22a上的压降, 进而减小显示基板的驱动功耗。

[0081] 图5b为本发明的一些实施例中提供的像素电路的具体结构示意图, 如图5b所示, 复位子电路81包括: 第一复位晶体管T7和第二复位晶体管T1。其中, 第一复位晶体管T7的栅极连接复位端Reset, 第一复位晶体管T7的第一极连接参考电压端VREF, 第一复位晶体管T7的第二极连接N1节点。第二复位晶体管T1的栅极连接复位端Reset, 第二复位晶体管T1的第一极连接初始化电压端VINIT连接, 第二极连接电容C的第二端。在一些实施例中, 复位子电路81还可以被配置为, 在数据写入阶段响应于扫描端Gate的控制, 将初始化电压端VINIT的电压信号传输至发光单元20的第一电极。此时, 复位子电路81还包括第三复位晶体管T8, 其栅极连接扫描端Gate, 第一极连接发光单元20的第一电极, 第二极连接初始化电压端VINIT。

[0082] 数据写入子电路82包括: 写入晶体管T4, 写入晶体管T4的栅极连接扫描端, 写入晶体管T4的第一极连接数据信号端Data, 写入晶体管T4的第二极连接N2节点。

[0083] 补偿子电路83包括: 第一补偿晶体管T2, 第一补偿晶体管T2的栅极连接扫描端Gate, 第一补偿晶体管T2的第一极连接驱动晶体管T3的栅极, 第一补偿晶体管T2的第二极连接驱动晶体管T3的第二极。在一些实施例中, 发光控制子电路84还可以包括: 第二补偿晶体管T9, 其栅极连接发光控制端EM, 第一极和第二极均连接第一补偿晶体管T2的第一极。

[0084] 发光控制子电路84包括: 第一发光控制晶体管T5和第二发光控制晶体管T6, 其中, 第一发光控制晶体管T5的栅极连接发光控制端EM, 第一发光控制晶体管T5的第一极连接参考电压端VREF, 第一发光控制晶体管T5的第二极连接N2节点。

[0085] 第二发光控制晶体管T6的栅极连接发光控制端EM,第二发光控制晶体管T6的第一极连接驱动晶体管T3的第二极,第二发光控制晶体管T6的第二极连接发光单元20的第一电极。

[0086] 图5c为本发明的一些实施例中提供的像素电路的时序图,下面结构图5b和图5c对像素电路的工作过程进行介绍。其中,以各晶体管为P型晶体管为例进行说明。

[0087] 在复位阶段t1,复位端RESET提供低电平信号,扫描端Gate和发光控制端EM均提供高电平信号,此时,第一复位晶体管T7和第二复位晶体管T1开启,从而使N1节点的电压达到参考电压端VREF的电压Vref,N2节点的电压达到初始化电压端VINIT的电压Vinit。

[0088] 在数据写入阶段t2,扫描端Gate提供低电平信号,复位端RESET和发光控制端EM均提供高电平信号,此时,数据写入晶体管T4开启,数据信号端Data的电压信号传输至N1节点,从而使N1节点电压达到Vdata;同时,第一补偿晶体管T2将驱动晶体管T3的栅极和第二极导通,N2节点的电压达到Vdd+Vth。另外,在该阶段,第二复位晶体管T8也处于开启状态,从而对发光单元20的第一电极的电压进行复位。

[0089] 在发光阶段,发光控制端EM提供低电平信号,复位端RESET和扫描端Gate均提供高电平信号,此时,第一发光控制晶体管T5开启,从而将参考电压端VREF的电压信号传输至N1节点,N1节点的电压由上一阶段的Vdata变化至Vref。在电容C的稳压作用下,N2节点的电压将由上一阶段的Vdd+Vth变成Vdd+Vth+Vref-Vdata。同时,第二发光控制晶体管T6开启,驱动晶体管T3的驱动电流传输至发光单元20。其中,驱动电流Ioled满足:

[0090] $I_{oled} = K(V_{gs} - V_{th})^2 = K(V_{dd} + V_{th} + V_{ref} - V_{data} - V_{dd} - V_{th})^2 = K(V_{ref} - V_{data})^2$ 。

[0091] 另外,在发光阶段,第一补偿晶体管T2关断,第二补偿晶体管T9开启,第二补偿晶体管T9相当于MOS电容,从而可以在第一补偿晶体管T2关断时,吸收第一补偿晶体管T2的沟道电荷,从而提高补偿能力。

[0092] 本发明实施例对辅助导电层40的具体结构不做限定,在一些实施例中,如图3、图6和图8所示,辅助导电层40包括多个辅助导电块42和多条辅助导电线41,辅助导电块42与绝缘间隔层30上的过孔V1一一对应,每个辅助导电块42与至少一条辅助导电线41电连接,辅助导电块42的宽度大于辅助导电线41的宽度。例如,辅助导电块42在衬底10上的正投影为矩形或近似矩形,辅助导电块42的宽度为辅助导电线41的宽度的2~5倍,将辅助导电线41的宽度设置的较小,可以防止辅助导电线41对其他膜层上的过孔造成影响。例如,辅助导电线41的宽度在3~14 μm 之间。

[0093] 在本发明实施例中,驱动结构层50还包括设置在像素电路所在层上的第一平坦化层(未示出)。辅助导电层40所在层位于第一平坦化层上。绝缘间隔层30包括:设置在第一平坦化层上的第二平坦化层31和设置在第二平坦化层31上的像素界定层32。第一电极21通过贯穿第二平坦化层31和第一平坦化层的过孔与像素电路连接。像素界定层32具有与像素区P一一对应的像素开口,有机发光层23位于像素开口中,第二电极层22a覆盖像素界定层32。另外,在一些实施例中,间隔区还可以设置隔垫物(图中未示出),隔垫物位于像素界定层32上,用于支撑显示基板和盖板,并提供摩擦力防止显示基板与盖板之间发生错位。

[0094] 在显示基板的制作过程中,在形成第二平坦化层31之后、形成像素界定层32之前,可以先在第二平坦化层31上形成过孔V2,该过孔V2在衬底10上的正投影的位于辅助导电块42在衬底10上的正投影范围内,其中,过孔V2在衬底10上的正投影的边界与辅助导电块42

在衬底10上的正投影的边界之间具有间距 d_2 , d_2 在 $2\mu\text{m}\sim 5\mu\text{m}$ 之间。之后,形成像素界定层32并在像素界定层32上形成过孔,该过孔可以位于过孔V2范围内,并作为连接辅助导电层40与第二电极层22a的过孔V1。在一些实施例中,过孔V1在衬底10上的正投影位于辅助导电块42在衬底10上的正投影范围内。进一步地,过孔V1在衬底10上的正投影的边界与辅助导电块42在衬底10上的正投影的边界之间具有间距 d_1 ,该间距 d_1 比 d_2 大 $2\mu\text{m}$ 左右,具体地, d_1 在 $4\mu\text{m}\sim 7\mu\text{m}$ 之间。

[0095] 在本发明实施例中,辅助导电线42在衬底10上的正投影与发光单元20在衬底10上的正投影可以存在交叠(如图3所示),也可以无交叠(如图6和图8所示)。

[0096] 图3、图6和图8以像素区采用GGRB排布方式为例,示出了辅助导电线的三种排布方式,如图3、图6和图8所示,像素区P包括红色像素区(如图3、图6和图8中标识R的像素区)、绿色像素区(如图3、图6和图8中标识G的像素区)和蓝色像素区(如图3、图6和图8中标识B的像素区)。显示基板的多个像素区P分成多个像素组,多个像素组排成多行,每个像素组包括两个绿色像素区、一个红色像素区和一个蓝色像素区,红色像素区和蓝色像素区的面积均大于绿色像素区的面积。每个像素组中,两个绿色像素区沿列方向排列,红色像素区和蓝色像素区分别位于绿色像素区沿行方向的两侧。相邻两行像素组交错设置,即,每个像素区P均对应于相邻行像素组中的像素区P之间的间隔区。

[0097] 在图3所示的实施例中,多条辅助导电线41包括多条第一导电线411和多条第二导电线412,第一导电线411和第二导电线412垂直交叉。可选地,辅助导电块42位于第一导电线411和第二导电线412的交叉位置,辅助导电线41的宽度在 $5\sim 14\mu\text{m}$ 之间。辅助导电线41在衬底10上的正投影与发光单元20在衬底10上的正投影存在交叠。如图3所示,每个像素区P均与一条第二导电线412存在交叠,每行像素组中,均设置一条第一导电线411,从而增加辅助导电线41的数量。相较于第二电极层22a并联之前的电阻,第二电极层22a与辅助导电层40并联后的电阻可至少降低40%。

[0098] 可选地,当辅助导电线41在衬底10上的正投影与发光单元20在衬底10上的正投影存在交叠时,辅助导电线41的投影穿过相应的发光单元20的投影中心,以防止发光单元20在发光时产生色分离。

[0099] 在图6所示的实施例中,多条辅助导电线41形成网状结构,网状结构具有多行网格,相邻两行网格交错设置。其中,每个网格为近似六边形的形状,其可以环绕一个或两个像素区P。可选地,相邻两个像素区P之间的间隔区的宽度在 $15\sim 30\mu\text{m}$ 之间,例如,在 $16\sim 26\mu\text{m}$ 之间;辅助导电线的宽度在 $3\sim 10\mu\text{m}$ 之间。

[0100] 在图8所示的实施例中,多条辅助导电线41形成多个链状结构,多个链状结构沿第一方向(即,行方向,如图8中的左右方向)间隔排列,每个链状结构包括沿第二方向(即,列方向,如图8中的上下方向)依次连接多个多边形框,例如,该多边形框为六边形。可选地,相邻两个像素区P之间的间隔区的宽度在 $15\sim 30\mu\text{m}$ 之间,例如,在 $16\sim 26\mu\text{m}$ 之间;辅助导电线的宽度在 $3\sim 10\mu\text{m}$ 之间。图8所示的实施例中,相较于第二电极层22a并联之前的电阻,第二电极层22a与辅助导电层40并联后的电阻可至少降低30%左右。

[0101] 需要说明的是,上述图3、图6和图8仅以像素区采用GGRB排布方式为例,示出了辅助导电线41的三种排布方式,在实际应用中,像素区P也可以采用其他排布方式,例如,像素区P排成多行多列,每行中包括多个像素组,每个像素组包括依次排列的红色像素区、绿色

像素区和蓝色像素区,同一列中的像素区的颜色相同。这种情况下,辅助导电线可以采用图3中交叉排布的方式,辅助导电线41可以与像素区P交叠,也可以不交叠。

[0102] 图9为本发明实施例中辅助导电层与信号传输线的整体示意图,图9以辅助导电线41采用图3中的排布方式为例进行示意,其中,显示区AA的周边区域设置有信号传输线1,信号传输线1与第二电源端VSS相连。辅助导电线41可以与信号传输线1连接。

[0103] 本发明实施例还提供一种上述显示基板的制作方法,显示基板具有显示区域,显示区包括多个像素区,相邻的像素区之间具有间隔区。显示基板的制作方法包括:

[0104] 在衬底上形成位于每个像素区中的像素电路,像素电路包括上文所述的:驱动晶体管、电容、复位子电路、数据写入子电路、补偿子电路、发光控制子电路。像素电路具体可以采用图5b所示的结构。

[0105] 在形成有像素电路的衬底上形成辅助导电层,辅助导电层的材料与所述驱动晶体管的第一极和第二极的材料相同。

[0106] 形成绝缘间隔层,绝缘间隔层对应于间隔区的位置设置有过孔。其中,绝缘间隔层包括像素界定层和第二平坦化层。

[0107] 形成位于每个像素区中的发光单元,发光单元包括沿远离衬底的方向设置的第一电极、有机发光层和第二电极,各发光单元的第二电极连接为一体,形成第二电极层;并且,第二电极层通过过孔与辅助导电层连接。

[0108] 需要说明的是,发光单元并不一定要在绝缘间隔层全部制作之后形成。例如,绝缘间隔层可以包括第二平坦化层和像素界定层,发光单元的第一电极可以在第二平坦化层之后形成,有机发光层和第二电极可以在像素界定层之后形成。

[0109] 下面结合图10至图18对本发明实施例提供的显示基板的制作方法进行介绍。该制作方法包括:

[0110] S1、在衬底10上形成驱动结构层50,如图10所示。其中,驱动结构层50包括缓冲层、像素电路、第一平坦化层等结构。

[0111] S2、形成辅助导电层40,如图10所示。辅助导电层40可以包括辅助导电块和辅助导电线,其辅助导电块和辅助导电线可以根据图3、图6和图8中任意一种方式进行排布。

[0112] S3、形成第二平坦化层31,并在第二平坦化层31上对应于辅助导电块42的位置形成过孔V2,如图11所示。

[0113] S4、在每个像素区形成发光单元20的第一电极21,如图12所示。

[0114] S5、形成像素界定层32,并在像素界定层32上对应于辅助导电层40的位置形成过孔V1;之后,还可以形成隔垫物60,如图12所示。

[0115] S6、在辅助导电层40被过孔V1露出的部分上形成待剥离层70,如图13所示,待剥离层70与过孔V1的侧壁之间存在间隔。

[0116] S7、依次形成空穴注入层24和空穴传输层25,空穴注入层24和空穴传输层25均覆盖待剥离层70的上表面,如图14所示。

[0117] S8、在每个像素区形成发光单元20的有机发光层23,如图15所示。

[0118] S9、依次形成电子传输层26和电子注入层27,电子传输层26和电子注入层27均覆盖待剥离层70,如图16所示。

[0119] S10、除去待剥离层70,以使待剥离层70上的空穴注入层24、空穴传输层25、电子传

输层和26电子注入层27被同时除去,如图17所示。

[0120] 可选地,步骤S10具体可以包括:将衬底10放置在用于溶解待剥离层的剥离溶液中,以除去待剥离层70。需要说明的是,剥离溶液应当选取对发光单元20的各膜层无影响的溶液,例如,氟醚类溶剂。

[0121] S11、形成第二电极层22a,如图18所示,该第二电极层22a通过绝缘间隔层30的过孔与辅助导电层40连接。

[0122] 本发明实施例还提供一种显示装置,包括上述显示基板。

[0123] 具体的,该显示装置可为电子纸、手机、平板电脑等任何具有显示功能的小尺寸产品或部件。

[0124] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

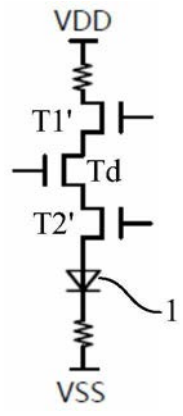


图1

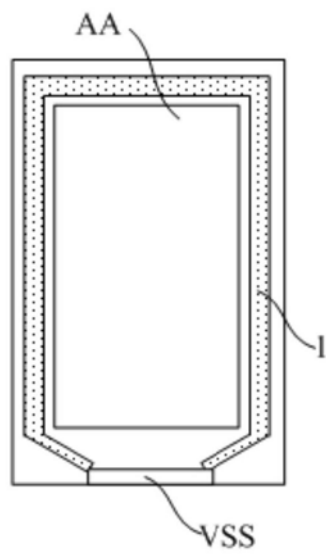


图2

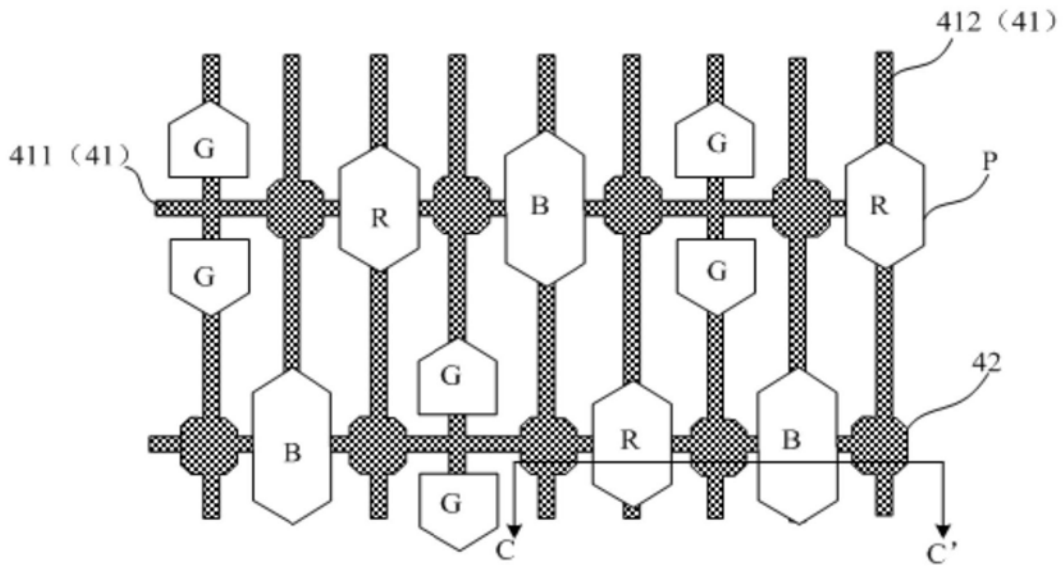


图3

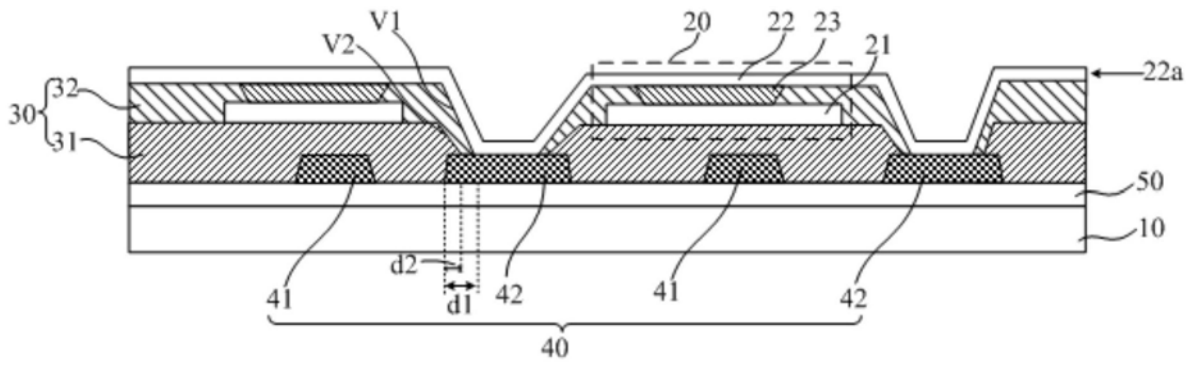


图4

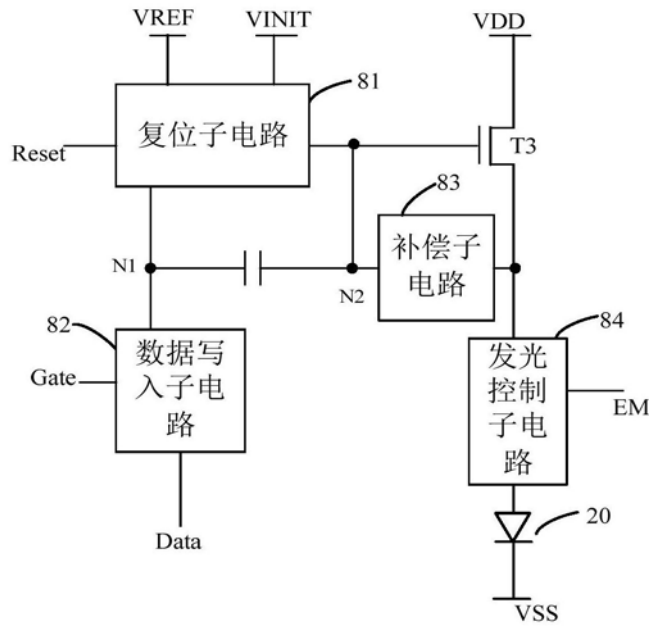


图5a

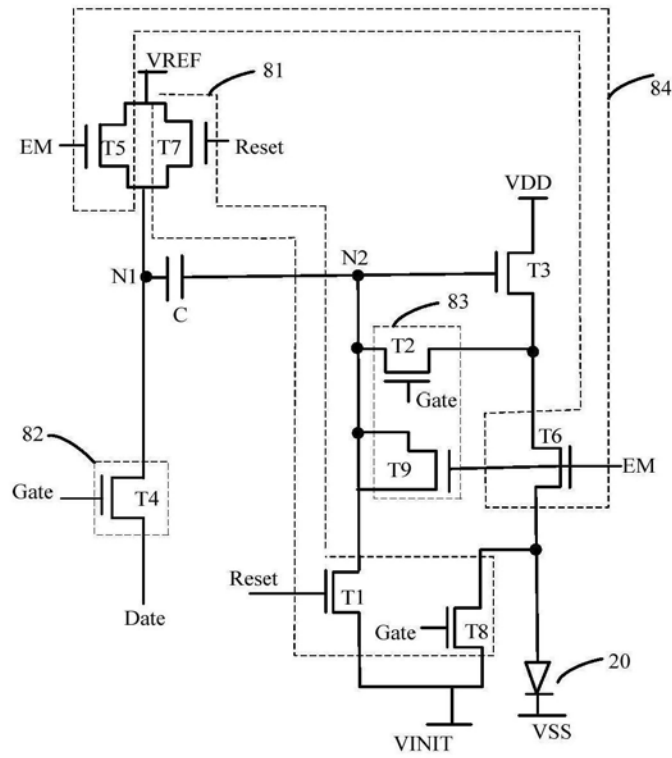


图5b

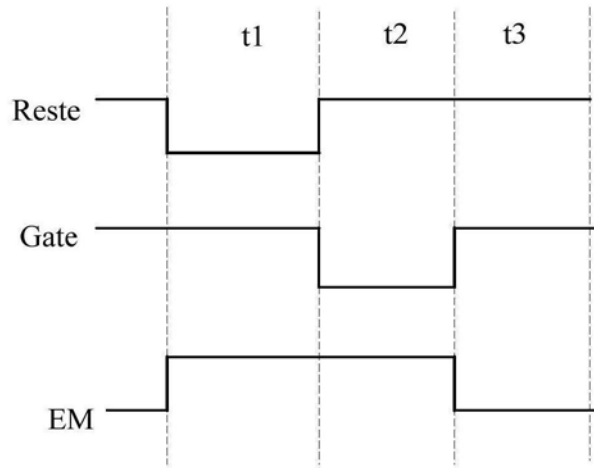


图5c

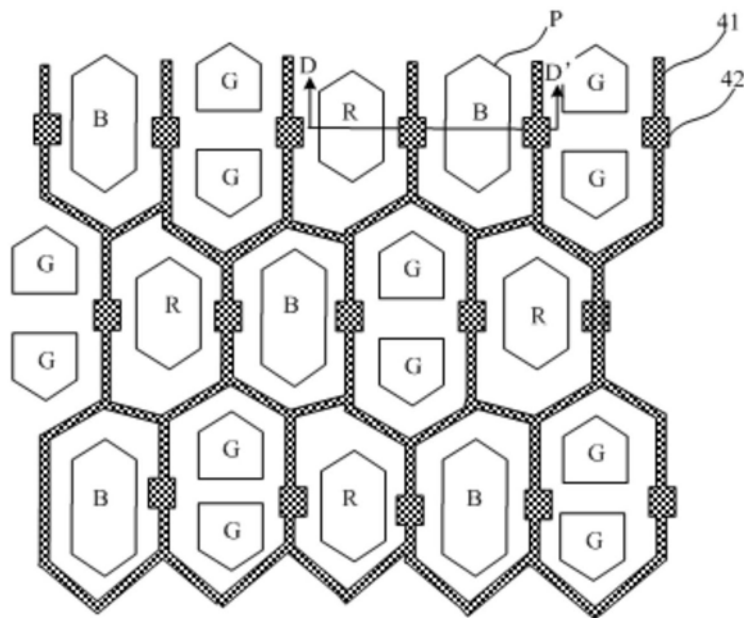


图6

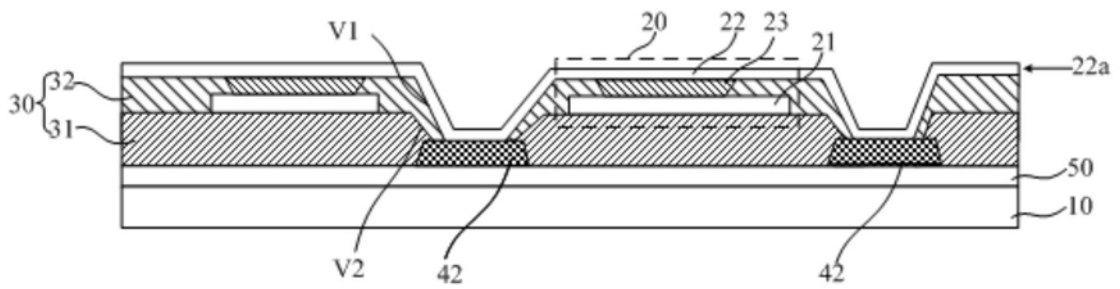


图7

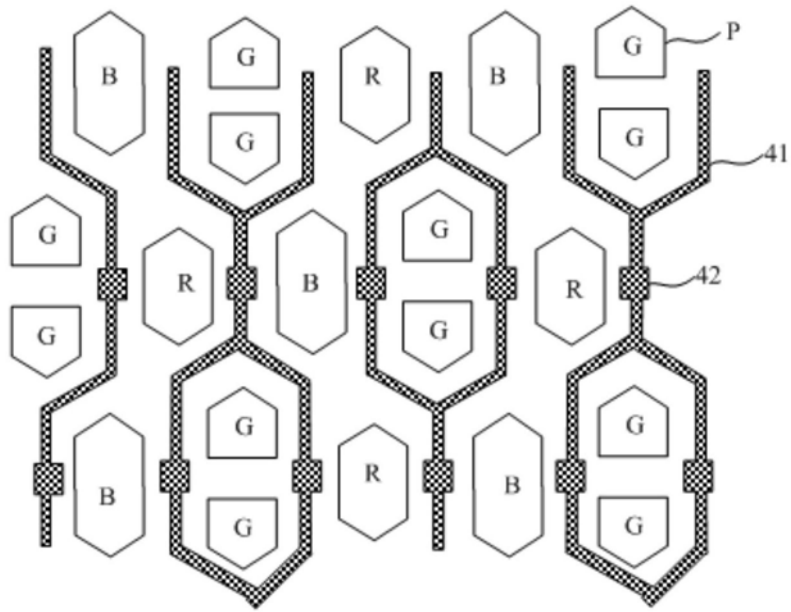


图8

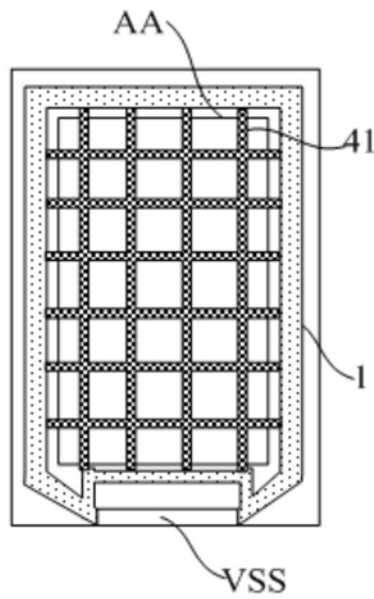


图9

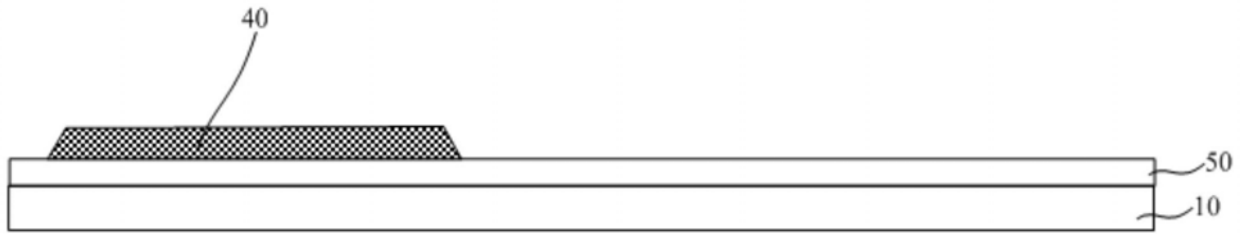


图10

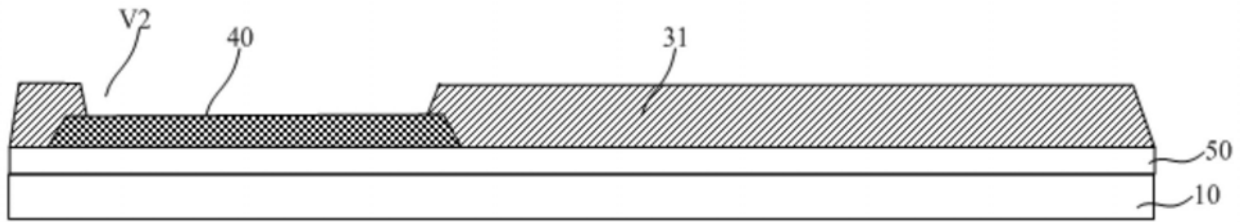


图11

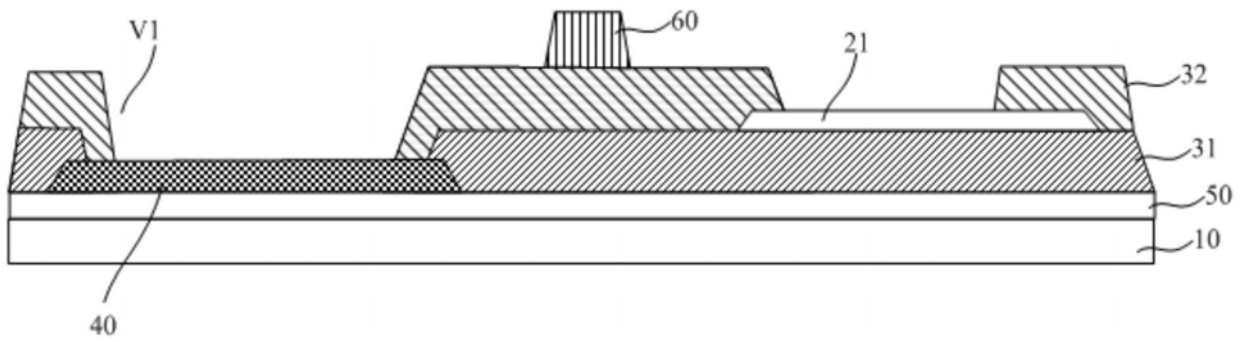


图12

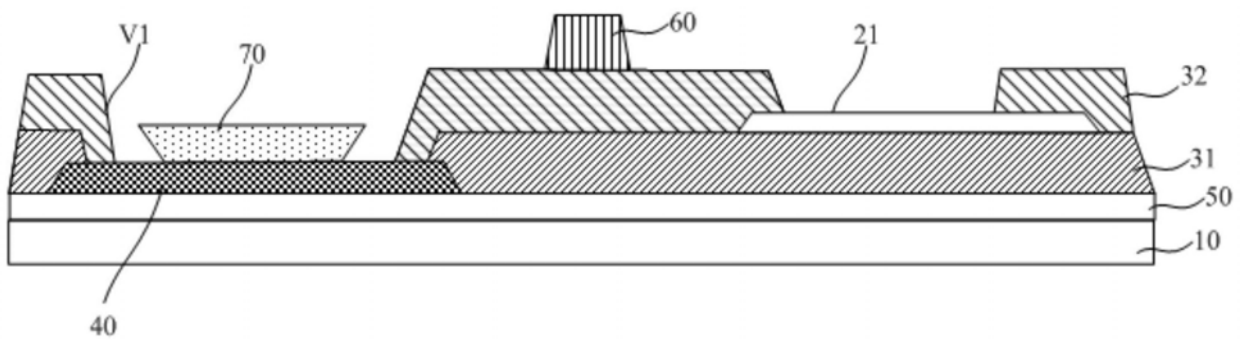


图13

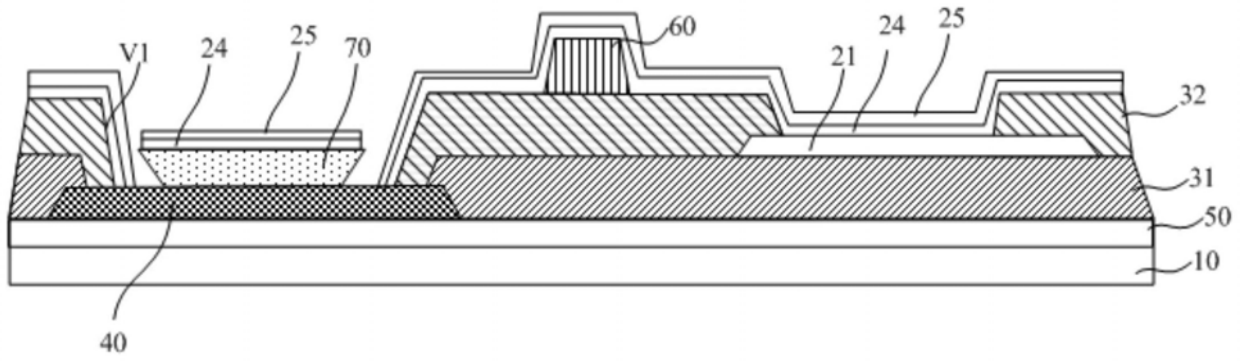


图14

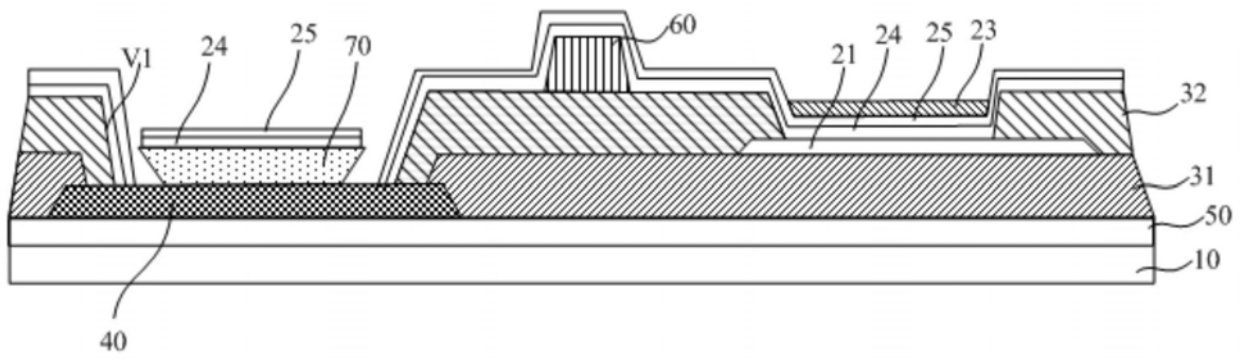


图15

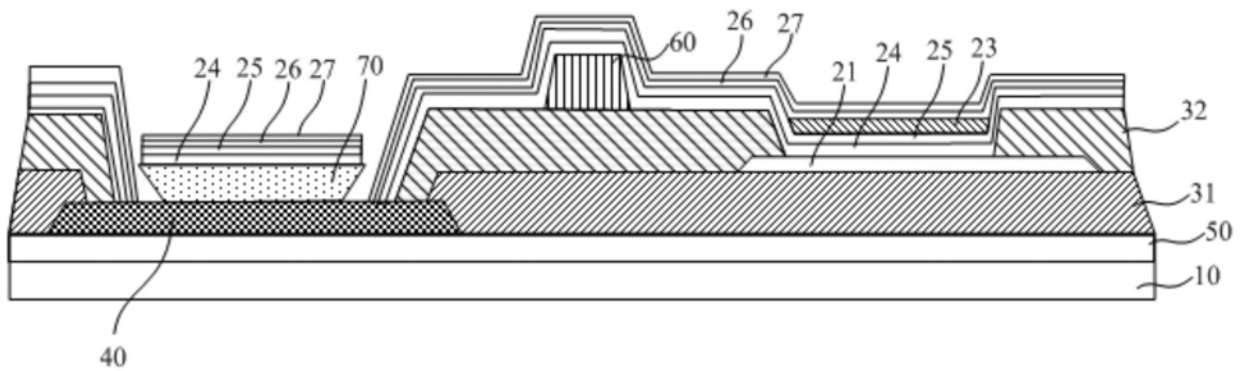


图16

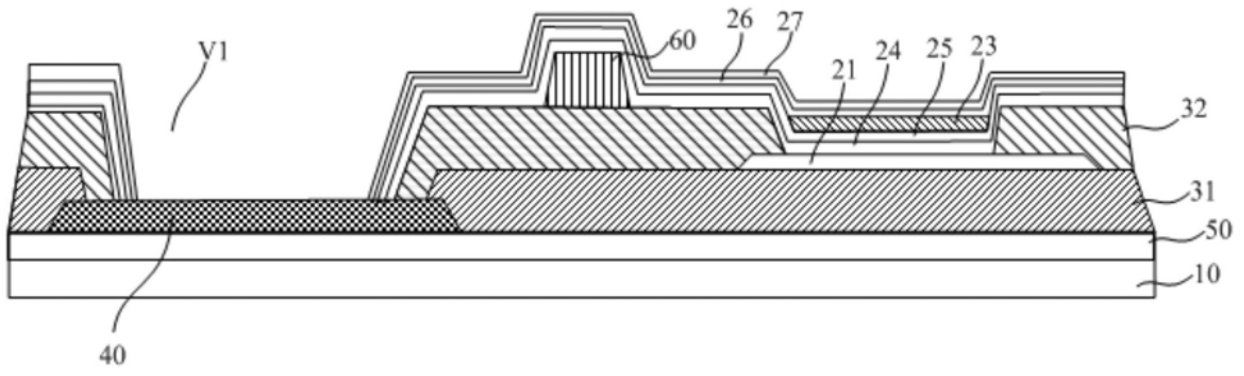


图17

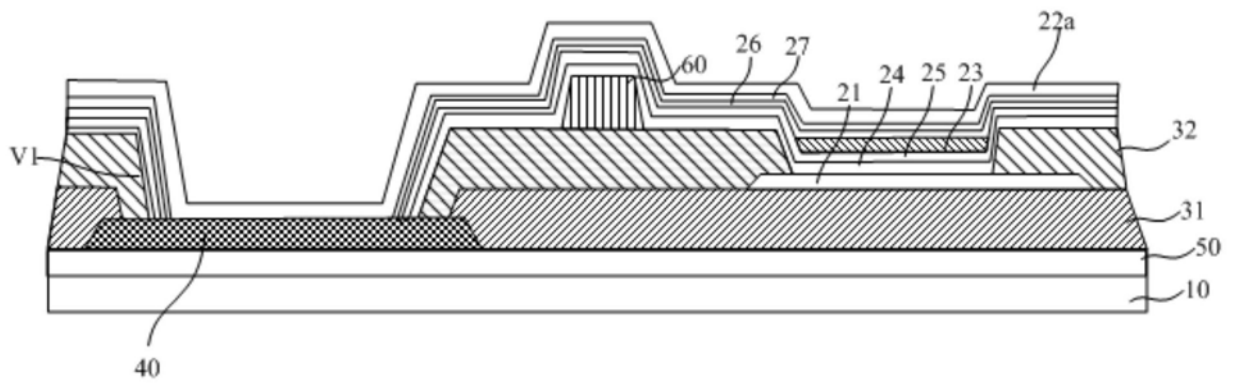


图18