



(12) 发明专利

(10) 授权公告号 CN 109935620 B

(45) 授权公告日 2021. 10. 26

(21) 申请号 201910193559.3

(22) 申请日 2019.03.14

(65) 同一申请的已公布的文献号

申请公布号 CN 109935620 A

(43) 申请公布日 2019.06.25

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)

西源大道2006号

(72) 发明人 尚飞 向勇

(74) 专利代理机构 电子科技大学专利中心

51203

代理人 吴姗姗

(51) Int.Cl.

H01L 27/32 (2006.01)

(56) 对比文件

CN 107424551 A, 2017.12.01

CN 107742481 A, 2018.02.27

CN 105549280 A, 2016.05.04

CN 107871767 A, 2018.04.03

CN 108933159 A, 2018.12.04

审查员 杨敏

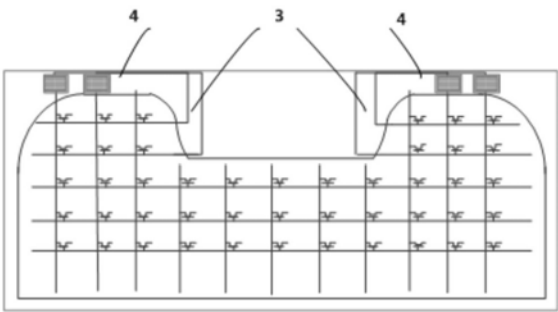
权利要求书1页 说明书3页 附图3页

(54) 发明名称

一种应用于“刘海屏”notch区的电路补偿装置

(57) 摘要

一种应用于刘海屏notch区的电路补偿装置,属于有机发光显示技术领域。所述电路补偿装置包括自上而下依次设置的源漏极层04、ILD层间介质层03、GI层01和多晶硅层00,栅极层02位于ILD层间介质层之中,其特征在于,所述栅极层为长宽比小于2:1的矩形、梯形、平行四边形或圆形。本发明通过将现有的条形电容补偿改进为长宽比小于2:1的方块状电容补偿,使得补偿电容大小受工艺线宽误差的影响大大减小,且各行的补偿电容大小可单独调整,确保了补偿效果的稳定性。



1. 一种应用于刘海屏异形区的电路补偿装置,包括自上而下依次设置的源漏极层(04)、层间介质层(03)、栅极绝缘层(01)和多晶硅层(00),栅极层(02)位于层间介质层之中,其特征在于,所述栅极层为矩形、梯形或平行四边形;所述栅极层为矩形时,其长宽比小于2:1;所述栅极层为梯形时,梯形的底边与高的比例小于2:1;所述栅极层为平行四边形时,平行四边形的底边与高的比例小于2:1。

2. 根据权利要求1所述的应用于刘海屏异形区的电路补偿装置,其特征在于,所述栅极层的大小根据异形区每行的负载与正常显示区的差异,以及外围布线空间大小决定。

3. 根据权利要求1所述的应用于刘海屏异形区的电路补偿装置,其特征在于,所述多晶硅层厚度为500~800埃;栅极绝缘层厚度为2500~3500埃;栅极层厚度为2500~3500埃;层间介质层厚度为5000~8000埃;源漏极层厚度为6000~8000埃。

一种应用于“刘海屏”notch区的电路补偿装置

技术领域

[0001] 本发明属于有机发光显示技术领域,具体涉及一种应用于OLED“刘海屏”notch区的电路补偿装置。

背景技术

[0002] 显示屏是用于显示图像及色彩的器件,广泛应用于手机及电脑上,且随着现代科技的不断发展,显示屏已经不再满足于原有的平面屏,曲面屏以及全面屏等越来越受到研究工作者的关注。其中,中小尺寸全面屏主要为异形屏,例如“刘海”屏。而刘海屏的显示区包括正常显示区(如图1中第1部分所示)和notch显示区(异形区域,如图1中第2部分所示)。从图1可以看出,刘海屏的notch显示区与正常显示区相比,显示区域小,像素结构少,使得驱动负载大幅减小,这就导致在正常驱动显示时,notch显示区会由于与正常显示区的负载不同而引起像素电压的差异,进而导致显示亮度差异,产生notch mura(刘海显示区域亮度不均)。

[0003] 目前,为了解决刘海屏显示区域亮度不均的问题,常用的方法为:将刘海屏notch显示区中各行的栅极线(Gate线)连接至面板(Panel)上方的AA区(active area,显示区)外形成补偿区,通过Poly/GI(Gate interlayer)/Gate/ILD(Inter Layer Dielectric层间介质)/SD形成寄生电容;其中Gate层电位为栅极电位,Poly和SD通过过孔连接到一起,带另外一个电位(VDD或者VSS电位)]/SD(SourceDrain,源漏极层,主要用于AA区中像素的TFT的源漏极以及周边SD走线)形成寄生电容,以增加notch显示区单行像素的负载。而补偿区的栅极线(Gate线)为行直线走线,ILD全屏覆盖,SD通过大面积金属以完全覆盖补偿区的栅极线(Gate线)走线。该方法中,寄生电容的大小取决于补偿区的Gate走线的长度和线宽,而走线过程中工艺带来的线宽误差会影响寄生电容,进而影响其补偿效果。如图2所示,为目前常见的notch显示区补偿装置的结构示意图,3为走线区,4为补偿区,即将notch显示区的Gate走线延伸至AA区外形成补偿区,在面板(Panel)上方形成一行行补偿电容。其中,补偿区的截面图如图3所示,包括自上而下依次设置的源漏极层(SD)04、ILD层间介质层03、Gate层(栅极层)02、GI层(Gate interlayer层)01和poly层(多晶硅层)00,补偿电容由各行的栅极线(Gate线)和SD交叠形成,当栅极线(Gate线)的线宽发生变化时,交叠面积会发生变化,进而影响寄生电容。

发明内容

[0004] 本发明的目的在于,针对背景技术存在的缺陷,提出一种基于方块状栅极的电路补偿装置。

[0005] 为实现上述目的,本发明的技术方案如下:

[0006] 一种应用于刘海屏notch区的电路补偿装置,如图5所示,包括自上而下依次设置的源漏极层(SD)04、ILD层间介质层03、GI层(Gate interlayer层)01和poly层(多晶硅层)00, Gate层(栅极层)02位于ILD层间介质层03之中,其特征在于,所述栅极层为长宽比小于

2:1的矩形、梯形、平行四边形或圆形。

[0007] 进一步地,所述栅极层为矩形时,其长宽比小于2:1;所述栅极层为梯形时,梯形的底边与高的比例小于2:1;所述栅极层为平行四边形时,平行四边形的底边与高的比例小于2:1。

[0008] 进一步地,所述栅极层的大小根据notch显示区每行的负载与正常显示区的差异,以及外围布线空间大小决定。

[0009] 进一步地,所述poly层为多晶硅,厚度为500~800埃;GI层为氧化硅和/或氮化硅,厚度为2500~3500埃;Gate层为钼金属,厚度为2500~3500埃;ILD层为氧化硅和/或氮化硅,厚度为5000~8000埃;SD层为铝,厚度为6000~8000埃。

[0010] 与现有技术相比,本发明的有益效果为:

[0011] 本发明提供的一种应用于刘海屏notch区的电路补偿装置,通过AA区上方的电容进行notch区的负载补偿,以使notch区与正常显示区的负载和充电率保持一致,避免notch mura。本发明通过将现有的条形电容补偿改进为长宽比小于2:1的方块状电容补偿,使得补偿电容大小受工艺线宽误差的影响大大减小,且各行的补偿电容大小可单独调整,确保了补偿效果的稳定性。

附图说明

[0012] 图1为“刘海”全面屏的结构示意图;其中,1为正常显示区,2为异形显示区(notch显示区);

[0013] 图2为现有的notch显示区补偿装置的结构示意图;其中,3为连接notch显示区与补偿区的走线区,4为补偿区;

[0014] 图3为现有的notch显示区补偿装置的截面图;其中,00为poly层,01为GI层,02为Gate层,03为ILD层,04为SD层;

[0015] 图4为本发明提供的一种notch显示区补偿装置的结构示意图;其中,3为连接notch显示区与补偿区的走线区,4为补偿区;

[0016] 图5为本发明提供的一种notch显示区补偿装置的剖面图;其中,00为poly层,01为GI层,02为Gate层,03为ILD层,04为SD层;

[0017] 图6为本发明提供的一种notch显示区补偿装置的原理图;notch区域通过与notch补偿区负载连接,实现与正常显示区相同的驱动负载。

具体实施方式

[0018] 下面结合附图和实施例,详述本发明的技术方案。

[0019] 现有技术中,每行栅极走线驱动该行的所有像素,每个像素里栅极走线连接到像素区形成Cgs、Cgd等寄生电容,电容会增加栅极走线的负载,引起栅极电压的变化。而Notch显示区与正常显示区相比,单行像素个数减小,栅极线相连的电容减少,负载变小使得notch显示区栅极驱动电压与正常显示区有差异,进而产生显示亮度不均的问题。本发明通过将notch区各行栅极走线引伸至显示区外的补偿区,在补偿区与notch显示区相连的各行栅极走线上设计补偿电容,使notch显示区与正常显示区栅极走线连接的电容大小相等,进而负载与栅极电压也无差异,可以解决notch区与正常显示区亮度不均的问题。同时,将现

有的条形电容补偿改进为长宽比小于2:1的方块状电容补偿,使得补偿电容大小受工艺线宽误差的影响大大减小。

[0020] 实施例

[0021] 将刘海屏notch显示区中各行的栅极线(Gate线)连接至面板(Panel)上方的AA区(active area,显示区)外形成补偿区,通过Gate/ILD(Inter Layer Dielectric层间介质)/SD(Source Drain,源漏极层,主要用于AA区中像素的TFT的源漏极以及周边SD走线)形成寄生电容,以增加notch显示区单行像素的负载。补偿装置自上而下依次为源漏极层(SD)04、ILD层间介质层03、GI层(Gate interlayer层)01和poly层(多晶硅层)00, Gate层(栅极层)02位于ILD层间介质层03之中。其中, poly层为多晶硅,厚度为500埃;GI层为氧化硅和/或氮化硅,厚度为2500埃;Gate层为钼金属,厚度为2500埃;ILD层为氧化硅和/或氮化硅,厚度为5000埃;SD层为铝,厚度为6000埃。所述多晶硅层00和源漏极层04包括多个单元结构,多晶硅层00和源漏极层04通过过孔连接,以使两者的电位一致。所述栅极层02包括多个栅极单元,每个栅极单元为正方形。

[0022] 如图6所示,为本发明提供的一种notch显示区补偿装置的原理图;如图6,常规区域有5个RC(电阻电容,走线的电阻与各层之间的寄生电容)单元,Notch1区域和Notch2区域由于Notch限制只有分别3个和2个RC单元,Notch1区域和Notch2区域由于RC delay比较小,充电率会比常规区域高,此时显示亮度会与常规区域不一致,使得该区域显示Notch mura。本发明通过在Notch补偿区域添加补偿单元,使得notch1和notch2区域的RC负载与常规区域一致,即可实现notch1和notch2区域与常规区域充电率一致,避免Notch mura。

[0023] 实施例中,栅极层02为正方形,边长为 $110\mu\text{m}$,面积为 $110\mu\text{m} \times 110\mu\text{m} = 12100\mu\text{m}^2$,补偿电容与现有技术相当。当工艺误差造成线宽改变 $1\mu\text{m}$ 时,补偿面积 $109 \times 109 = 11881\mu\text{m}^2$,改变量不超过2%,对电容的影响较小。而现有的条形栅极(行直补偿电路)中,以栅极线长为 $4000\mu\text{m}$ 、宽为 $3\mu\text{m}$ 为例,补偿面积 $= 4000 \times 3 = 12000\mu\text{m}^2$ 。当工艺误差造成线宽改变 $1\mu\text{m}$ 时,补偿面积 $= 4000 \times 2 = 8000\mu\text{m}^2$,改变量达到30%,表明线宽误差对补偿面积有很大的影响。本发明通过将现有的条形栅极改变为方形栅极,大大减小了线宽误差对补偿面积的影响,确保了补偿效果的稳定性。

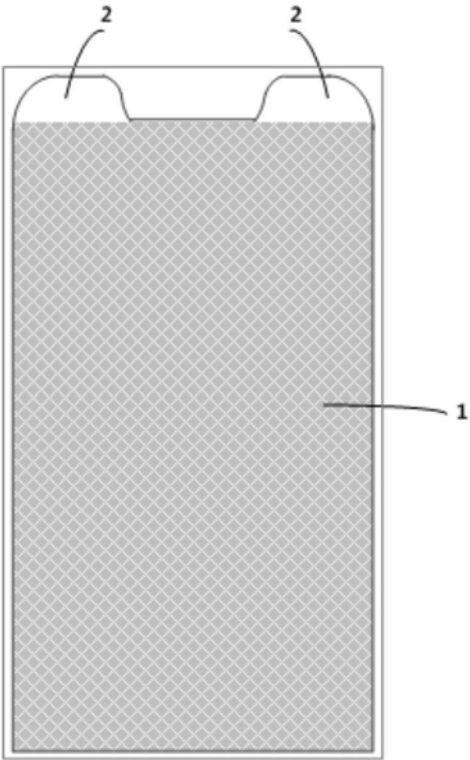


图1

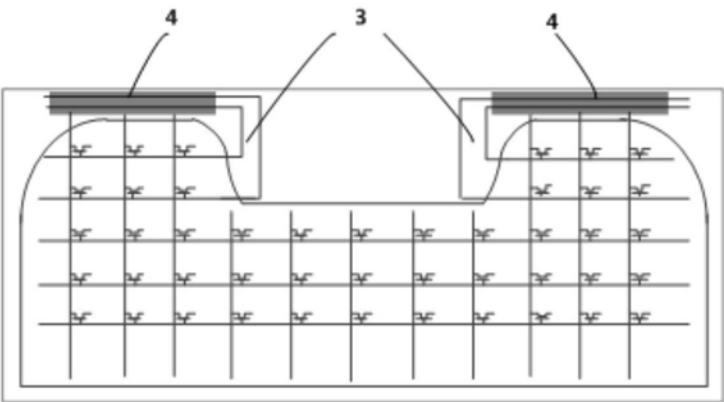


图2

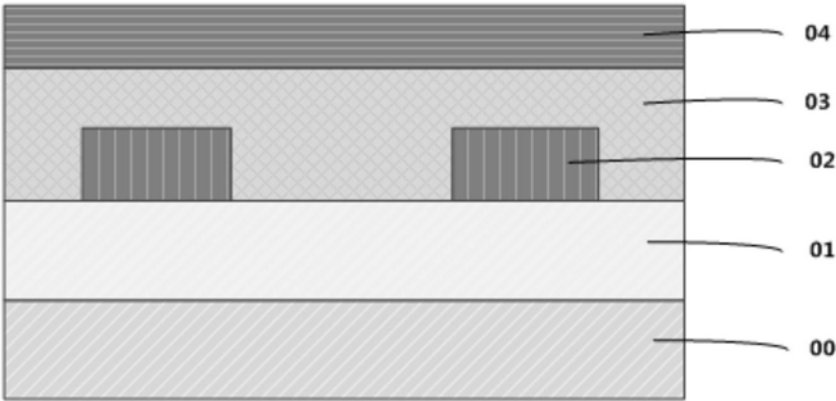


图3

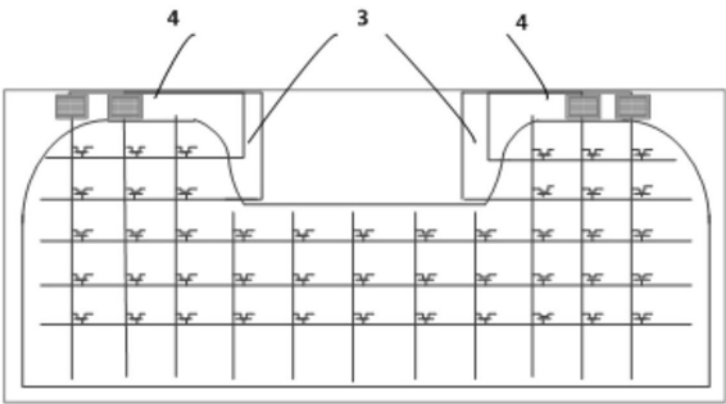


图4



图5

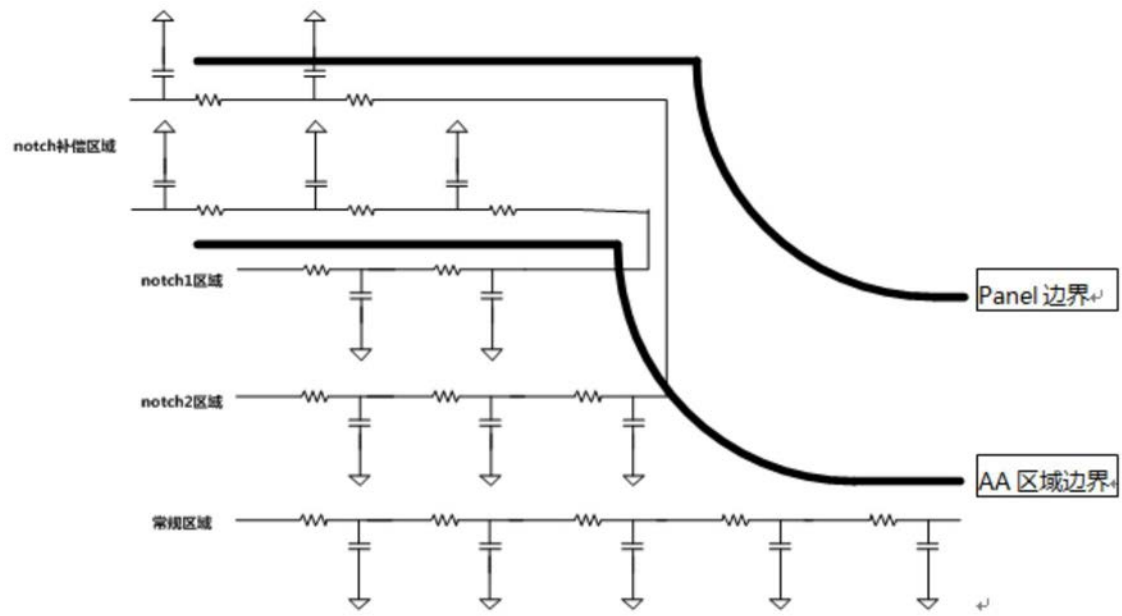


图6