



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월18일  
(11) 등록번호 10-2314111  
(24) 등록일자 2021년10월12일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1362 (2006.01)  
(52) CPC특허분류  
G02F 1/1362 (2013.01)  
G02F 1/136209 (2013.01)  
(21) 출원번호 10-2015-0007003  
(22) 출원일자 2015년01월14일  
심사청구일자 2020년01월10일  
(65) 공개번호 10-2016-0087980  
(43) 공개일자 2016년07월25일  
(56) 선행기술조사문헌  
KR1020090096227 A\*  
KR1020140111870 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
박제형  
경기도 화성시 동탄공원로3길 10-10, 202호 (반송동)  
김쇄현  
충청남도 아산시 탕정면 삼성로 181, 606호 (삼성 크리스탈기숙사 청옥동)  
(뒷면에 계속)  
(74) 대리인  
팬코리아특허법인

전체 청구항 수 : 총 9 항

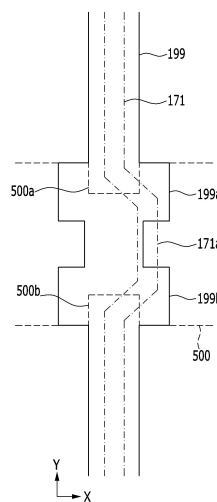
심사관 : 이우리

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 액정 표시 장치는 복수의 트랜지스터가 형성되어 있는 제1 차광 영역을 포함하는 제1 기관; 상기 제1 기관에 대항하며 공통 전극이 형성되어 있는 제2 기관; 및 상기 제1 기관 및 상기 제2 기관 사이에 개재되는 액정층을 포함하고, 상기 제1 기관은: 세로 방향으로 연장되는 데이터선; 경계 영역에서 중첩됨으로써 세로 방향의 색 필터 중첩부를 형성하는 복수의 색 필터; 및 상기 제1 차광 영역을 덮도록 가로 방향으로 연장되는 차광 부재를 포함하고, 상기 차광 부재가 형성된 영역에서, 상기 데이터선 및 상기 색 필터 중첩부는 가로 방향으로 서로 이격되어 있다.

대표도 - 도9b



(52) CPC특허분류

*G02F 1/136218* (2021.01)

*G02F 1/136222* (2021.01)

*G02F 1/136286* (2013.01)

(72) 발명자

**양승호**

경기도 화성시 삼성1로 156, 802호 (석우동, 이너매스플래티늄)

**이준석**

서울특별시 도봉구 도봉로180길 6-83, 4동 211호  
(도봉동, 삼환도봉아파트)

**명세서**

**청구범위**

**청구항 1**

복수의 트랜지스터가 형성되어 있는 제1 차광 영역을 포함하는 제1 기판;  
 상기 제1 기판에 대향하며 공통 전극이 형성되어 있는 제2 기판; 및  
 상기 제1 기판 및 상기 제2 기판 사이에 개재되는 액정층을 포함하고,  
 상기 제1 기판은:  
 세로 방향으로 연장되는 데이터선;  
 경계 영역에서 증착됨으로써 세로 방향의 색 필터 증착부를 형성하는 복수의 색 필터; 및  
 상기 제1 차광 영역을 덮도록 가로 방향으로 연장되는 차광 부재를 포함하고,  
 상기 차광 부재가 형성된 영역에서, 상기 데이터선 및 상기 색 필터 증착부는 가로 방향으로 서로 이격되어 있고,  
 상기 차광 부재는 상기 색 필터 증착부와 교차하는 영역에서 세로 방향의 홈(groove)을 포함하는  
 액정 표시 장치.

**청구항 2**

제1 항에 있어서,  
 상기 제1 기판은 세로 방향으로 연장되어 제2 차광 영역을 형성하는 차폐 전극을 더 포함하는  
 액정 표시 장치.

**청구항 3**

제2 항에 있어서,  
 상기 차폐 전극은 상기 데이터선과 상기 공통 전극 사이에 개재된  
 액정 표시 장치.

**청구항 4**

삭제

**청구항 5**

제1 항에 있어서,  
 상기 홈이 형성된 영역에서, 상기 데이터선과 상기 색 필터 증착부가 증착되는  
 액정 표시 장치.

**청구항 6**

제5 항에 있어서,  
 상기 홈이 형성된 영역에서, 상기 데이터선이 절곡되는  
 액정 표시 장치.

**청구항 7**

제6 항에 있어서,

상기 차광 부재가 형성된 영역이고 상기 홈이 형성되지 않은 영역에서, 상기 데이터선은 이격부를 형성하는 액정 표시 장치.

**청구항 8**

제2 항에 있어서,

상기 차폐 전극은 상기 홈이 형성된 영역에 대응되도록 형성된 확장부를 포함하는 액정 표시 장치.

**청구항 9**

제8 항에 있어서,

상기 제1 기관 및 상기 제2 기관을 지지하는 제1 간격재; 및

상기 제1 간격재보다 높이가 낮은 제2 간격재를 더 포함하고,

상기 차광 부재가 형성된 상기 제1 기관의 영역의 높이는 상기 제2 간격재가 형성된 높이보다 낮은 액정 표시 장치.

**청구항 10**

제9 항에 있어서,

상기 제1 간격재, 상기 제2 간격재 및 상기 차광 부재는 동일한 물질로 구성된

액정 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열 시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전기장 생성 전극이 두 기관에 각각 구비되어 있는 구조이다. 이 중에서도, 제1 기관(하판, 박막 트랜지스터 표시판)에는 복수의 박막 트랜지스터와 화소 전극이 행렬의 형태로 배열되어 있고, 제2 기관(상판, 공통 전극 표시판)에는 적색, 녹색 및 청색의 색 필터가 형성되어 있고 그 전면을 공통 전극이 덮고 있는 구조가 주류이다.

[0004] 그러나, 이러한 액정 표시 장치는 화소 전극과 색 필터가 다른 기관에 형성되므로 화소 전극과 색 필터 사이에 정확한 정렬(align)이 곤란하여 정렬 오차가 발생할 수 있다. 이를 해결하기 위하여, 색 필터와 화소 전극을 동일한 기관에 형성하는 구조(color filter on array, COA)가 제안되었다.

[0005] 또한, 제1 기관과 제2 기관을 합착할 때 합착 마진을 고려하면 블랙 매트릭스와 같은 차광 부재를 설정된 크기보다 크게 제작해야 한다. 그러나, 이 경우 증가된 블랙 매트릭스의 크기에 의해 개구율이 저하될 수 있기 때문에 블랙 매트릭스를 제1 기관에 형성할 수 있다.

[0006] 상기 두 개의 기관 사이의 액정층의 간격을 셀 갭(cell gap)이라 하는데, 상기 셀 갭은 응답속도, 대비비, 시야각, 휘도 균일성 등 액정 표시 장치의 전반적인 동작 특성에 영향을 미친다. 만약 셀 갭이 일정하지 않으면 화면 전체에 걸쳐 균일한 영상이 표시되지 못하여 화질 불량을 초래한다. 따라서, 기관 상의 전 영역에 걸쳐서 균일한 셀 갭을 유지하기 위해 두 개의 기관 중 적어도 일측에는 복수의 간격재가 형성된다.

- [0007] 복수의 간격재는 실질적으로 두 개의 기판을 지지하는 메인 컬럼 스페이서(Main-Column Spacer)와 메인 컬럼 스페이서의 역할을 보조하는 서브 컬럼 스페이서(Sub-Column Spacer)를 포함할 수 있다.
- [0008] 공정 단순화를 위해 블랙 매트릭스와 같은 차광 부재와 간격재를 동시에 형성할 수 있다. 차광 부재와 메인 컬럼 스페이서 및 서브 컬럼 스페이서 등을 동시에 형성하려면 멀티 단차를 구현할 필요가 있다.
- [0009] 하지만, 이처럼 멀티 단차를 구현하기 위해서는 멀티 투과율을 구현할 수 있는 마스크와 멀티 단차를 구현할 수 있는 재료가 필요하나, 현재 마스크 내에서 멀티 투과율을 구현하는데 한계가 있고, 멀티 단차를 구현할 수 있는 재료 개발이 아직까지 이루어지지 않고 있다.
- [0010] 일반적으로, 현재의 재료로 구현되는 메인 컬럼 스페이서 및 서브 컬럼 스페이서의 단차 차이는 0.5um 수준이며, 컬럼 스페이서의 밀도 비가 정확히 구현되어야 액정 공정 진행 중에 AUA(Active Unfilled Area) 불량에 대해 공정 마진을 갖게 된다.
- [0011] 그런데 메인 및 서브 컬럼 스페이스 이외의 영역에, 컬럼 스페이스에 준하는 높이만큼 돌출되는 단차가 존재하는 경우에, 이러한 단차는 서브 컬럼 스페이서의 역할을 하게되고, 결과적으로 전체 메인 및 서브 컬럼 스페이서의 밀도가 바뀌게 된다. 이는 저온에서의 액정 마진에 문제를 발생하게 한다.
- [0012] 따라서 간격재의 밀도를 일정하게 하는 액정 표시 장치가 필요하다.

**발명의 내용**

**해결하려는 과제**

- [0013] 본 발명이 해결하고자 하는 기술적 과제는 빛샘 현상을 방지하는 동시에 간격재의 밀도를 일정하게 하는 액정 표시 장치를 제공하는 데 있다.

**과제의 해결 수단**

- [0014] 본 발명의 일 실시예에 따른 액정 표시 장치는 복수의 트랜지스터가 형성되어 있는 제1 차광 영역을 포함하는 제1 기판; 상기 제1 기판에 대향하며 공통 전극이 형성되어 있는 제2 기판; 및 상기 제1 기판 및 상기 제2 기판 사이에 개재되는 액정층을 포함하고, 상기 제1 기판은: 세로 방향으로 연장되는 데이터선; 경계 영역에서 중첩됨으로써 세로 방향의 색 필터 중첩부를 형성하는 복수의 색 필터; 및 상기 제1 차광 영역을 덮도록 가로 방향으로 연장되는 차광 부재를 포함하고, 상기 차광 부재가 형성된 영역에서, 상기 데이터선 및 상기 색 필터 중첩부는 가로 방향으로 서로 이격되어 있다.
- [0015] 상기 제1 기판은 세로 방향으로 연장되는 차폐 전극을 더 포함할 수 있다.
- [0016] 상기 차폐 전극은 상기 데이터선과 상기 공통 전극 사이에 개재될 수 있다.
- [0017] 상기 차광 부재는 상기 색 필터 중첩부와 교차하는 영역에서 세로 방향의 홈을 포함할 수 있다.
- [0018] 상기 홈이 형성된 영역에서, 상기 데이터선과 상기 색 필터 중첩부가 중첩될 수 있다.
- [0019] 상기 홈이 형성되지 않은 영역에서, 상기 데이터선은 이격부를 형성할 수 있다.
- [0020] 상기 차폐 전극은 상기 홈이 형성된 영역에 대응되도록 형성된 확장부를 포함할 수 있다.
- [0021] 상기 제1 기판 및 상기 제2 기판을 지지하는 제1 간격재; 및 상기 제1 간격재보다 높이가 낮은 제2 간격재를 더 포함하고, 상기 차광 부재가 형성된 상기 제1 기판의 영역의 높이는 상기 제2 간격재가 형성된 높이보다 낮을 수 있다.
- [0022] 상기 제1 간격재, 상기 제2 간격재 및 상기 차광 부재는 동일한 물질로 구성될 수 있다.

**발명의 효과**

- [0023] 본 발명의 실시예에 따르면 빛샘 현상을 방지하는 동시에 간격재의 밀도를 일정하게 하는 액정 표시 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0024] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 한 화소를 나타낸 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 제1 부화소 전극의 일부 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 제1 부화소 전극 및 제2 부화소 전극의 평면도이다.
- 도 4는 도 1의 IV-IV'선에 따라 자른 단면도이다.
- 도 5는 도 1의 V-V'선에 따라 자른 단면도이다.
- 도 6은 도 1의 VI-VI'선에 따라 자른 단면도이다.
- 도 7은 제1 기관의 일부를 도시한 도면이다.
- 도 8은 종래의 데이터선의 배치를 채용한 제1 기관의 일부를 확대하여 도시한 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 데이터선의 배치를 채용한 제1 기관의 일부를 확대하여 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 이하에서 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0026] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 한 화소를 나타낸 평면도이고, 도 4는 도 1의 IV-IV'선에 따라 자른 단면도이고, 도 5는 도 1의 V-V'선에 따라 자른 단면도이고, 도 6은 도 1의 VI-VI'선에 따라 자른 단면도이다.
- [0028] 도 1 및 4 내지 6을 참조하면, 투명한 유리 또는 플라스틱 등으로 만들어진 제1 기관(110) 위에 게이트선(121) 및 기준 전압선(131)이 위치한다. 게이트선(121)은 주로 가로 방향(X)으로 뻗어 있으며 게이트 신호를 전달한다.
- [0029] 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트선(121)은 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(미도시)을 포함한다.
- [0030] 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 서로 연결되어 하나의 돌출부를 이룬다. 이때, 제1, 제2, 및 제3 게이트 전극(124a, 124b, 124c)의 돌출 형태는 변경이 가능하다.
- [0031] 기준 전압선(131)도 주로 가로 방향(X)으로 뻗어 있으며 공통 전압(Vcom) 등의 정해진 전압을 전달한다. 기준 전압선(131)은 게이트선(121)과 평행하게 뻗을 수 있으며, 확장부(136)를 가지며, 확장부(136)는 뒤에서 설명하는 제3 드레인 전극(175c)과 제4 접촉 구멍(185c)을 통해 연결되어 있다.
- [0032] 게이트선(121), 기준 전압선(131), 그리고 확장부(136) 위에는 게이트 절연막(gate insulating layer)(140)이 위치한다. 게이트 절연막(140)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 게이트 절연막(140)은 단일막 또는 다중막으로 이루어질 수 있다.
- [0033] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)가 위치한다. 제1 반도체(154a)는 제1 게이트 전극(124a) 위에 위치할 수 있고, 제2 반도체(154b)는 제2 게이트 전극(124b) 위에 위치할 수 있으며, 제3 반도체(154c)는 제3 게이트 전극(124c) 위에 위치할 수 있다.
- [0034] 제1 반도체(154a)와 제2 반도체(154b)는 서로 연결될 수 있고, 제2 반도체(154b)와 제3 반도체(154c)도 서로 연결될 수 있다. 또한, 제1 반도체(154a)는 데이터선(171)의 아래까지 연장되어 위치할 수도 있다. 제1 내지 제3 반도체(154a, 154b, 154c)는 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 금속 산화물(metal oxide) 등으로 이루어질 수 있다.

- [0035] 제1 내지 제3 반도체(154a, 154b, 154c) 위에는 각각 저항성 접촉 부재(ohmic contact)(도시하지 않음)가 더 형성될 수 있다. 저항성 접촉 부재는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수산화 비정질 규소 따위의 물질로 만들어질 수 있다. 반도체(154a, 154b, 154c)가 산화물 반도체인 경우, 저항성 접촉 부재는 생략될 수 있다.
- [0036] 제1 내지 제3 반도체(154a, 154b, 154c) 위에는 데이터선(data line)(171), 제1 소스 전극(173a), 제2 소스 전극(173b), 제3 소스 전극(173c), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 및 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 위치한다. 제2 드레인 전극(175b)은 제3 소스 전극(173c)과 연결되어 있다.
- [0037] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향(Y)으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 향하여 뻗으며 서로 연결되어 있는 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함한다.
- [0038] 제1 드레인 전극(175a), 제2 드레인 전극(175b) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)의 막대형 끝 부분은 제1 소스 전극(173a) 및 제2 소스 전극(173b)으로 일부 둘러싸여 있다. 제2 드레인 전극(175b)의 넓은 한 쪽 끝 부분은 다시 연장되어 'I'자 형태의 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 확장부(136)와 중첩하여 감압 축전기(Cstd)를 이룬다.
- [0039] 소스 전극(173a, 173b, 173c)과 드레인 전극(175a, 175b, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 173a, 173b, 173c, 175a, 175b, 175c) 및 그 하부의 저항성 접촉 부재와 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0040] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터(Qa)를 형성하며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체 부분(154a)에 형성된다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터(Qb)를 형성하며, 박막 트랜지스터의 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체 부분(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 제3 박막 트랜지스터(Qc)를 형성하며, 박막 트랜지스터의 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체 부분(154c)에 형성된다.
- [0041] 데이터 도전체(171, 173a, 173b, 173c, 175a, 175b, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 질화규소 또는 산화규소 따위의 무기 절연물로 만들어질 수 있는 보호층(passivation layer)(180)이 위치한다.
- [0042] 보호층(180)은 유기 절연 물질 또는 무기 절연 물질로 이루어질 수 있으며, 단일막 또는 다중막으로 형성될 수 있다.
- [0043] 보호층(180) 위에는 각 화소 영역(PX) 내에 색 필터(410, 420)가 형성되어 있다. 각 색 필터(410, 420)는 적색(410), 녹색(미도시) 및 청색(420)의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 색 필터(410, 420)는 적색(410), 녹색, 및 청색(420)의 삼원색에 한정되지 아니하고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 등을 표시할 수도 있다. 도시된 바와 달리 색 필터(410, 420)는 이웃하는 데이터선(171) 사이를 따라서 열 방향으로 길게 뻗을 수도 있다.
- [0044] 색 필터(410, 420) 위에는 제1 절연층(240a)이 더 형성될 수 있다. 제1 절연층(240a)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 질화산화물(SiOxNy) 등과 같은 무기 절연 물질로 이루어질 수 있다. 제1 절연층(240a)은 색 필터(410, 420)가 들뜨는 것을 방지하고 색필터(410, 420)로부터 유입되는 용제(solvent)와 같은 유기물에 의한 액정층의 오염을 억제하여 화면 구동 시 초래할 수 있는 잔상과 같은 불량을 방지한다.
- [0045] 제1 절연층(240a) 위에는 제1 부화소 전극(191a)의 제1 부영역(191a1) 및 차폐 전극(199)이 위치한다.
- [0046] 도 2는 본 발명의 일 실시예에 따른 제1 부화소 전극의 일부 평면도이다.
- [0047] 도 2를 참조하면, 제1 부화소 전극(191a)의 제1 부영역(191a1)은 화소 영역의 중앙부에 위치하는 십자형 연결부와, 십자형 연결부 주위에 위치하여, 십자형 연결부를 둘러싸는 네 개의 평행 사변형을 포함하는 평면 형태를 가진다. 십자형 연결부의 중앙부에는 확장부(193)가 위치한다. 또한, 화소 영역의 가로 중앙부로부터 위와 아래로 뻗어 있는 돌출부를 가진다. 이처럼, 제1 부화소 전극(191a)의 제1 부영역(191a1)은 화소 영역의 일부분에

위치한다.

- [0048] 도 3은 본 발명의 일 실시예에 따른 제1 부화소 전극 및 제2 부화소 전극의 평면도이다.
- [0049] 도 3을 참조하면, 제1 부화소 전극(191a)의 제2 부영역(191a2)은 화소의 중앙 부분에 위치하고, 전체적인 형태는 마름모 꼴이다. 제1 부화소 전극(191a)의 제2 부영역(191a2)은 가로부와 세로부를 가지는 십자형 줄기부와 십자형 줄기부로부터 뻗어 나와있는 복수의 제1 가지 전극들을 포함한다. 제1 가지 전극들은 네 개의 방향으로 뻗어 있다.
- [0050] 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 제1 부영역(191a1)과 중첩하는 일부와 그 이외의 나머지 영역을 포함한다. 제2 부화소 전극(191b)의 일부는 제1 부화소 전극(191a)의 제1 부영역(191a1)과 절연층, 구체적으로 제2 절연층(240b)을 사이에 두고 서로 중첩하고, 제1 부화소 전극(191a)의 제2 부영역(191a2)의 복수의 제1 가지 전극들과 같은 방향으로 뻗어 있는 복수의 제2 가지 전극들을 포함한다.
- [0051] 보호층(180), 제1 절연층(240a) 및 제2 절연층(240b)에는 제1 드레인 전극(175a)의 일부분을 드러내는 제1 접촉 구멍(185a), 제2 드레인 전극(175b)의 일부분을 드러내는 제2 접촉 구멍(185b)이 형성되어 있다. 또한, 제2 절연층(240b)에는 제1 부화소 전극(191a)의 제1 부영역(191a1)의 중앙 부분을 드러내는 제3 접촉 구멍(186)이 형성되어 있다.
- [0052] 제1 부화소 전극(191a)의 제1 부영역(191a1)은 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)에 물리적 전기적으로 연결되고, 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)과 물리적 전기적으로 연결된다. 또한, 제1 부화소 전극(191a)의 제2 부영역(191a2)은 제2 절연층(240b)에 형성되어 있는 제3 접촉 구멍(186)을 통해 제1 부화소 전극(191a)의 제1 부영역(191a1)의 확장부(193)와 연결된다.
- [0053] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)을 통해 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다.
- [0054] 한편 제2 부화소 전극(191b)은 인가된 데이터 전압이, 제2 드레인 전극(175b)으로부터 제3 소스 전극(173c)를 통해 분압되므로, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작을 수 있다.
- [0055] 차폐 전극(199)은 데이터선(171) 위에 중첩하도록 위치하며, 특히 데이터선(171)의 평면 형상과 동일 유사한 형상을 가질 수 있다. 차폐 전극(199)은 하나의 화소 영역에 대해 가장자리를 따라 데이터선(171) 상부에 양쪽으로 위치한다. 차폐 전극(199)은 하나의 화소 영역마다 분리되어 위치하는 것이 아니라, 인접한 전체 화소에 대하여 하나로 연결될 수 있다.
- [0056] 차폐 전극(199)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다. 즉, 차폐 전극(199)은 제1 부화소 전극(191a)의 제1 부영역(191a1)과 동일한 물질로 이루어질 수도 있고, 다른 물질로 이루어질 수도 있다. 차폐 전극(199)과 제1 부화소 전극(191a)의 제1 부영역(191a1)은 동일한 마스크를 사용하여 동시에 형성될 수 있다. 즉, 차폐 전극(199)은 제1 부화소 전극(191a)의 제1 부영역(191a1)과 동일한 층에 위치할 수 있다.
- [0057] 차폐 전극(199)은 공통 전극(270)과 동일한 전압을 인가 받는바, 차폐 전극(199)과 공통 전극(270) 사이에서는 전계가 생기지 않고, 차폐 전극(199)과 공통 전극(270) 사이에 위치하는 액정 분자들은 배향되지 않는다. 따라서, 상기에 위치하는 액정은 블랙 상태가 되며, 이를 통해 차광 부재 기능을 할 수 있다.
- [0058] 따라서, 본 발명의 일 실시예에 따른 표시 장치는 후술할 차광 부재(500)뿐만 아니라 차폐 전극(199)에 의해서도 차광 기능을 가질 수 있다.
- [0059] 다시, 도 1 및 4 내지 6을 참조하여, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역이 포함하는 제1 영역(R1), 제2 영역(R2), 그리고 제3 영역(R3)에 대하여 구체적으로 설명한다.
- [0060] 도 1 및 4를 참조하면, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제1 영역(R1)은 제1 부화소 전극(191a)의 제1 부영역(191a1)의 확장부(193)에 연결되어 있는 제1 부화소 전극(191a)의 제2 부영역(191a2)과 공통 전극(270)이 전기장을 생성한다. 이때, 제1 부화소 전극(191a)의 제2 부영역(191a2)은 십자형의 줄기부와 서로 다른 네 개의 방향으로 뻗어 있는 복수의 제1 가지 전극을 포함한다. 복수의 제1 가지 전극은 게이트선(121)을 기준으로 약 40도 내지 약 45도 기울어질 수 있다. 복수의 제1 가지 전극의 가장 자리에 의해 발생하는 프린지 필드에 의하여, 제1 영역(R1)에 위치하는 액정층(3)의 액정 분자들은 서로 다른 네 개의 방향으로 놓게



된다. 보다 구체적으로, 복수의 제1 가지 전극에 의한 프린지 필드의 수평 성분은 복수의 제1 가지 전극의 변에 거의 수평하기 때문에, 액정 분자들은 복수의 제1 가지 전극의 길이 방향에 평행한 방향으로 기울어진다.

- [0061] 도 1 및 5를 참조하면, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제2 영역(R2)은 제1 부화소 전극(191a)의 제1 부영역(191a1)과 제2 부화소 전극(191b)의 일부가 서로 중첩한다. 제2 부화소 전극(191b)의 일부와 공통 전극(270) 사이에 형성되는 전기장과 함께, 제2 부화소 전극(191b)의 복수의 제2 가지 전극들 사이에 위치하는 제1 부화소 전극(191a)의 제1 부영역(191a1)과 공통 전극(270) 사이에 형성되는 전기장, 그리고 제2 부화소 전극(191b)의 일부와 제1 부화소 전극(191a)의 제1 부영역(191a1) 사이에 형성되는 전기장에 의하여, 액정층(3)의 액정 분자가 배열되게 된다.
- [0062] 도 1 및 6을 참조하면, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제3 영역(R3)은 제2 부화소 전극(191b)의 나머지 영역과 공통 전극(270)이 함께 전기장을 생성한다.
- [0063] 앞서 설명하였듯이, 제2 부화소 전극(191b)에 인가되는 제2 전압의 크기는 제1 부화소 전극(191a)에 인가되는 제1 전압의 크기보다 작다.
- [0064] 따라서, 제1 영역(R1)에 위치하는 액정층에 가해지는 전기장의 세기가 가장 크고, 제3 영역(R3)에 위치하는 액정층에 가해지는 전기장의 세기가 가장 작다. 제2 영역(R2)에는 제2 부화소 전극(191b)의 아래쪽에 위치하는 제1 부화소 전극(191a)의 전기장의 영향이 존재하기 때문에, 제2 영역(R2)에 위치하는 액정층에 가해지는 전기장의 세기는 제1 영역(R1)에 위치하는 액정층에 가해지는 전기장의 세기보다는 작고, 제3 영역(R3)에 위치하는 액정층에 가해지는 전기장의 세기보다는 크게 된다.
- [0065] 이처럼, 본 발명의 실시예에 따른 액정 표시 장치는 하나의 화소 영역을 상대적으로 높은 제1 전압이 인가되는 제1 부화소 전극(191a)의 제2 부영역(191a2)이 위치하는 제1 영역(R1), 제1 부화소 전극(191a)의 제1 부영역(191a1)과 상대적으로 낮은 제2 전압이 인가되는 제2 부화소 전극(191b)의 일부분이 절연층(240b)을 사이에 두고 중첩하는 제2 영역(R2), 그리고 상대적으로 낮은 제2 전압이 인가되는 제2 부화소 전극(191b)의 나머지가 위치하는 제3 영역(R3)으로 구분한다. 따라서, 제1 영역(R1), 제2 영역(R2), 제3 영역(R3)에 대응하는 액정 분자들에 가해지는 전기장의 세기가 다르게 되어, 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 각 영역의 휘도가 달라진다. 이처럼, 하나의 화소 영역을 서로 다른 휘도를 가지는 3개의 영역으로 구분하게 되면, 계조에 따른 투과율의 변화를 완만하게 조절함으로써, 측면에서 저계조와 고계조에서도 계조 변화에 따라 투과율이 급격히 변화하는 것을 방지함으로써, 측면 시인성을 정면 시인성에 가깝게 하면서도, 저계조와 고계조에서도 정확한 계조 표현이 가능하다.
- [0066] 그러면, 본 실시예에 따른 액정 표시 장치의 구동 방법에 대하여 간략하게 설명한다.
- [0067] 게이트선(121)에 게이트 온 신호가 인가되면, 제1 게이트 전극(124a), 제2 게이트 전극(124b), 그리고 제3 게이트 전극(124c)에 게이트 온 신호가 인가되어, 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온 된다. 이에 따라 데이터선(171)에 인가된 데이터 전압은 턴 온 된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통해 각각 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에 인가된다. 이 때, 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에는 동일한 크기의 전압이 인가된다. 하지만, 제2 부화소 전극(191b)에 인가된 전압은 제2 스위칭 소자(Qb)와 직렬 연결되어 있는 제3 스위칭 소자(Qc)를 통해 분압된다. 따라서, 제2 부화소 전극(191b)에 인가되는 전압은 제1 부화소 전극(191a)에 인가되는 전압보다 더 작게 된다.
- [0068] 다시, 도 2를 참고하면, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역은 제1 부화소 전극(191a)의 제2 부영역(191a2)이 위치하는 제1 영역(R1), 제1 부화소 전극(191a)의 제1 부영역(191a1)의 일부분과 제2 부화소 전극(191b)의 일부분이 중첩하는 제2 영역(R2), 그리고 제2 부화소 전극(191b)의 나머지 부분이 위치하는 제3 영역(R3)으로 이루어진다.
- [0069] 제1 영역(R1), 제2 영역(R2), 그리고 제3 영역(R3)은 각기 네 개의 부영역으로 이루어진다. 제2 영역(R2)의 면적은 제1 영역(R1)의 면적의 약 두 배일 수 있고, 제3 영역(R3)의 면적은 제2 영역(R2)의 면적의 약 두 배일 수 있다.
- [0070] 도 7은 제1 기관의 일부를 도시한 도면이다.
- [0071] 제1 기관(110)은 복수의 차광 영역 및 표시 영역을 포함한다. 복수의 박막 트랜지스터(Qa, Qb, Qc)가 형성되어 있는 영역을 제1 차광 영역이라 하고, 데이터선(171)이 세로 방향(Y)으로 연장되는 부분을 제2 차광 영역이라 할 수 있다.

- [0072] 도 7을 참조하면, 차광 부재(500)는 제1 차광 영역을 덮도록 가로 방향(X)으로 연장되어 형성될 수 있다.
- [0073] 전술한 바와 같이, 차폐 전극(199)에 공통 전극(270)과 같은 전압이 인가되는 경우, 차폐 전극(199)이 차광 부재(500)와 동일한 역할을 할 수 있으므로, 차폐 전극(199)이 제2 차광 영역을 덮도록 세로 방향(Y)으로 연장될 수 있다.
- [0074] 차폐 전극(199)은 데이터선(171)과 공통 전극(270) 사이에 개재되어, 데이터선(171)을 덮는 형상일 수 있다.
- [0075] 본 실시예에서 제1 색 필터(410)는 적색의 색 필터이고, 제2 색 필터(420)는 청색의 색 필터이다. 전술한 바와 같이 색 필터의 색은 달리 채용될 수 있다.
- [0076] 도 9c를 먼저 참조하면, 제1 색 필터(410)와 제2 색 필터(420)는 각각의 경계 영역이 중첩됨으로써 세로 방향(Y)의 색 필터 중첩부(430)를 형성한다.
- [0077] 도 8은 종래의 데이터선의 배치를 채용한 제1 기관의 일부를 확대하여 도시한 도면이다.
- [0078] 도 8a의 VIIIb-VIIIb'선은 도 7의 IXc-IXc'선에 대응되는 위치에 있다.
- [0079] 도 8b를 참조하면 데이터선(171), 색 필터 중첩부(430) 및 차광 부재(500)의 삼단 중첩된 부분의 높이가 서브 컬럼 스페이서인 제2 간격재(520)보다 높거나 유사한 높이로 형성되어 있다.
- [0080] RC delay 개선을 위한 데이터 라인은  $7500 \text{ \AA}$  (제1 Mo=1000, 제2 Al=6000, 제3 Mo=500)의 두께로 형성될 수 있고, 색 필터 중첩부(430)는 1 $\mu\text{m}$  중첩당 0.2 $\mu\text{m}$ 씩의 단차가 발생하여 5 $\mu\text{m}$  중첩일때는 1 $\mu\text{m}$ 의 단차가 발생할 수 있다.
- [0081] 따라서 해당 부분의 셀 갭(d1)이 상당히 좁게 되고, 이는 전술한 바와 같이 메인 컬럼 스페이서인 제1 간격재(510) 및 제2 간격재(520)의 밀도에 불규칙적인 영향을 미칠 수 있다. 이는 저온에서의 액정 마진에 문제를 발생시킬 수 있다.
- [0082] 도 9는 본 발명의 일 실시예에 따른 데이터선의 배치를 채용한 제1 기관의 일부를 확대하여 도시한 도면이다.
- [0083] 도 9a를 참조하면, 본 발명의 일 실시예에 따른 차광 부재(500)는 색 필터 중첩부(430)와 교차하는 영역에서 세로 방향(Y)으로 제1 홈(500a)(groove) 및 제2 홈(500b)을 포함한다.
- [0084] 도 9b를 참조하면, 차광 부재(500)가 점선 처리되어 도시되고, 본 발명의 일 실시예에 따른 차폐 전극(199) 및 데이터선(171)의 구조가 상세히 도시되어 있다.
- [0085] 다만 도 9b에서는 중첩 구조를 명확히 설명하기 위하여, 도 1과는 달리, 데이터선(171)이 제1 소스 전극(173a)으로 확장되는 부분 등을 도시하지 않았다.
- [0086] 구조의 명확성을 위해 도 9b에서 도시되지는 않았지만, 도 9a를 참조하면 색 필터 중첩부(430)는 세로 방향(Y)으로 일정하게 연장된다.
- [0087] 도 9c는 도 7 및 9a의 IXc-IXc'선에 따라 자른 단면도이고, 도 9d는 도 7 및 9a의 IXd-IXd'선에 따라 자른 단면도이다.
- [0088] 차폐 전극(199)은 제1 홈(500a)이 형성된 영역에 대응되도록 제1 확장부(199a)를 포함하고, 제2 홈(500b)이 형성된 영역에 대응되도록 제2 확장부(199b)를 포함할 수 있다.
- [0089] 차광 부재(500)가 제1 홈(500a) 및 제2 홈(500b)을 갖게 됨으로써 발생할 수 있는 빛샘 현상을 차폐 전극(199)의 제1 확장부(199a) 및 제2 확장부(199b)가 각각 보완해줄 수 있다.
- [0090] 데이터선(171)은 제1 홈(500a) 및 제2 홈(500b)이 형성되지 않은 영역에서 이격부(171a)를 형성할 수 있다.
- [0091] 즉, 세로 방향(Y)으로 일정하게 연장되던 데이터선(171)은, 색 필터 중첩부(430) 및 차광 부재(500)와의 삼단 중첩을 피하기 위해서 제1 홈(500a) 및 제2 홈(500b)이 형성된 영역에서 절곡된다. 즉, 데이터선(171)은 제1 홈(500a) 및 제2 홈(500b)이 형성된 영역에서 꺾여 연장된다.
- [0092] 따라서 이격부(171a)에서 데이터선(171)과 색 필터 중첩부(430)는 가로 방향(X)으로 서로 이격된 상태이다.
- [0093] 결과적으로 제1 홈(500a) 및 제2 홈(500b)이 형성된 영역에서는 색 필터 중첩부(430) 및 데이터선(171)의 이단 중첩이 발생하고, 삼단 중첩은 발생하지 않는다(도 9c 참조).

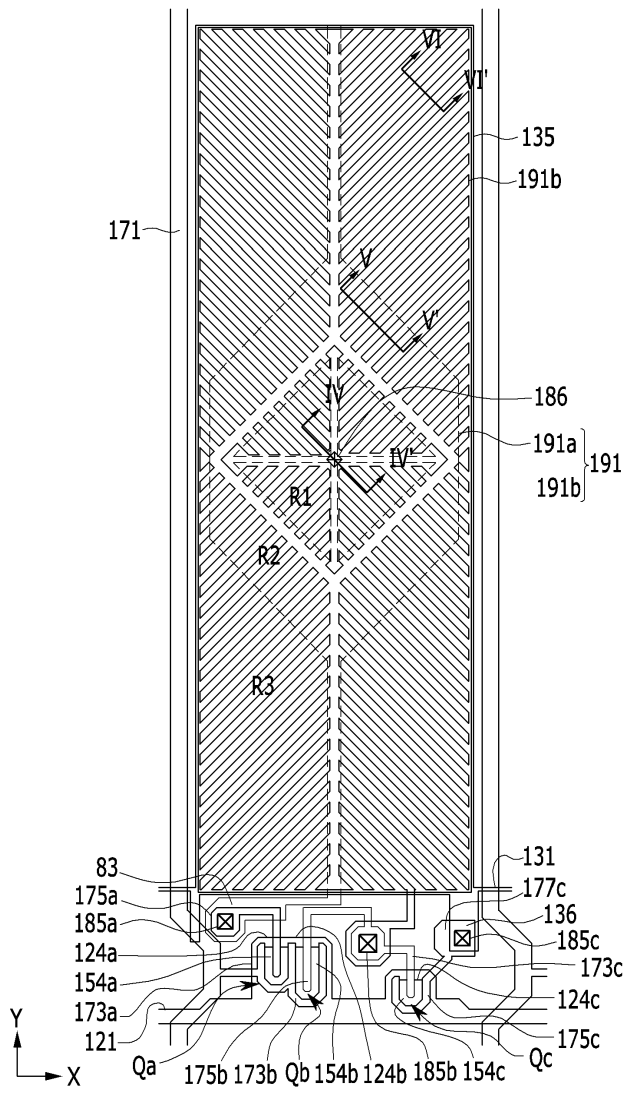
- [0094] 따라서 충분한 셀 갭(d2)을 갖게 되어 간격재의 밀도에 영향을 주지 않게 된다.
- [0095] 또한 제1 홈(500a) 및 제2 홈(500b)이 형성되지 않은 영역에서는 데이터선(171)과 차광 부재(500)의 이단 중첩 및 색 필터 중첩부(430)와 차광 부재(500)의 이단 중첩이 발생하고, 삼단 중첩은 발생하지 않는다(도 9d 참조).
- [0096] 즉, 차광 부재(500)가 형성된 영역(홈이 아닌 영역)에서는 데이터선(171) 및 색 필터 중첩부(430)는 가로 방향(X)으로 서로 이격되어 있고, 이에 따라 데이터선(171)과 색 필터 중첩부(430)는 서로 중첩되지 않음으로써 삼단 중첩을 피하게 된다.
- [0097] 따라서 충분한 셀 갭(d3)을 갖게 되어 간격재의 밀도에 영향을 주지 않게 된다.
- [0098] 제1 간격재(510)와 제2 간격재(520)는 차광 부재(500)와 동일한 물질로 일체로 구성될 수 있다. 이에 투 톤 마스크를 사용할 수 있고, 투 톤 마스크로 하프톤 마스크 또는 슬릿 마스크를 사용할 수 있다.
- [0099] 예를 들어, 차광 부재(500)를 형성할 때, 네거티브 포토 레지스트를 사용한다면, 제1 간격재(510)가 형성될 영역은 광 투과율 100%로 설정하고, 제2 간격재(520)가 형성될 영역은 광 투과율을 30%로 하고, 그 외의 영역은 광 투과율을 10%로 설정할 수 있다. 포토 공정 후에 식각되지 않은 위치에서 제1 간격재(510)가 형성되고, 일부 식각된 위치에서 제2 간격재(520)가 형성되고, 그 외의 영역에서 더 낮은 높이의 차광 부재(500)가 형성될 수 있다.
- [0100] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

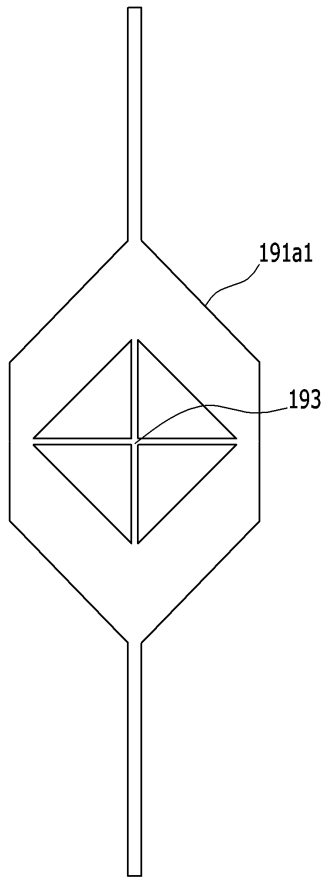
- [0101] 3: 액정층
- 110: 제1 기판
- 120: 제2 기판
- 171: 데이터선
- 171a: 이격부
- 199: 차폐 전극
- 199a: 제1 확장부
- 199b: 제2 확장부
- 270: 공통 전극
- 430: 색 필터 중첩부
- 500: 차광 부재
- 500a: 제1 홈
- 500b: 제2 홈
- 510: 제1 간격재
- 520: 제2 간격재

도면

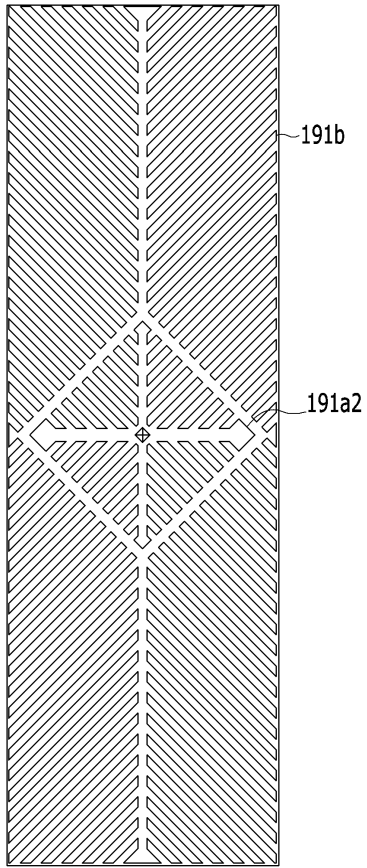
도면1



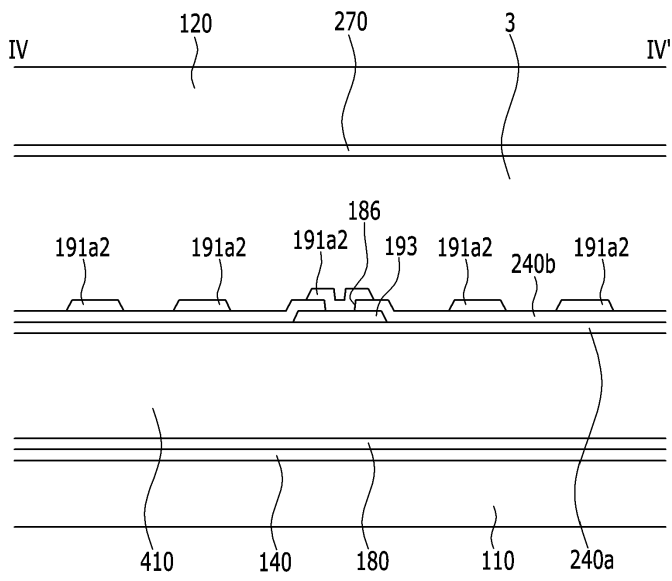
도면2



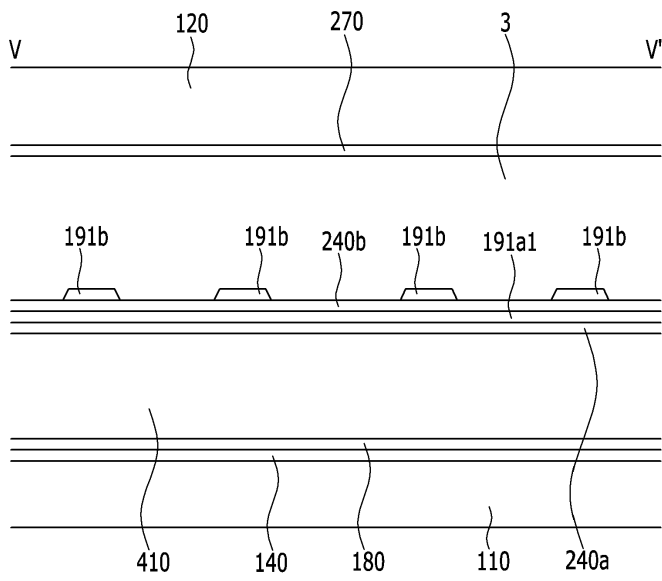
도면3



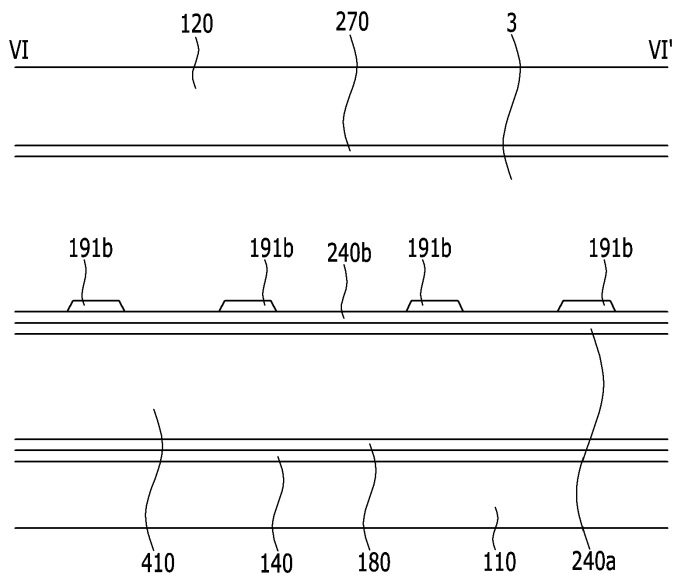
도면4



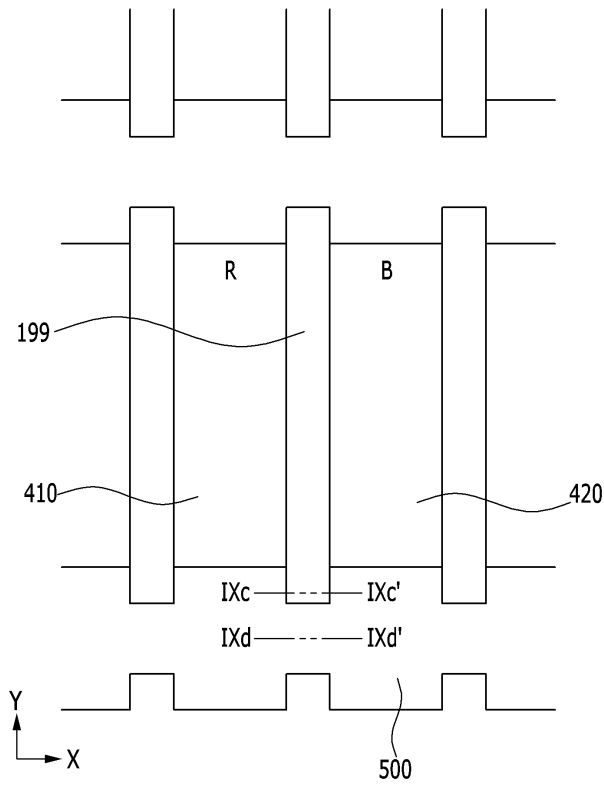
도면5



도면6

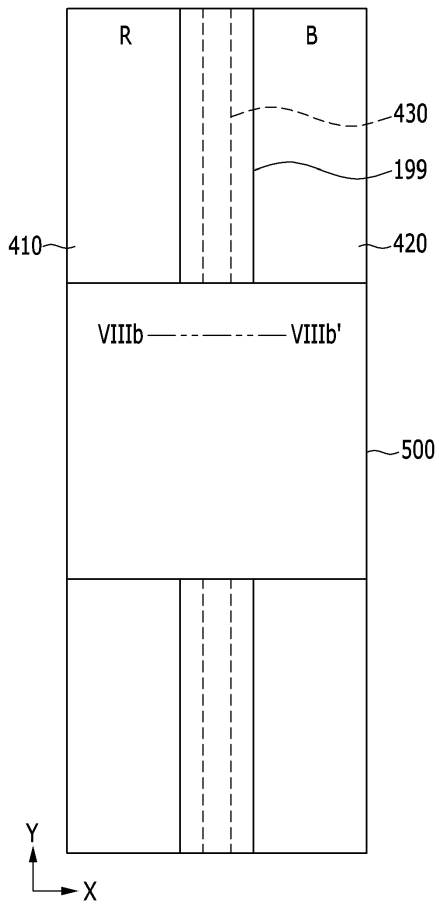


도면7

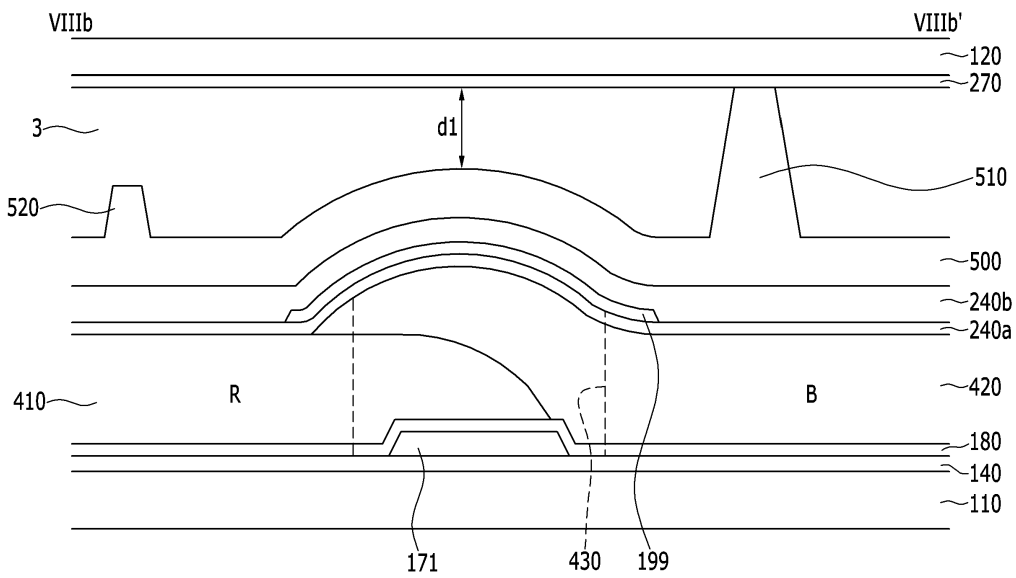




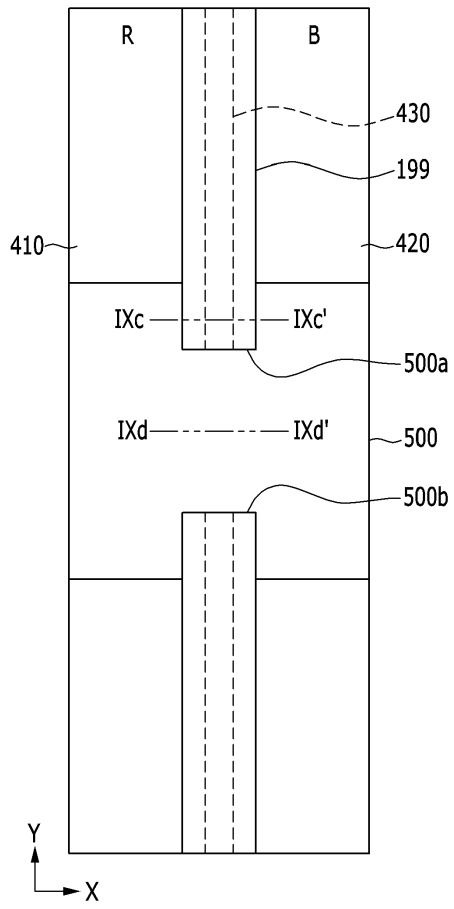
도면8a



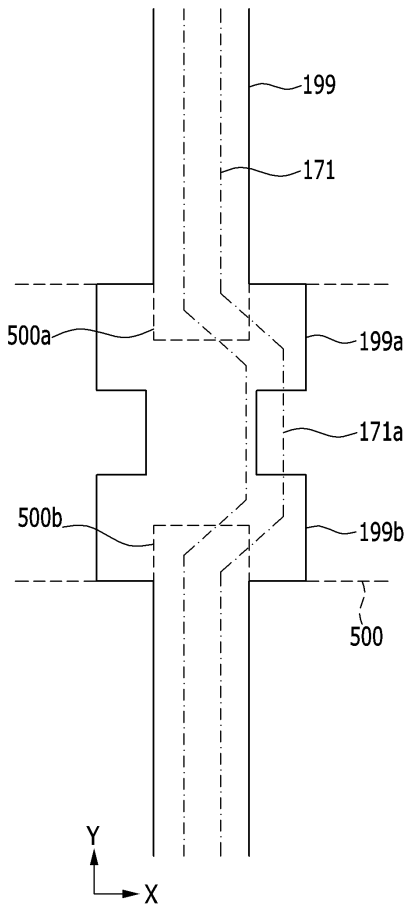
도면8b



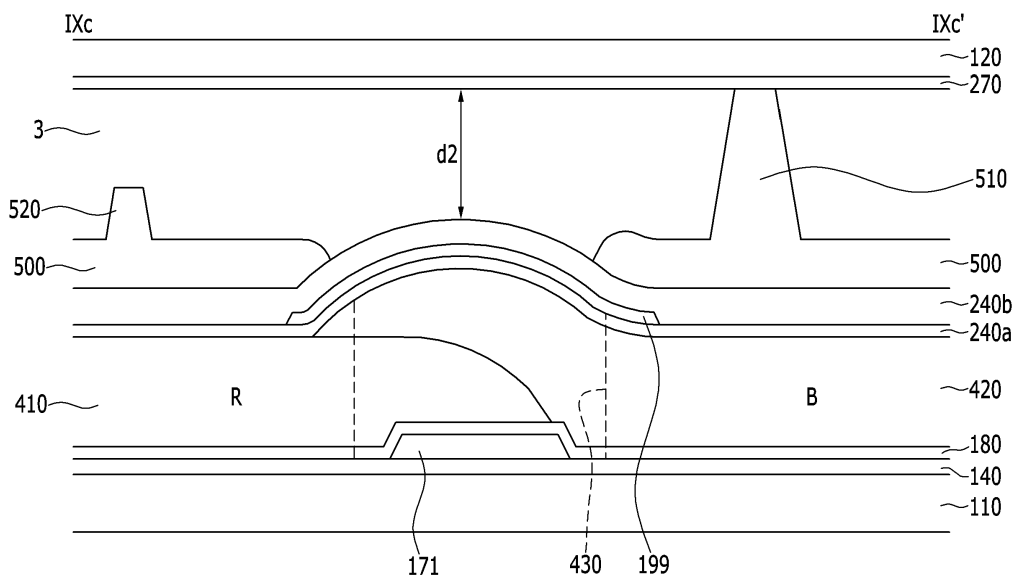
도면9a



도면9b



도면9c



도면9d

