



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년10월05일

(11) 등록번호 10-2307834

(24) 등록일자 2021년09월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)

H01L 29/786 (2006.01)

(52) CPC특허분류

G02F 1/134363 (2013.01)

G02F 1/136286 (2013.01)

(21) 출원번호 10-2015-0149799

(22) 출원일자 2015년10월27일

심사청구일자 2020년08월31일

(65) 공개번호 10-2017-0049726

(43) 공개일자 2017년05월11일

(56) 선행기술조사문헌

KR1020110045838 A*

JP2003131636 A*

KR1020100114235 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기도 파주시 월릉면 엘씨지로 201 F동 1208호
(덕은리, 정다운마을)

조승환

경기도 양주시 옥정동로 162 (율정동) 율정마을
13단지 1303동 404호

(74) 대리인

특허법인다나

전체 청구항 수 : 총 6 항

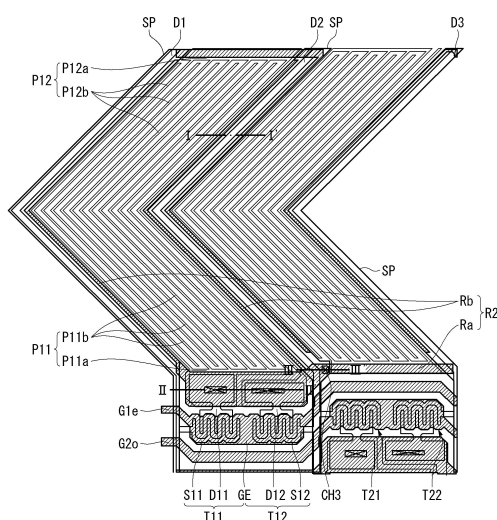
심사관 : 박정근

(54) 발명의 명칭 액정 표시장치

(57) 요약

본 발명은 고투과율의 액정 표시장치박막 트랜지스터의 특성을 유지하면서 크기를 줄일 수 액정 표시장치에 관한 것으로, 복수의 화소영역들, 제 1 -1 화소전극 및 제 1-2 화소전극, 제 1-1 보조 캐패시터 및 제 1-2 보조 캐패시터 및 차폐전극을 포함한다. 복수의 화소영역들은 기준 라인들 및 게이트라인들과 데이터 라인들의 교차에 의해 정의된다. 제 1 -1 화소전극 및 제 1-2 화소전극은 상기 복수의 화소영역들 각각에 배치되며, 상기 데이터 라인들 중 서로 인접한 제 1 및 제 2 데이터 라인들로부터 서로 반대 극성의 전압을 공급받는다. 제 1-1 보조 캐패시터 및 제 1-2 보조 캐패시터는 상기 복수의 화소영역들 각각에 배치되며, 상기 기준라인들의 어느 하나와 상기 제 1-1 화소전극 및 제 1-2 화소전극에 의해 구성된다. 차폐전극은 상기 데이터 라인들의 각각과 중첩되도록 배치되며 상기 기준라인에 연결된다.

대표도 - 도5



(52) CPC특허분류
H01L 29/786 (2021.01)

명세서

청구범위

청구항 1

기준라인들 및 게이트라인들과 데이터 라인들의 교차에 의해 정의되는 복수의 화소영역들;

상기 복수의 화소영역들 각각에 배치되며, 상기 데이터 라인들 중 서로 인접한 제 1 데이터 라인 및 제 2 데이터 라인 중 어느 하나의 데이터 라인으로부터 제 1 극성의 전압을 공급받는 제 1-1 화소전극;

상기 복수의 화소영역들 각각에 배치되며, 상기 제 1 데이터 라인 및 상기 제 2 데이터 라인 중 다른 하나의 데이터 라인으로부터 상기 제 1 극성과 반대 극성의 제 2 극성의 전압을 공급받는 제 1-2 화소전극;

상기 복수의 화소영역들 각각에 배치되며, 상기 기준라인들의 어느 하나의 기준라인과 상기 제 1-1 화소전극으로 이루어지는 제 1-1 보조 캐패시터;

상기 복수의 화소영역들 각각에 배치되며, 상기 어느 하나의 기준라인과 제 1-2 화소전극으로 이루어지는 제 1-2 보조 캐패시터; 및

상기 데이터 라인들의 각각과 중첩되도록 배치되며 상기 기준라인에 연결되는 차폐전극을 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 라인들은 동일 행에 배치된 화소영역들의 일측에 배치되는 제 1-1 게이트 라인과 타측에 배치되는 제 1-2 게이트 라인을 포함하며,

서로 인접한 화소영역들의 한 화소영역에 배치되며, 상기 제 1-1 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 1 데이터 라인으로부터 공급되는 제 1 데이터 전압을 상기 제 1-1 화소전극에 공급하는 제 1-1 박막 트랜지스터, 및 상기 제 1-1 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인으로부터 공급되는 제 2 데이터 전압을 상기 제 1-2 화소전극에 공급하는 제 1-2 박막 트랜지스터; 및

서로 인접한 화소영역들의 다른 화소영역에 배치되며, 상기 제 1-2 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인으로부터 공급되는 제 2 데이터 전압을 제 2-1 화소전극에 공급하는 제 2-1 박막 트랜지스터, 및 상기 제 1-2 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인에 인접한 제 3 데이터 라인으로부터 공급되는 제 3 데이터 전압을 제 2-2 화소전극에 공급하는 제 2-2 박막 트랜지스터를 더 포함하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 기준라인들의 각각은 화소영역의 일측에 배치되는 줄기부; 및

상기 줄기부로부터 분기되어 상기 각 화소영역으로 연장되고, 각각이 데이터 라인에 인접하여 배치되는 복수의 가지부들을 포함하고,

상기 차폐전극은 상기 데이터 라인 및 상기 기준라인의 줄기부들과 중첩되도록 배치되는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1-1 화소전극은 각 화소영역의 일측에 배치되는 제 1-1 줄기부와, 상기 제 1-1 줄기부로부터 분기되어 상기 각 화소영역의 타측으로 연장되는 복수의 제 1-1 가지부들을 포함하고,

상기 제 1-2 화소전극은 상기 각 화소영역의 타측에 배치되는 제 1-2 줄기부와, 상기 제 1-2 줄기부로부터 분기되어 상기 각 화소영역으로 일측으로 연장되며, 상기 복수의 제 1-1 가지부들과 번갈아 배치되는 복수의 제 1-2 가지부들을 포함하며,

상기 차폐전극과 상기 제 1-2 줄기부 사이의 간격은 상기 제 1-1 줄기부와 상기 제 1-2 줄기부 사이의 간격 보다 작은 액정 표시장치.

청구항 5

제 3 항에 있어서,

상기 기준라인들 및 상기 게이트 라인들은 기판 상에 배치되고,

상기 데이터 라인들은 상기 기준라인들 및 상기 게이트 라인들을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1-1 및 1-2 화소전극들과 상기 차폐전극은 상기 데이터 라인들을 커버하는 보호막 상에 배치되는 액정 표시장치.

청구항 6

제 5 항에 있어서,

상기 차폐전극은 상기 보호막, 및 상기 게이트 절연막을 관통하는 콘택홀을 통해 노출된 상기 기준라인에 접속되는 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 특히, 고투과 수평 전계형 액정 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시장치는 상부기판 상에 형성된 공통전극과 하부기판 상에 형성된 화소전극이 서로 마주 보도록 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위칭(In Plane Switching ; IPS) 모드의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 그러나, 화소 전극과 공통 전극을 동일 평면상에 형성하는 수평 전계형 액정 표시장치의 경우, 화소 전극과 공통 전극 사이에서는 수평 전계가 형성되지만, 화소 전극 및 공통 전극 상부에서는 전계가 형성되지 못한다. 따라서, 전극이 차지하는 면적만큼 액정을 구동하지 못하는 비투과 영역으로 된다. 결국, 화소 전극과 공통 전극을 투명 도전물질로 만들더라도, 개구율이 저하되는 문제점이 있다.

[0006] 이러한 문제를 해결하기 위한 방법으로, 아래 층에 공통 전극을 화소 영역 전체에 상응하게 형성하고, 화소 전극을 위 층에 공통 전극과 중첩되도록 형성하는 프린지 필드 방식의 수평 전계형 액정 표시장치의 경우, 화소 전극의 상부에도 수평 전계가 형성되어 투과율 저하를 방지하는 장점이 있다. 그러나, 이는 크기가 작은 액정 표시장치에서는 투과율이 높지만, 크기가 큰 액정 표시장치에서는 중첩된 화소 전극과 공통 전극 사이에 기생

용량의 증가로 박막트랜지스터의 크기를 증가시켜야 하고, 화소 전극 사이의 간격이 좁아 오히려 투과율이 저하되는 문제가 발생한다.

[0007] 따라서, 이러한 문제점을 해결할 수 있는 액정 표시장치의 필요성이 대두되었다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 고투과율의 액정 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 본 발명의 목적 달성을 위한 액정 표시장치는 복수의 화소영역들, 제 1 -1 화소전극 및 제 1-2 화소전극, 제 1-1 보조 캐패시터 및 제 1-2 보조 캐패시터 및 차폐전극을 포함한다. 복수의 화소영역들은 기준 라인들 및 게이트 라인들과 데이터 라인들의 교차에 의해 정의된다. 제 1 -1 화소전극 및 제 1-2 화소전극은 상기 복수의 화소영역들 각각에 배치되며, 상기 데이터 라인들 중 서로 인접한 제 1 및 제 2 데이터 라인들로부터 서로 반대 극성의 전압을 공급받는다. 제 1-1 보조 캐패시터 및 제 1-2 보조 캐패시터는 상기 복수의 화소영역들 각각에 배치되며, 상기 기준라인들의 어느 하나와 상기 제 1-1 화소전극 및 제 1-2 화소전극에 의해 구성된다. 차폐전극은 상기 데이터 라인들의 각각과 중첩되도록 배치되며 상기 기준라인에 연결된다.

[0010] 상기 구성에서 게이트 라인들은 동일 행에 배치된 화소영역들의 일측에 배치되는 제 1-1 게이트 라인과 타측에 배치되는 제 1-2 게이트 라인을 포함한다. 본 발명의 액정 표시장치는 또한 서로 인접한 화소영역들의 한 화소영역에 배치되며, 상기 제 1-1 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 1 데이터 라인으로부터 공급되는 제 1 데이터 전압을 상기 제 1-1 화소전극에 공급하는 제 1-1 박막 트랜지스터, 및 상기 제 1-1 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인으로부터 공급되는 제 2 데이터 전압을 상기 제 1-2 화소전극에 공급하는 제 1-2 박막 트랜지스터; 및 서로 인접한 화소영역들의 다른 화소영역에 배치되며, 상기 제 1-2 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인으로부터 공급되는 제 2 데이터 전압을 상기 제 2-1 화소전극에 공급하는 제 2-1 박막 트랜지스터, 및 상기 제 1-2 게이트 라인으로부터 공급되는 제어신호에 의해 제어되어 상기 제 2 데이터 라인에 인접한 제 3 데이터 라인으로부터 공급되는 제 3 데이터 전압을 상기 제 2-2 화소전극에 공급하는 제 2-2 박막 트랜지스터를 더 포함한다.

[0011] 또한, 기준라인들의 각각은 화소영역의 일측에 배치되는 줄기부, 및 상기 줄기부로부터 분기되어 상기 각 화소영역으로 연장되고, 각각이 데이터 라인에 인접하여 배치되는 복수의 가지부들을 포함한다. 또한, 차폐전극은 상기 데이터 라인 및 상기 기준라인의 줄기부들과 중첩되도록 배치된다.

[0012] 또한, 상기 제 1-1 화소전극은 각 화소영역의 일측에 배치되는 제 1-1 줄기부와, 상기 제 1-1 줄기부로부터 분기되어 상기 각 화소영역의 타측으로 연장되는 복수의 제 1-1 가지부들을 포함한다. 상기 제 1-2 화소전극은 상기 각 화소영역의 타측에 배치되는 제 1-2 줄기부와, 상기 제 1-2 줄기부로부터 분기되어 상기 각 화소영역으로 일측으로 연장되며, 상기 복수의 제 1-1 가지부들과 번갈아 배치되는 복수의 제 1-2 가지부들을 포함한다. 상기 차폐전극과 상기 제 1-2 줄기부 사이의 간격은 상기 제 1-1 줄기부와 상기 제 1-2 줄기부 사이의 간격 보다 작게 설정된다.

[0013] 또한, 상기 기준라인들 및 상기 게이트 라인들은 기판 상에 배치되고, 상기 데이터 라인들은 상기 기준라인들 및 상기 게이트 라인들을 커버하는 게이트 절연막 상에 배치되며, 상기 제 1-1 및 1-2 화소전극들과 상기 차폐전극은 상기 데이터 라인들을 커버하는 보호막 상에 배치된다.

[0014] 또한, 상기 차폐전극은 상기 보호막, 및 상기 게이트 절연막을 관통하는 콘택홀을 통해 노출된 상기 기준라인에 접속된다.

발명의 효과

[0015] 본 발명에 따르는 액정 표시장치에 의하면, 고전압으로 액정을 구동시킬 수 있어 고투과율을 달성할 수 있는 효과를 얻을 수 있다.

[0016] 또한, 데이터 라인과 화소전극 사이에 기준라인의 줄기부들 사이에 보조 캐패시터를 형성하여 박막 트랜지스터가 턴오프 되더라도 전압강하를 줄일 수 있는 효과를 얻을 수 있다.

[0017] 또한 데이터 라인(D2)의 양측에 배치되는 기준라인들(R1, R2)의 가지부들(Rb)에 의해 데이터 라인(D2)과 화소전극들(P12, P21) 사이 발생하는 전계를 방지할 수 있으므로 상부의 액정층에 영향을 미치는 것을 방지할 수 있는 효과를 얻을 수 있다.

[0018] 또한, 데이터 라인과 중첩되는 위치에 배치되는 차폐전극에 의해 데이터 라인과 인접한 화소영역의 화소전극들 사이의 전계를 차단할 수 있으므로 화소영역의 데이터 라인 상측의 액정층에 미치는 악영향을 방지할 수 있어 표시불량의 문제점을 해결할 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이를 개략적으로 도시한 등가 회로도,

도 2는 본 발명의 제 1 실시예에 따르는 액정 표시장치를 도시한 평면도,

도 3은 도 2의 I-I' 라인을 따라 취한 단면도,

도 4는 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이를 개략적으로 도시한 등가 회로도,

도 5는 도 4에 도시된 화소 어레이의 2개의 화소영역을 도시한 평면도,

도 6a는 도 5의 라인 I-I' 라인을 따라 취한 단면도,

도 6b는 도 5의 라인 II-II' 라인을 따라 취한 단면도,

도 6c는 도 5의 라인 III-III' 라인을 따라 취한 단면도,

도 7은 본 발명의 제 실시예에 따른 액정 표시장치에서 구동전압에 따른 투과도를 도시한 그래프.

발명을 실시하기 위한 구체적인 내용

[0020] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0021] 이하, 도 1을 참조하여, 본 발명의 제 1 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다.

[0022] 도 1은 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이를 개략적으로 도시한 등가 회로도이다.

[0023] 도 1을 참조하면 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이는 게이트라인들(G1o~Gne)과 데이터 라인들(D1~Dm)의 교차에 의해 정의되는 화소영역들을 포함한다.

[0024] 각 화소영역에는 2개의 박막 트랜지스터들(T11, T12; T21, T22)과, 각 박막 트랜지스터(T11, T12; T21, T22)에 연결되는 2개의 화소전극들(P11, P12; P21, P22)과, 화소전극들(P11, P12; P21, P22)에 의해 형성되는 스토리지 캐패시터(Cst) 및 액정 셀(Clc)이 배치된다.

[0025] 예를 들어, 제 1 행에 배치되는 화소영역들의 상부에는 현재 행에 배치된 화소영역의 홀수 번째 열에 배치된 박막 트랜지스터들(T11, T12)을 제어하기 위한 홀수 번째의 게이트 라인(예를 들면, G1o)이 배치된다. 또한, 제 1 행에 배치되는 화소영역들의 하부에는 현재 행에 배치된 화소영역의 짝수 번째 열에 배치된 박막 트랜지스터들(T21, T22)을 제어하기 위한 짝수 번째의 게이트 라인(예를 들면, G1e)이 배치된다.

[0026] 이와 같은 방식으로 모든 행의 상부와 하부에는 홀수 번째 게이트 라인들(G1o, G2o, ...Gno)과 짝수 번째 게이트 라인들(G1e, G2e, ...Gne)이 배치된다.

[0027] 게이트 라인들과 교차하도록 배치된 데이터 라인들(D1~Dm)은 서로 인접한 데이터 라인들이 반대 극성의 전압을 공급받도록 설정된다. 예를 들어 홀수 번째 데이터 라인(D1, D3, ...Dn-1)에 양의 전압이 인가되면 짝수 번째 데이터 라인(D2, D4, ...Dn)에 음의 전압이 인가된다. 이에 따라 동일 화소영역에서 제 1 화소전극(P11)과 제 2 화소전극(P12) 사이에 전압차가 발생하여 수평전계가 형성된다.

[0028] 종래의 액정 표시장치에서는 공통전극과 화소전극 사이의 전압차에 의해 수평전계가 발생하고, 공통전극에 공급

되는 공통전압이 기준전압(예를 들면 전지전압) 레벨로 설정되기 때문에 전압차가 그리 크지 않다. 그러나, 본 발명의 실시예에 따르는 액정 표시장치에서는 제 1 화소전극과 제 2 화소전극 사이에 걸리는 전압이 양의 데이터 전압과 음의 데이터 전압의 차로 되므로 종래에 비해 2배의 전압차가 발생한다.

- [0029] 따라서, 본 발명의 제 1 실시예에 따르는 액정 표시장치에는 종래보다 2배의 고전압으로 액정을 구동할 수 있게 되는 고효율율을 달성할 수 있는 효과를 얻을 수 있다.
- [0030] 본 발명의 제 1 실시예에 따르는 액정 표시장치는 공통전극을 구비하지 않고 각 화소영역에서 상이한 전압이 인가되는 제 1 화소전극(P11, P21) 및 제 2 화소전극(P12, P22)을 이용하여 액정을 구동시키고 있다. 이런 이유로 박막 트랜지스터들(T11, T12; T21, T22)이 턴오프될 경우, 제 1 및 제 2 화소전극들(P11, P12; P21, P22)이 플로팅 상태로 되어 전압강하 현상이 발생된다.
- [0031] 이러한 현상을 극복하기 위해서는 기준배선(R)을 별도로 추가하여 기준배선(R)과 제 1 및 제 2 화소전극들(P1, P2) 사이에 캐패시터를 형성함으로써 박막 트랜지스터의 턴오프시 전압강하 현상을 줄일 수 있다.
- [0032] 도 2 및 도 3을 참조하여 기준배선이 추가된 본 발명의 제 1 실시예에 따르는 액정 표시장치를 설명하기로 한다.
- [0033] 도 2는 본 발명의 제 1 실시예에 따르는 액정 표시장치의 일부 화소영역을 도시한 평면도이고, 도 3은 도 2의 I-I'라인을 따라 취한 단면도이다.
- [0034] 도 2 및 도 3을 참조하면, 기준라인(R2)은 게이트 라인(G1e)과 나란하게 배치되며 화소영역의 일측에 배치되는 줄기부(Ra)와, 이 줄기부(Ra)로부터 분기되어 화소영역의 타측으로 연장되는 가지부들(Rb)을 포함한다. 기준라인(R2)의 줄기부(Ra)는 제 1 화소전극(P11) 및 제 2 화소전극(P12)과 중첩되도록 배치된다. 기준라인(R2)의 줄기부(Ra)와 제 1 화소전극(P11) 및 제 2 화소전극(P12) 사이에는 보조 캐패시터가 형성되므로 박막 트랜지스터가 턴오프 되더라도 충전된 전하가 유지되어 전압강하를 줄일 수 있는 효과를 얻을 수 있다.
- [0035] 그러나, 인접한 화소영역 사이에 배치되는 데이터 라인과 중첩되는 부위, 즉 두 화소영역의 인접한 화소전극들(예를 들면, P12, P21) 사이의 보호막이 노출되어 있기 때문에 데이터 라인과 화소전극(P11, P21) 사이에 여전히 전계가 작용하여 상부의 액정층에 영향을 끼치는 문제점이 있었다.
- [0036] 이러한 문제점을 해소하기 위해 도 3에 도시된 바와 같이 데이터 라인(D2) 및 기준라인(R)과 중첩되는 게이트 절연막(GI) 상에 블랙 매트릭스를(BM) 배치하고, 블랙 매트릭스(BM)에 의해 구획되는 컬러필터(CF)를 배치하는 COT(Color filter On TFT) 구조를 채택할 수 있다.
- [0037] 그러나 도 3에 도시된 바와 같이, COT(Color filter On TFT) 구조의 액정 표시장치는 블랙매트릭스가 박막 트랜지스터 기판에 구비되므로 투과율이 저하된다는 점에서 불리한 측면이 있다.
- [0038] 본 발명의 제 2 실시예에 따르는 액정 표시장치는 컬러필터가 상부 기판에 배치되는 구조에도 적용가능한 액정 표시장치를 제공하기 위한 것이다. 본 발명의 제 2 실시예에 대한 설명에서는 컬러필터가 상부 기판에 적용되는 경우를 예로 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명의 제 2 실시예에 따르는 액정 표시장치는 당연히 COT 구조에 적용될 수도 있다.
- [0039] 다음으로 도 4를 참조하여 본 발명의 제 2 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다.
- [0040] 도 4는 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이를 개략적으로 도시한 등가 회로도이다.
- [0041] 도 4를 참조하면 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이는 기준 라인(R1~Rn) 및 게이트 라인들(G1o~Gne)과, 데이터 라인들(D1~Dm)의 교차에 의해 정의되는 화소영역들을 포함한다. 화소영역들은 복수의 행과 복수의 열로 배열된다.
- [0042] 각 화소영역에는 2개의 박막 트랜지스터들(예를 들면, T11, T12; T21, T22; T31, T32; T41, T42)과, 박막 트랜지스터들(T11, T12; T21, T22; T31, T32; T41, T42)에 각각 연결되는 화소전극들(P11, P12; P21, p22; P31, P32; P41, P42)과, 화소전극들(P11, P12; P21, P22; P31, P32; P41, P42)에 의해 형성되는 스토리지 캐패시터(Cst) 및 액정 셀(C1c)이 배치된다. 각 화소영역에는 또한 기준라인(R1, R2)과 게이트 라인(G1o, G1e)에 의해 형성되는 보조 캐패시터들(C11, C12; C21, C22; C31, C32; C41, C42)이 배치된다.
- [0043] 제 1 행에 배치되는 화소영역들의 상부에는 제 1 행에 배치된 화소영역의 짝수 번째 열에 배치된 박막 트랜지스터들(T21, T22)을 제어하기 위한 제 1 홀수 번째의 게이트 라인(G1o)과, 제 1 행의 홀수 번째 열에 배치된 화소

전극들(P11, P12)과 보조 캐패시터(C11, C12)를 형성하도록 배치되는 제 1 기준라인(R1)이 배치된다. 제 1 행에 배치되는 화소영역들의 상부에 배치되는 더미배선(Gd1)은 배선의 규칙성을 위해 배치된 것으로 생략될 수 있다.

[0044] 제 1 행에 배치되는 화소영역들의 하부에는 제 1 행에 배치된 화소영역의 홀수 번째 열에 배치된 박막 트랜지스터들(T11, T12)을 제어하기 위한 제 1 짝수 번째의 게이트 라인(G1e)과, 제 1 행의 짝수 열에 배치된 화소전극들(P21, P22)와 보조 캐패시터(C21, C22)를 형성하고, 제 2 행의 홀수 열에 배치된 화소전극들(P31, P32)와 보조 캐패시터(C31, C32)를 형성하는 제 2 기준라인(R2)과, 제 2 행에 배치된 화소영역의 짝수 번째 열에 배치된 박막 트랜지스터들(T41, T42)을 제어하기 위한 제 2 홀수 번째의 게이트 라인(G2o)이 배치된다.

[0045] 제 2 행에 배치되는 화소영역들의 상부에는 제 1 행에 배치되는 화소영역들의 하부에 배치되는 제 1 짝수 번째의 게이트 라인(G1e), 제 2 기준라인(R2) 및 제 2 홀수 번째의 게이트 라인(G2o)이 배치된다.

[0046] 제 2 행에 배치되는 화소영역들의 하부에는 제 2 행에 배치된 화소영역의 홀수 번째 열에 배치된 박막 트랜지스터들(T31, T32)을 제어하기 위한 제 2 짝수 번째의 게이트 라인(G1e)과, 제 2 행의 짝수 열에 배치된 화소전극들(P41, P42)와 보조 캐패시터(C41, C42)를 형성하는 제 3 기준라인(R3)과, 제 3 행에 배치된 화소영역의 홀수 번째 열에 배치된 박막 트랜지스터들을 제어하기 위한 제 3 홀수 번째의 게이트 라인(G3o)이 배치된다.

[0047] 이와 같은 방식으로 제 n 행에 배치되는 영역들의 상부 및 하부 각각에도 홀수 번째 게이트 라인, 기준라인, 및 짝수 번째 게이트 라인이 배치된다.

[0048] 한편, 서로 인접한 데이터 라인들에는 반대 극성의 전압이 공급된다. 예를 들어 홀수 번째 데이터 라인(D1, D3, ...Dn-1)에 양의 전압이 인가되면 짝수 번째 데이터 라인(D2, D3, ...Dn-1)에 음의 전압이 인가된다. 이에 따라 각 화소영역에서는 제 1-1, 제 2-1, 제 3-1 및 제 4-1 화소전극들(P11, P21, P31, P41)과 제 1-2, 제 2-2, 제 3-2 및 제 4-2 화소전극들 (P12, P22, P32, P42) 사이에 전압차가 발생하여 수평전계가 형성된다.

[0049] 본 발명의 제 2 실시예에 따르는 액정 표시장치에서는 제 1 화소전극과 제 2 화소전극 사이에 걸리는 전압이 양의 데이터 전압과 음의 데이터 전압으로 되므로 종래에 비해 2배 이상의 전압차가 발생한다.

[0050] 따라서, 본 발명의 제 2 실시예에 따르는 액정 표시장치에서는 종래보다 2배의 고전압으로 액정을 구동할 수 있게 되어 고투과율의 액정 표시장치를 구현할 수 있는 효과를 얻을 수 있다.

[0051] 또한, 본 발명의 제 2 실시예에 따르는 액정 표시장치에서는 기준라인들(R1, R2, R3)과 화소전극들(P11, P12; P21, P22; P31, P32; P41, P42) 사이에 화소영역마다 보조 캐패시터들(C11, C12; C21, C22; C31, C32; C41, C42)이 형성되므로 박막 트랜지스터의 턴오프시에도 전압강하를 줄일 수 있는 효과를 얻을 수 있다.

[0052] 이하, 도 5 내지 도 6c를 참조하여 본 발명의 제 2 실시예에 따르는 액정 표시장치를 보다 구체적으로 설명하기로 한다.

[0053] 도 5는 도 4에 도시된 화소 어레이의 2개의 화소영역을 도시한 평면도이다. 도 6a는 도 5의 라인 I-I' 라인을 따라 취한 단면도이고, 도 6b는 도 5의 라인 II-II' 라인을 따라 취한 단면도이며, 도 6c는 도 5의 라인 III-III' 라인을 따라 취한 단면도이다.

[0054] 도 5 내지 도 6c를 참조하면, 제 2 방향(예를 들면, 도면의 상하방향)으로 인접한 화소영역들 사이의 기판(SUB) 상에는 현재 행에 배치된 화소영역의 박막 트랜지스터들(T11, T12)에 연결되는 짝수 번째 게이트 라인(G1e)과, 다음 행에 배치된 화소영역의 박막 트랜지스터(T21, T22)에 연결되는 홀수 번째 게이트 라인(G2o)과 이들 게이트 라인(G1e, G2o)과 이격되어 배치되는 기준라인(R)이 배치된다.

[0055] 기준라인(R2)은 게이트 라인(G1e)과 나란하게 배치되며, 화소영역의 일측에 배치되는 줄기부(Ra)와, 이 줄기부(Ra)로부터 분기되어 화소영역의 타측으로 연장되는 가지부들(Rb)을 포함한다. 기준라인(R)의 줄기부(Ra)는 제 1-1 화소전극(P11) 및 제 1-2 화소전극(P12)의 일부분과 중첩되도록 배치된다.

[0056] 동일 행에 배치된 각 화소영역에서는 화소영역의 상측에 배치된 제 1 기준라인(R1)의 줄기부(Ra)와 제 1-1 화소전극(P11) 및 제 1-2 화소전극(P12) 사이에 제 1-1 및 제 1-2 캐패시터들(C11, C12)이 형성되고, 화소영역의 하측에 배치된 짝수 번째 기준라인(R2)의 줄기부(Ra)와 제 2-1 화소전극(P21) 및 제 2-2 화소전극(P22) 사이에 제 2-1 및 제 2-2 캐패시터들(C21, C22)이 형성되므로, 박막 트랜지스터들(T11, T12, T21, T22)이 턴오프 되더라도 충전된 전하가 유지되어 전압강하를 줄일 수 있는 효과를 얻을 수 있다.

[0057] 또한, 기준라인들(R1, R2)의 가지부들(Rb)은 도 6a에 도시된 바와 같이 데이터 라인(D2)과 데이터 라인(D3) 양

측의 화소영역들에 배치된 인접한 제 1-2 및 제 2-1 화소전극들(P12, P21) 사이에 배치되고, 데이터 라인(D2)과 기준라인들(R1, R2)의 가지부들(Rb) 사이의 거리가 데이터 라인(D2)과 화소전극들(P12, P21) 사이의 거리보다 가까우므로 데이터 라인(D2)과 기준라인(R2)의 가지부들(Rb, Rb) 사이에 전계가 형성된다. 따라서, 데이터 라인(D2)과 화소전극들(P12, P21) 사이 발생하는 전계를 방지할 수 있어 액정층에 영향을 미치는 것을 방지할 수 있는 효과를 얻을 수 있다.

[0058] 게이트 라인들(G1e, G2o) 및 기준라인들(R2)이 배치된 기판(SUB) 상에는 이들을 커버하도록 게이트 절연막(GI)이 배치된다.

[0059] 게이트 절연막(GI) 상에는 게이트 라인들(G1e, G2o) 및 기준 라인(R2)의 줄기부(Ra)와 교차하도록, 제 1 및 제 2 데이터 라인들(D1, D2)과 박막 트랜지스터들(T11, T12)의 소스전극들(S11, S12) 및 드레인 전극들(D11, D12)이 배치된다. 제 1-1 박막 트랜지스터(T11)의 소스전극(S11)은 제 1 데이터 라인(D1)에 연결되고, 제 1-2 박막 트랜지스터(T12)의 소스전극(S12)은 제 2 데이터 라인(D2)에 연결된다. 제 1-1 및 제 1-2 박막 트랜지스터(T11)의 소스전극들(S11, S12) 및 드레인 전극들(D11, D12)은 게이트 라인(G1e)에 포함된 게이트 전극(GE)과 중첩되도록 배치된다.

[0060] 게이트 절연막(GI) 상에는 제 1 및 제 2 데이터 라인들(D1, D2)과 박막 트랜지스터들(T11, T12)의 소스전극들(S11, S12) 및 드레인 전극들(D11, D12)을 커버하도록 보호막(PAS)이 배치된다.

[0061] 보호막(PAS) 상에는 제 1-1 화소전극(P11) 및 제 1-2 화소전극(P12)과, 차폐전극(SP)이 배치된다.

[0062] 제 1-1 화소전극(P11) 및 제 1-2 화소전극(P12)은 동일 화소영역의 보호막상(PAS)에 배치된다.

[0063] 제 1-1 화소전극(P11)은 화소영역의 일측에 배치되는 줄기부(P11a)와 그 줄기부(P11a)로부터 분기되어 화소영역 타측으로 연장되는 복수의 가지부들(P11b)을 포함한다. 제 1-1 화소전극(P11)의 줄기부(P11a)는 보호막(PAS) 및 게이트 절연막(GI)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 1-1 박막 트랜지스터(T11)의 드레인 전극(D11)에 접속된다.

[0064] 제 1-2 화소전극(P12)은 화소영역의 타측에 배치되는 줄기부(P12b)와 그 줄기부(P12a)로부터 분기되어 화소영역 일측으로 연장되는 복수의 가지부들(P12b)을 포함한다. 제 1-2 화소전극(P12)의 줄기부(P12a)는 보호막(PAS) 및 게이트 절연막(GI)을 관통하는 제 2 콘택홀(CH2)을 통해 노출된 제 1-2 박막 트랜지스터(T12)의 드레인 전극(D12)에 접속된다.

[0065] 제 1-1 화소전극(P11)의 가지부들(P11b)과 제 1-2 화소전극(P12)의 가지부들(P12b)은 수평 전계를 형성하도록 동일 화소영역에서 번갈아 배치된다.

[0066] 따라서, 제 1 데이터 라인(D1)으로부터 공급되는 제 1 데이터 전압(예를 들면 양의 전압)은 제 1-1 박막 트랜지스터(T11)의 소스전극(S11) 및 드레인 전극(D11)을 통해 제 1-1 화소전극(P11)에 공급되고, 제 2 데이터 라인(D2)으로부터 공급되는 제 2 데이터 전압(예를 들면, 음의 전압)은 제 1-2 박막 트랜지스터(T12)의 소스전극(S12) 및 드레인 전극(D12)을 통해 제 1-2 화소전극(P12)에 공급된다. 따라서, 동일 화소영역에서 제 1-1 화소전극(P11)에 공급되는 제 1 데이터 전압(+)과 제 1-2 화소전극(P12)에 공급되는 제 2 데이터 전압(-)의 전압차에 의한 수평전계를 이용할 수 있으므로 종래보다 2배의 고전압으로 액정을 구동할 수 있게 되는 효과를 얻을 수 있다.

[0067] 한편, 차폐전극(SP)은 제 1 방향(예를 들면, 도면의 수평방향)으로 서로 인접한 화소영역들 사이에서 데이터 라인(예를 들면, D2)과 중첩되도록 배치된다. 차폐전극(SP)은 보호막(PAS) 및 게이트 절연막(GI)을 관통하는 제 3 콘택홀(CH3)을 통해 노출된 기준라인(R2)에 접속된다.

[0068] 기준라인(R2)을 통해 차폐전극(SP)에 공급되는 기준전압은 제 1 및 제 2 데이터 전압의 중간 레벨을 유지하도록 설정될 수 있다.

[0069] 이와 같이, 차폐전극(SP)은 데이터 라인(D2)과 중첩되는 위치에서 제 1-2 화소전극(P12)의 가지부(P12a)와 제 2-1 화소전극(P21)의 가지부(P21a) 사이에 배치되므로, 데이터 라인(D2)과 제 1-2 화소전극(P12)의 가지부(P12a) 사이 및 데이터 라인(D2)과 제 2-1 화소전극(P21)의 가지부(P21a) 사이에 형성되는 전계가 차폐전극(S P)에 의해 차폐된다. 따라서 화소영역의 데이터 라인(D2) 상측의 액정층에 미치는 악영향을 방지할 수 있으므로 표시불량의 문제점을 해결할 수 있는 효과를 얻을 수 있다.

[0070] 한편, 차폐전극(SP)과 그 양쪽으로 인접한 제 1-2 화소전극(P12) 및 제 2-1 화소전극(P21) 사이의 전압차는 동

일 화소영역에서 서로 인접한 제 1-1 화소전극(P11)의 가지부(P11a)와 제 1-2 화소전극(P12)의 가지부(P12a) 사이의 전압차의 1/2이다. 따라서, 차폐전극(SP)과 그 양쪽으로 인접한 제 1-2 화소전극(P12) 및 제 2-1 화소전극(P21) 사이의 거리(d1)는 동일 화소영역에서 서로 인접한 제 1-1 화소전극(P11)의 가지부(P11a)와 제 1-2 화소전극(P12)의 가지부(P12a) 사이의 거리 d2의 1/2로 설정하는 것이 바람직하다.

[0071] 다음으로, 도 7을 참조하여 차폐전극(SP)과 그 양쪽으로 인접한 제 1-2 화소전극(P12) 및 제 2-1 화소전극(P21) 사이의 거리를 줄임으로써 얻을 수 있는 효과에 대해 설명하기로 한다.

[0072] 도 7은 본 발명의 제 2 실시예에 따른 액정 표시장치의 구동전압에 따른 투과도를 도시한 그래프이다.

[0073] 도 7에서 A는 d1이 7.43 μ m일 경우의 투과도를 나타내고, B는 d1이 4 μ m일 경우의 투과도를 나타낸다.

[0074] 도 7을 참조하면, 구동전압 16V인 (a) 위치에서 d2 구간(제 1-1 화소전극(P11)의 가지부(P11a)와 제 1-2 화소전극(P12)의 가지부(P12a) 사이)에서는 최대 투과율을 갖게 된다. 이 때 d1 구간(차폐전극(SP)과 그에 인접한 제 1-2 화소전극(P12) 또는 제 2-1 화소전극(P21) 사이)에서는 16V의 1/2인 8V로 되고, 종래의 간격(예를 들면, 7.43 μ m)으로 설정하면, A의 (c)의 위치에 대응하는 투과도를 얻게 된다. 그러나 본 발명에서처럼 d1 구간의 전극간격을 40% 정도 줄인 4 μ m로 설정하면 B의 (b)에 위치하는 투과도를 얻게 된다. 따라서, d1구간의 간격을 좁힘으로써 투과율을 약 20% 증가시킬 수 있는 효과를 얻을 수 있다.

[0075] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0076] D1~Dm: 데이터 라인

G1o, G2o, ...Gno: 홀수 번째 게이트 라인

G1e, G2e, ...Gne: 짝수 번째 게이트 라인

R1~Rn: 기준라인 Ra: 기준라인의 줄기부

Rb: 기준라인의 가지부 SP: 차폐전극

T11, T12, T21, T23, T31, T32, T41, T42: 박막 트랜지스터

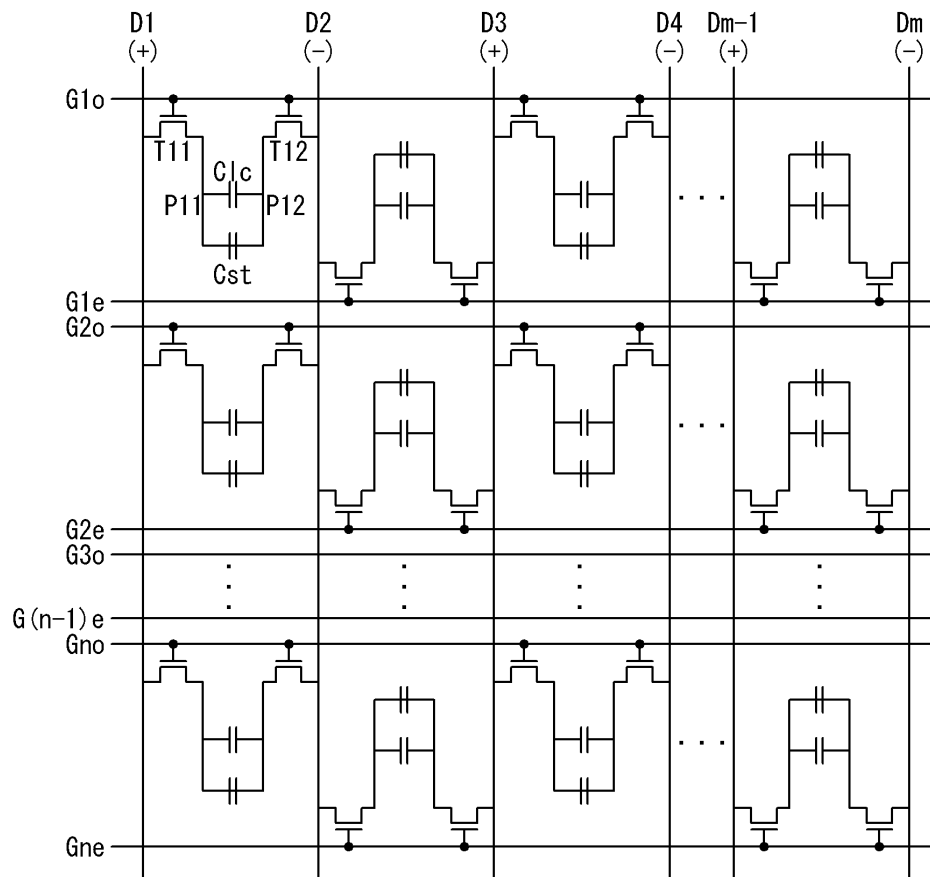
C11, C12, C21, C22, C31, C32, C41, C42: 보조 캐패시터

P11, P12, P21, P22, P31, P32, P41, P42: 화소전극

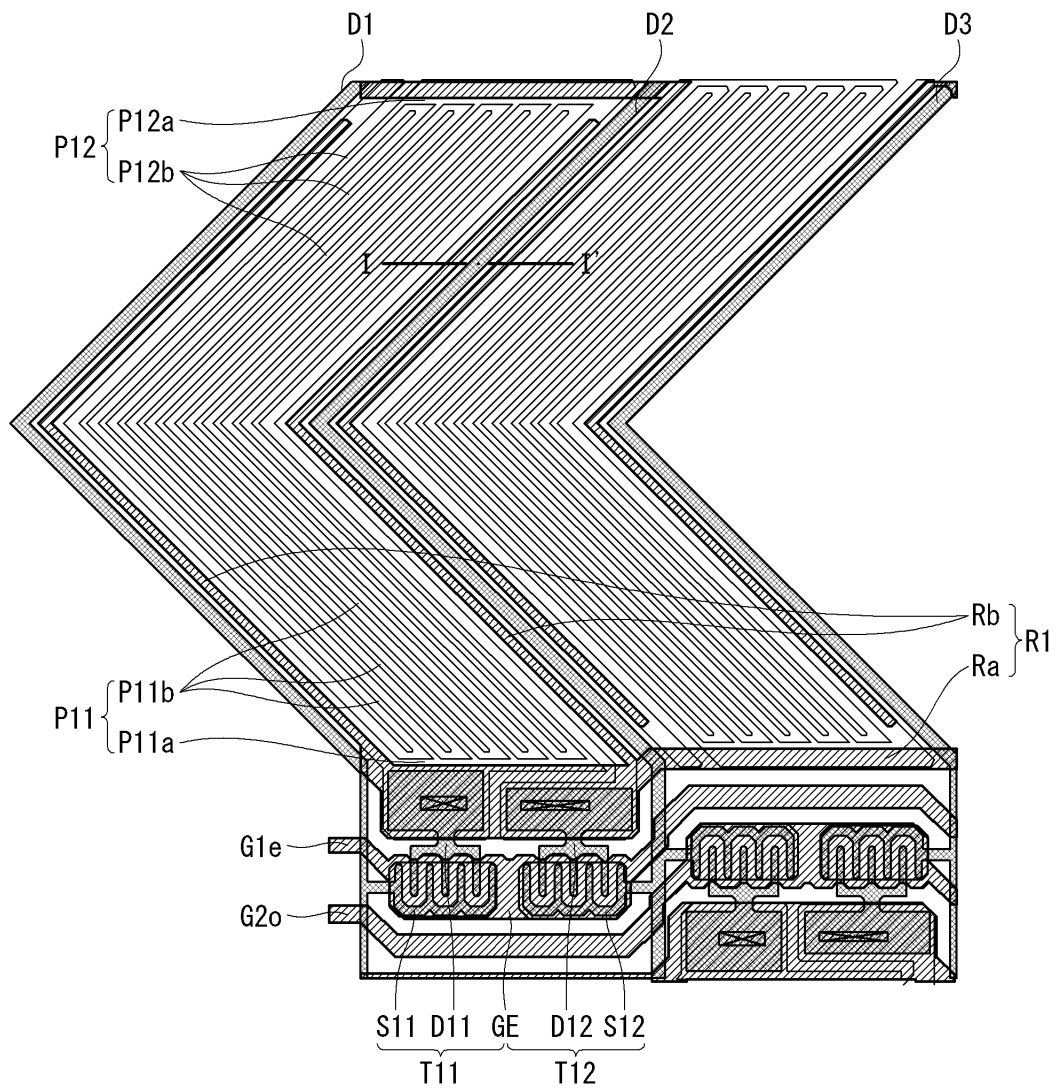
Pa: 화소전극의 줄기부 Pb: 화소전극의 가지부

도면

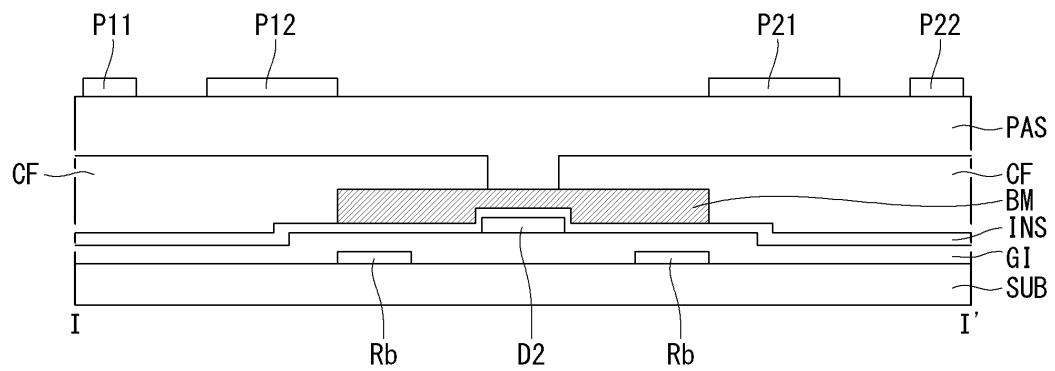
도면1



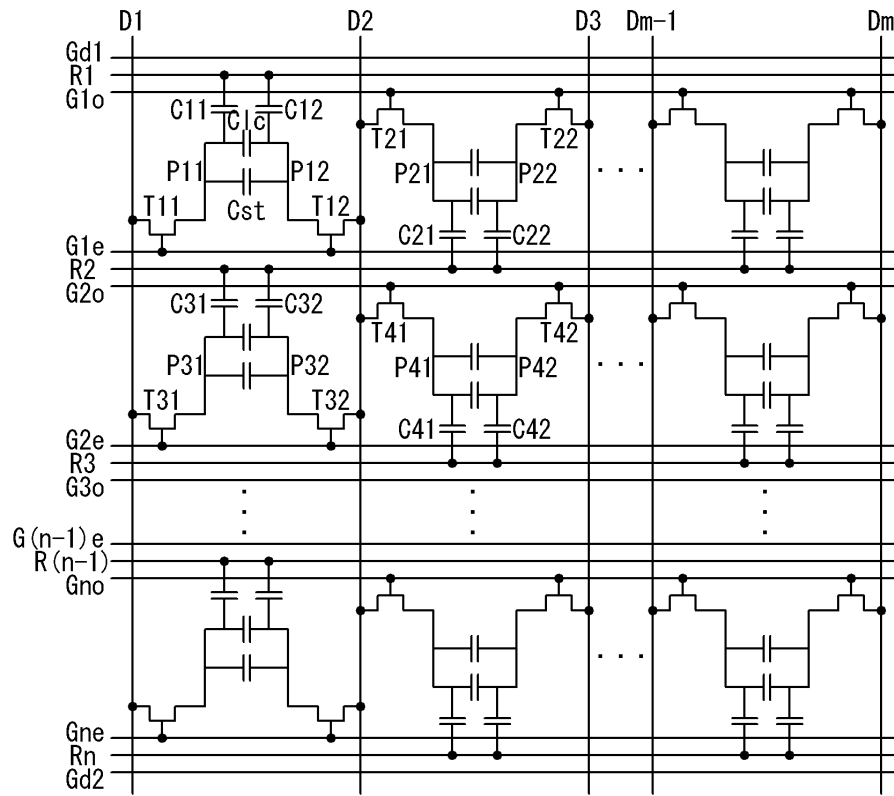
도면2



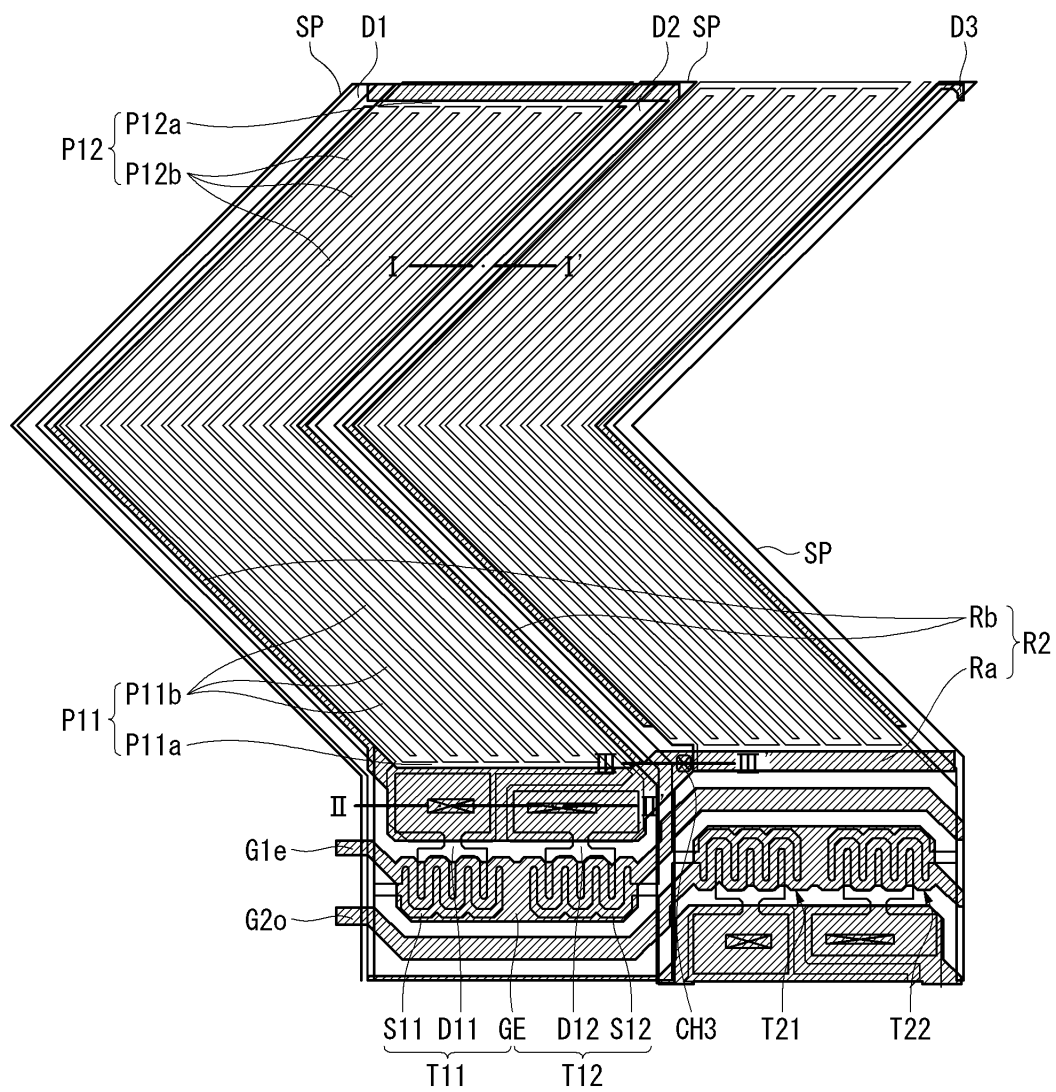
도면3



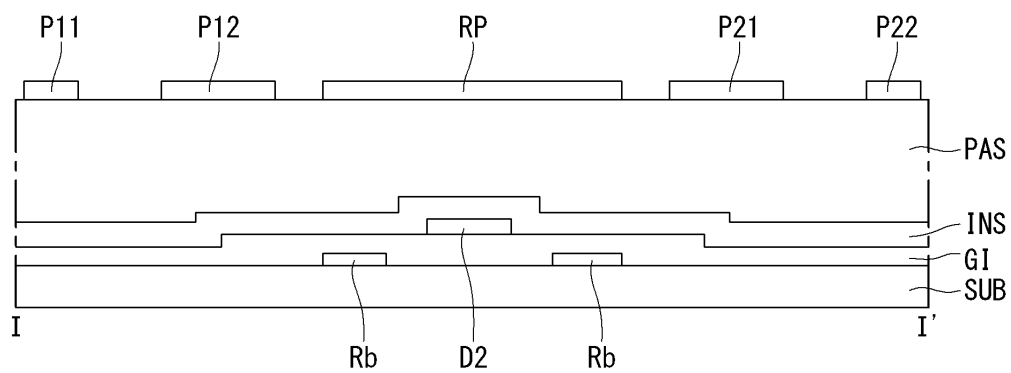
도면4



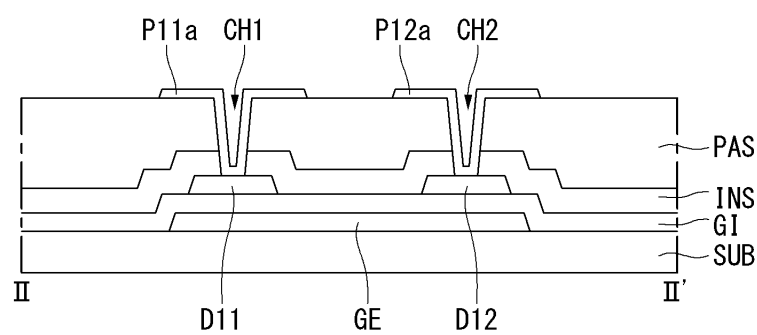
도면5



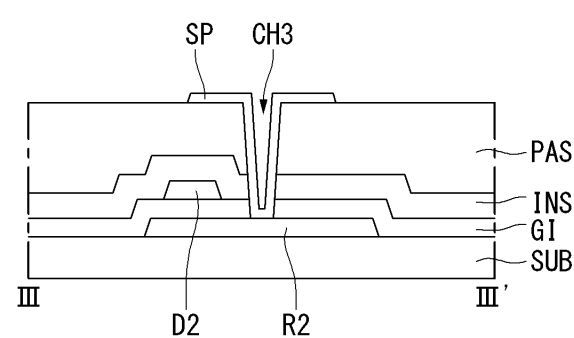
도면 6a



도면6b



도면6c



도면7

