



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년09월08일

(11) 등록번호 10-2299951

(24) 등록일자 2021년09월02일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/133* (2006.01)
G02F 1/1368 (2006.01)
 (52) CPC특허분류
G02F 1/136286 (2013.01)
G02F 1/13306 (2013.01)
 (21) 출원번호 10-2015-0002966
 (22) 출원일자 2015년01월08일
 심사청구일자 2019년12월23일
 (65) 공개번호 10-2016-0086010
 (43) 공개일자 2016년07월19일
 (56) 선행기술조사문헌
 US20140225819 A1*
 US20110242443 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 정광철
 경기도 성남시 수정구 수정로 60, 태평오피스텔 403호 (수진동)
 이선화
 경기도 화성시 메타폴리스로 47-11, 622호 (반송동)
 (뒷면에 계속)
 (74) 대리인
 팬코리아특허법인

전체 청구항 수 : 총 16 항

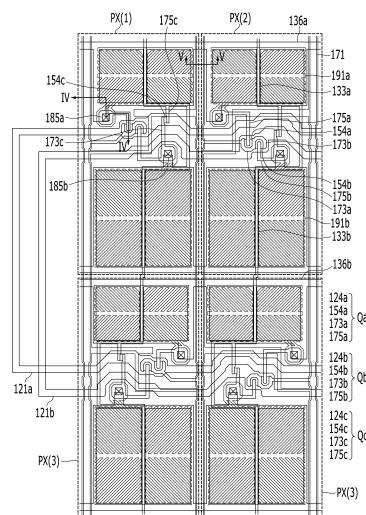
심사관 : 박정근

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명에 따른 액정 표시 장치는 복수의 게이트선과 상기 복수의 게이트선과 절연되고 교차하는 복수의 데이터선; 및 상기 복수의 게이트선 및 상기 복수의 데이터선과 연결되어 있는 복수의 단위 화소를 포함하고, 복수의 단위 화소는 1행 1열에 위치하는 제1 화소, 1행 2열에 위치하는 제2 화소, 2행 1열에 위치하는 제3 화소, 및 2행 2열에 위치하는 제4 화소를 포함하고, 상기 제1 화소와 상기 제3 화소 사이 및 상기 제2 화소와 상기 제4 화소 사이에는 제1 게이트선과 제2 게이트선이 나란히 배치되어 있고, 상기 제1 게이트선은 이웃하는 서로 다른 행에서 각각 상기 제1 화소 및 상기 제3 화소와 연결되어 있고, 상기 제2 게이트선은 이웃하는 서로 다른 행에서 각각 상기 제2 화소 및 상기 제4 화소와 연결되어 있다.

대표도 - 도3



(52) CPC특허분류

G02F 1/1362 (2013.01)

G02F 1/1368 (2013.01)

(72) 발명자

임상욱

경기도 용인시 기흥구 탑실로 15, 104동 1601호 (공세동, 탑실마을대주피오레1단지아파트)

정미혜

경기도 수원시 장안구 천천로74번길 92, 824동 1402호 (정자동, 대월마을대림진흥아파트)

명세서

청구범위

청구항 1

복수의 게이트선과 상기 복수의 게이트선과 절연되고 교차하는 복수의 데이터선; 및

상기 복수의 게이트선 및 상기 복수의 데이터선과 연결되어 있는 복수의 단위 화소를 포함하고,

복수의 단위 화소는 1행 1열에 위치하는 제1 화소, 1행 2열에 위치하는 제2 화소, 2행 1열에 위치하는 제3 화소, 2행 2열에 위치하는 제4 화소, 3행 1열에 위치하는 제5 화소, 및 3행 2열에 위치하는 제6 화소를 포함하고,

상기 제1 화소와 상기 제3 화소 사이 및 상기 제2 화소와 상기 제4 화소 사이에는 제1 게이트선과 제2 게이트선이 나란히 배치되어 있고,

상기 제1 게이트선은 제1 서브 배선 및 제2 서브 배선을 포함하고,

상기 제1 서브 배선은 상기 제1 화소와 상기 제3 화소 사이에 위치하고 상기 제1 화소와 연결되어 있고,

상기 제2 서브 배선은 상기 제3 화소와 상기 제5 화소 사이에 위치하고 상기 제3 화소와 연결되어 있고,

상기 제2 게이트선은 이웃하는 서로 다른 행에서 각각 상기 제2 화소 및 상기 제4 화소와 연결되어 있고,

상기 제1 서브 배선 및 상기 제2 서브 배선은 상기 화소 영역 밖에서 서로 연결되어 있는 액정 표시 장치.

청구항 2

제1항에서,

열 방향으로 서로 이웃하는 상기 제2 게이트선은 화소 영역 밖에서 서로 연결되어 있는 액정 표시 장치.

청구항 3

제2항에서,

상기 복수의 데이터선은 행 방향으로 이웃하여 배치되어 있는 복수의 화소 사이에 배치되어 있고,

행 방향으로 배치되어 있는 복수의 화소는 정극성(+)과 부극성(-)을 번갈아 가지는 액정 표시 장치.

청구항 4

제3항에서,

상기 정극성(+) 및 부극성(-)은 상기 복수의 데이터선에 인가되는 데이터 전압의 공통 전압에 대한 극성이 서로 반대인 액정 표시 장치.

청구항 5

제3항에서,

상기 복수의 데이터선은 열 방향으로 배치되어 있는 복수의 화소와 지그재그 형태로 번갈아 연결되어 있는 액정 표시 장치.

청구항 6

제3항에서,

상기 열 방향은 위에서 아래로 향하는 방향이고, 상기 행 방향은 좌에서 우로 향하는 방향을 의미하는 액정 표시 장치.

청구항 7

제1항에서,

상기 단위 화소는 서로 교차하는 상기 게이트선과 상기 데이터선에 의하여 구분되는 액정 표시 장치.

청구항 8

제7항에서,

상기 제1 화소는 적색의 컬러 표시 화소이고, 상기 제2 화소는 녹색의 컬러 표시 화소이고, 상기 제3 화소는 청색의 컬러 표시 화소이고, 상기 제4 화소는 백색의 컬러 표시 화소인 액정 표시 장치.

청구항 9

제1항에서,

상기 복수의 화소는 제1 부화소 전극과 제2 부화소 전극을 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 게이트선과 상기 제2 게이트선은 상기 제1 부화소 전극과 상기 제2 부화소 전극 사이에 나란히 배치되어 있는 액정 표시 장치.

청구항 11

제10항에서,

상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터;

상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터; 및

상기 제2 박막 트랜지스터 및 기준 전압선과 연결되어 있는 제3 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 내지 제3 박막 트랜지스터는 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하고,

상기 드레인 전극과 상기 제1 및 제2 부화소 전극은 접촉 구멍을 통해서 연결되는 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 및 상기 제3 박막 트랜지스터는 상기 제1 게이트선 또는 상기 제2 게이트선 위에 위치하고 있는 액정 표시 장치

청구항 14

제13항에서,

상기 접촉 구멍은 상기 제1 및 제2 게이트선과 상기 제1 및 제2 부화소 전극 사이에 배치되어 있는 액정 표시 장치.

청구항 15

제14항에서,

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터, 및 상기 접촉 구멍은 상기 제1 게이트선과 상기 제2 게이트선 사이에 배치되어 있는 액정 표시 장치.

청구항 16

제15항에서,

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 상기 제3 박막 트랜지스터, 및 상기 접촉 구멍은 수평 방향으로 나란히 배치되어 있는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 본 발명은 액정 표시 장치의 구동 장치에 관한 것으로서, 특히 수평 크로스토크를 제거할 수 있는 액정 표시 장치의 구동 장치에 관한 것이다.

[0003] 일반적인 액정 표시 장치는 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor, TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.

[0004] 이 때, 액정은 직류 전압을 오랫동안 인가하면 특성열화가 일어나며, 이를 방지하기 위해서 인가전압의 극성을 주기적으로 바꾸어 구동하며, 이를 극성반전 구동법이라 한다.

[0005] 극성반전 구동법에는 프레임 반전, 라인 반전, 컬럼 반전, 도트 반전 구동법이 있으며, 한 화소행에 인가되는 데이터 전압의 극성을 서로 다르게 하는 도트 반전 구동법이 가장 우수한 화질을 구현함으로 일반적으로 사용되고 있다.

[0006] 한편, 액정 표시 장치의 휘도 증가를 위하여 색필터층에 투명 영역이 포함되는 RGBW 픽셀 구조가 제안되었고, RGBW 픽셀 구조에서는 2도트 반전 방식이 일반적으로 사용되고 있다.

발명의 내용

해결하려는 과제

[0007] 이때, RGBW 픽셀 구조에서 2도트 반전 방식을 사용하는 경우, 열 방향으로 이웃하는 화소 사이의 차광 부재 폭이 상이하게 형성되어 가로줄 얼룩이 발생하는 문제가 있다.

[0008] 또한, 제1 절연 기관과 제2 절연 기관의 미스 얼라인 시 게이트선과 화소 전극 사이의 기생 용량에 의해 발생하는 킥백 전압(Vkb)의 편차가 발생하는 문제가 있다.

[0009] 본 발명의 목적은 가로줄 얼룩 및 킥백 전압의 편차를 줄여 화질을 개선할 수 있는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0010] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따른 액정 표시 장치는 복수의 게이트선과 상기 복수의 게이트선과 절연되고 교차하는 복수의 데이터선; 및 상기 복수의 게이트선 및 상기 복수의 데이터선과 연결되어 있는 복수의 단위 화소를 포함하고, 복수의 단위 화소는 1행 1열에 위치하는 제1 화소, 1행 2열에 위치하는 제2 화소, 2행 1열에 위치하는 제3 화소, 및 2행 2열에 위치하는 제4 화소를 포함하고, 상기 제1 화소와 상기 제3 화소 사이 및 상기 제2 화소와 상기 제4 화소 사이에는 제1 게이트선과 제2 게이트선이 나란히 배치되어 있고, 상기 제1 게이트선은 이웃하는 서로 다른 행에서 각각 상기 제1 화소 및 상기 제3 화소와 연결되어 있고, 상기 제2 게이트선은 이웃하는 서로 다른 행에서 각각 상기 제2 화소 및 상기 제4 화소와 연결되어 있다.

[0011] 열 방향으로 서로 이웃하는 상기 제1 게이트선은 화소 영역 밖에서 서로 연결되어 있고, 열 방향으로 서로 이웃하는 상기 제2 게이트선은 화소 영역 밖에서 서로 연결될 수 있다.

- [0012] 상기 복수의 데이터선은 행 방향으로 이웃하여 배치되어 있는 복수의 화소 사이에 배치되어 있고, 행 방향으로 배치되어 있는 복수의 화소는 정극성(+)과 부극성(-)을 번갈아 가질 수 있다.
- [0013] 상기 정극성(+) 및 부극성(-)은 상기 복수의 데이터선에 인가되는 데이터 전압의 공통 전압에 대한 극성이 서로 반대일 수 있다.
- [0014] 상기 복수의 데이터선은 열 방향으로 배치되어 있는 복수의 화소와 지그재그 형태로 번갈아 연결될 수 있다.
- [0015] 상기 열 방향은 위에서 아래로 향하는 방향이고, 상기 행 방향은 좌에서 우로 향하는 방향을 의미할 수 있다.
- [0016] 상기 단위 화소는 서로 교차하는 상기 게이트선과 상기 데이터선에 의하여 구분될 수 있다.
- [0017] 상기 제1 화소는 적색의 컬러 표시 화소이고, 상기 제2 화소는 녹색의 컬러 표시 화소이고, 상기 제3 화소는 청색의 컬러 표시 화소이고, 상기 제4 화소는 백색의 컬러 표시 화소일 수 있다.
- [0018] 상기 복수의 화소는 제1 부화소 전극과 제2 부화소 전극을 포함할 수 있다.
- [0019] 상기 제1 게이트선과 상기 제2 게이트선은 상기 제1 부화소 전극과 상기 제2 부화소 전극 사이에 나란히 배치될 수 있다.
- [0020] 상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터; 상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터; 및 상기 제2 박막 트랜지스터 및 기준 전압선과 연결되어 있는 제3 박막 트랜지스터를 포함할 수 있다.
- [0021] 상기 제1 내지 제3 박막 트랜지스터는 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하고, 상기 드레인 전극과 상기 제1 및 제2 부화소 전극은 접촉 구멍을 통해서 연결될 수 있다.
- [0022] 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 및 상기 제3 박막 트랜지스터는 상기 제1 게이트선 또는 상기 제2 게이트선 위에 위치할 수 있다.
- [0023] 상기 접촉 구멍은 상기 제1 및 제2 게이트선과 상기 제1 및 제2 부화소 전극 사이에 배치될 수 있다.
- [0024] 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터, 및 상기 접촉 구멍은 상기 제1 게이트선과 상기 제2 게이트선 사이에 배치될 수 있다.
- [0025] 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터, 및 상기 접촉 구멍은 수평 방향으로 나란히 배치될 수 있다.
- [0026] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

- [0027] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0028] 본 발명은 화소 영역에서 나란히 배치되어 있는 제1 게이트선과 제2 게이트선을 포함하고, 제1 및 제2 게이트선은 각각 열 방향으로 인접하는 화소와 서로 다른 행에서 동시에 연결되고, 제1 게이트선은 행 방향으로 이웃하는 하나의 화소와 연결되어 있고, 제2 게이트선은 행 방향으로 이웃하는 나머지 하나의 화소와 연결됨으로써 열 방향으로 인접한 화소 사이의 차광 부재 폭을 동일하게 형성하여 가로줄 얼룩의 발생을 줄이고, 스위칭 소자의 단자 간 기생 용량에 의해 발생하는 킥백 전압의 편차를 줄여 화질을 향상시킬 수 있다.
- [0029] 본 발명은 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 및 접촉 구멍이 수평 방향으로 나란히 배치됨으로써, 차광 부재의 폭을 줄여서 개구율을 향상시키고, 게이트선과 드레인 전극 간의 기생 커패시터를 줄일 수 있다.
- [0030] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

- [0031] 도 1는 본 발명의 일 실시예에 따른 신호 배선 및 화소 배치의 개념도이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 한 화소에 대한 회로도이다.

도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 단위 화소에 대한 평면도이다.

도 4는 도 3의 IV-IV선에 따라 자른 단면도이다.

도 5는 도 3의 V-V선을 따라 자른 단면도이다.

도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 전기장 생성 전극의 한 기본 영역을 도시한 평면도이다.

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 단위 화소에 대한 평면도이다.

도 8은 본 발명의 비교예에 따른 신호 배선 및 화소 배치의 개념도이다.

제 9는 본 발명의 비교예에 따른 액정 표시 장치의 단위 화소에 대한 평면도이다.

도 10은 본 발명의 비교예에 따른 액정 표시 장치의 가로줄 얼룩을 나타내는 도면이다.

도 11은 본 발명의 비교예에 따른 액정 표시 장치의 킥백 전압의 편차를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0033] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0034] 본 발명에서 사용되는 용어 "화소"은 하나의 화소 전극(191)에 의해 정의되는 화소 단위를 의미한다.
- [0035] 또한, 본 발명에서 사용되는 용어 "극성"은 소정의 전압을 기준으로 높고 낮음을 나타내는 것으로서, 일례로써 공통 전압을 기준으로 데이터선에 인가되는 높은 데이터 전압을 가지는 경우는 정극성(+), 낮은 데이터 전압을 가지는 경우는 부극성(-)을 의미한다.
- [0036] 또한, 본 발명에서 사용되는 용어 "열 방향"은 위에서 아래로 향하는 방향을 의미하고, "행 방향"은 좌에서 우로 향하는 방향을 의미한다.
- [0037] 우선, 도 1을 참조하여 본 발명의 일 실시예에 따른 신호 배선 및 화소 배치를 설명한다.
- [0038] 도 1는 본 발명의 일 실시예에 따른 신호 배선 및 화소 배치의 개념도로서, RGBW 픽셀 구조의 액정 표시 장치의 2도트 반전 구동 방식을 설명하기 위한 도면이다.
- [0039] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 화소(PX)는 행렬 형태로 배치될 수 있다.
- [0040] 복수의 화소는 열 방향으로 배치되어 있는 복수의 게이트선(G) 및 복수의 게이트선(G)과 절연되고 교차하며 행 방향으로 배치되어 있는 복수의 데이터선(D)과 연결되어 있다.
- [0041] 본 발명의 일 실시예에 따른 액정 표시 장치는 상하 좌우 모든 방향에서 인접 화소간 데이터 전압의 극성이 반대로 구동되는 경우이며, 이를 2도트 반전이라 지칭한다.
- [0042] 이때, 액정 표시 장치는 서로 교차하는 데이터선(D)과 게이트선(G)에 의하여 구분되는 4개의 화소가 2 X 2 행렬(matrix)로 배치되어 있는 복수의 단위 화소를 포함할 수 있다.
- [0043] 즉, 복수의 단위 화소는 1행 1열에 위치하는 제1 화소(PX(1)), 1행 2열에 위치하는 제2 화소(PX(2)), 2행 1열에 위치하는 제3 화소(PX(3)), 및 2행 2열에 위치하는 제4 화소(PX(4))를 포함할 수 있다.
- [0044] 일례로써, 1행에는 우측 방향으로 적색의 컬러 표시 화소, 녹색의 컬러 표시 화소, 청색의 컬러 표시 화소, 백색의 컬러 표시 화소가 차례로 반복되어 형성될 수 있고, 2행에는 우측 방향으로 청색의 컬러 표시 화소, 백색의 컬러 표시 화소, 적색의 컬러 표시 화소, 녹색의 컬러 표시 화소가 차례로 반복되어 형성될 수 있다.
- [0045] 제1 단위 화소의 제1 화소(PX(1))은 적색의 컬러표시 화소이고, 제2 화소(PX(2))는 녹색의 컬러표시 화소이고,

제3 화소(PX(3))는 청색의 컬러표시 화소이고, 제4 화소(PX(4))는 백색의 컬러표시 화소로 이루어질 수 있고, 제1 단위 화소와 행 방향으로 이웃하는 제2 단위 화소의 제1 화소(PX(1))은 청색의 컬러표시 화소이고, 제2 화소(PX(2))는 백색의 컬러표시 화소이고, 제3 화소(PX(3))는 적색의 컬러표시 화소이고, 제4 화소(PX(4))는 녹색의 컬러표시 화소로 이루어질 수 있다.

[0046] 이때, 대각선 방향으로 배치되어 있는 제1 화소(PX(1))와 제4 화소(PX(4))에 인가되는 데이터 전압의 공통 전압에 대한 극성은 서로 동일하고, 역대각선 방향으로 배치되어 있는 제2 화소(PX(2))와 제3 화소(PX(3))에 인가되는 데이터 전압의 공통 전압에 대한 극성도 동일할 수 있다.

[0047] 또한, 제1 화소(PX(1))에 인가되는 데이터 전압의 공통 전압에 대한 극성은 제1 화소(PX(1))와 행 방향 또는 열 방향으로 이웃하는 제2 화소(PX(2)) 및 제3 화소(PX(3))에 인가되는 데이터 전압의 공통 전압에 대한 극성과 반대된다.

[0048] 예를 들어, 제1 화소(PX(1))와 제4 화소(PX(4))는 정극성(+)을 나타내고, 제2 화소(PX(2)) 및 제3 화소(PX(3))는 부극성(-)을 나타낼 수 있다.

[0049] 나아가 도시하지는 않았지만, 본 발명의 다른 실시예로서, 열 방향으로 인접하는 복수의 단위 화소는 동일한 극성을 나타내고, 행 방향으로 인접하는 복수의 단위 화소는 서로 다른 극성을 나타낼 수 있다.

[0050] 예를 들어, 제1 단위 화소에 포함되어 있는 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 및 제4 화소(PX(4)) 모두 정극성(+)을 나타내고, 제1 단위 화소와 행 방향으로 인접되어 있는 제2 단위 화소의 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 및 제4 화소(PX(4)) 모두 부극성(-)을 나타낼 수 있다. 또한, 제1 단위 화소와 열 방향으로 인접되어 있는 제2 단위 화소의 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 및 제4 화소(PX(4)) 모두 정극성(+)을 나타낼 수 있다.

[0051] 이러한 단위 화소는 열 방향 또는 행 방향으로 반복되어 형성될 수 있다.

[0052] 열 방향으로 이웃하는 복수의 화소 사이 즉, 제1 화소(PX(1))와 제3 화소(PX(3)) 사이 및 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에는 제1 게이트선(G1)과 제2 게이트선(G2)이 나란히 배치되어 있다.

[0053] 제1 게이트선(G1)은 열 방향으로 이웃하면서, 행 방향으로 $2n-1$ (n 은 자연수)번째 화소와 연결될 수 있고, 제2 게이트선(G2)은 열 방향으로 이웃하면서, 행 방향으로 $2n$ (n 은 자연수)번째 화소와 연결될 수 있다.

[0054] 예를 들어, 제1 게이트선(G1)은 열 방향으로 이웃하는 제1 화소(PX(1)) 및 제3 화소(PX(3))와 연결될 수 있고, 제1 화소(PX(1))와의 연결과 제3 화소(PX(3))와의 연결은 서로 다른 행에서 이루어 질 수 있다.

[0055] 이때, 열 방향으로 서로 이웃하는 제1 게이트선(G1)은 화소 영역 밖에서 서로 연결되어 있다.

[0056] 즉, 제1 게이트선(G1)은 서로 다른 행에서 열 방향으로 이웃하는 제1 화소(PX(1)) 및 제3 화소(PX(3))와 연결됨으로써 제1 화소(PX(1)) 및 제3 화소(PX(3))를 동시에 구동할 수 있다.

[0057] 제2 게이트선(G2)은 열 방향으로 이웃하는 제2 화소(PX(2)) 및 제4 화소(PX(4))와 연결될 수 있고, 제2 화소(PX(2))와의 연결과 제4 화소(PX(4))와의 연결은 서로 다른 행에서 이루어 질 수 있다.

[0058] 이때, 열 방향으로 서로 이웃하는 제2 게이트선(G2)은 화소 영역 밖에서 서로 연결되어 있다.

[0059] 제2 게이트선(G2)도 서로 다른 행에서 열 방향으로 이웃하는 제2 화소(PX(2)) 및 제4 화소(PX(4))와 연결됨으로써 제2 화소(PX(2)) 및 제4 화소(PX(4))를 동시에 구동할 수 있다.

[0060] 데이터선(D)는 행 방향으로 이웃하여 배치되어 있는 복수의 화소 사이를 정극성(+)과 부극성(-)이 번갈아 가도록 배치될 수 있다.

[0061] 이하에서는 도 2 내지 도 5를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치에 대해서 자세히 설명한다.

[0062] 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 한 화소에 대한 회로도이고, 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 단위 화소에 대한 평면도이고, 도 4는 도 3의 IV-IV선에 따라 자른 단면도이고, 도 5는 도 3의 V-V선을 따라 자른 단면도이다.

[0063] 먼저 도 2를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치가 포함하는 한 화소(PX)는 제1 부화소(PXa)

및 제2 부화소(PXb)를 포함한다. 제1 부화소(PXa)는 적어도 한 데이터선(Dj) 및 적어도 한 게이트선(Gi)에 연결되어 있는 제1 스위칭 소자(Qa) 및 제1 스위칭 소자(Qa)와 연결되어 있는 제1 액정 축전기(Clca)를 포함하고, 제2 부화소(PXb)는 적어도 한 데이터선(Dj) 및 적어도 한 게이트선(Gi)에 연결되어 있는 제2 스위칭 소자(Qb), 분압 스위칭 소자(dividing switching element)(Qr), 그리고 이들과 연결되어 있는 제2 액정 축전기(Clcb)를 포함한다.

[0064] 제1 스위칭 소자(Qa)는 박막 트랜지스터 등의 삼단자 소자로서 게이트선(Gi)에 연결되어 있는 제어 단자, 데이터선(Dj)에 연결되어 있는 입력 단자, 그리고 제1 액정 축전기(Clca)에 연결되어 있는 출력 단자를 포함한다. 본 발명의 구동 방법에 따르면, 제1 스위칭 소자(Qa)는 게이트선(Gi)이 전달하는 게이트 신호에 따라 제어되어 데이터선(Dj)이 전달하는 데이터 전압을 제1 액정 축전기(Clca)에 전달할 수 있다.

[0065] 제2 스위칭 소자(Qb)는 박막 트랜지스터 등의 삼단자 소자로서 게이트선(Gi)에 연결되어 있는 제어 단자, 데이터선(Dj)에 연결되어 있는 입력 단자, 그리고 제2 액정 축전기(Clcb) 및 분압 스위칭 소자(Qr)의 입력 단자에 연결되어 있는 출력 단자를 포함한다. 본 발명의 구동 방법에 의하면, 제2 스위칭 소자(Qb)는 게이트선(Gi)이 전달하는 게이트 신호에 따라 제어되어 데이터선(Dj)이 전달하는 데이터 전압을 제2 액정 축전기(Clcb)에 전달할 수 있다.

[0066] 분압 스위칭 소자(Qr)는 박막 트랜지스터 등의 삼단자 소자로서 게이트선(Gi)에 연결되어 있는 제어 단자, 제2 스위칭 소자(Qb)의 출력 단자에 연결되어 있는 입력 단자, 기준 전압선(Vst)에 연결되어 있는 출력 단자를 포함한다. 분압 스위칭 소자(Qr)는 게이트선(Gi)이 전달하는 게이트 신호에 따라 제어되며, 분압 스위칭 소자(Qr) 및 제2 스위칭 소자(Qb)가 턴온되면 데이터선(Dj)이 전달하는 데이터 전압이 제2 스위칭 소자(Qb) 및 분압 스위칭 소자(Qr)에 의해 분압되어 제2 액정 축전기(Clcb)에 전달될 수 있다.

[0067] 제1 부화소(PXa) 및 제2 부화소(PXb)는 하나의 입력 영상 신호(IDAT)에 대해 서로 다른 감마 곡선에 따른 영상을 표시할 수도 있고 동일한 감마 곡선에 따른 영상을 표시할 수도 있다. 여기서 감마 곡선이란 입력 영상 신호(IDAT)의 계조에 대한 휘도 또는 투과율을 나타낸 곡선을 의미한다.

[0068] 본 발명의 일 실시예에 따르면, 제2 부화소(PXb)가 따르는 감마 곡선은 분압 스위칭 소자(Qr)와 제2 스위칭 소자(Qb)의 저항비, 기준 전압 등의 제어에 의해 조절될 수 있다. 이와 같이 제2 액정 축전기(Clcb)의 충전 전압을 분압 스위칭 소자(Qr), 기준 전압 등의 제어를 통해 조절함으로써 두 부화소(PXa, PXb)의 휘도가 달라지게 할 수 있고, 제1 액정 축전기(Clca)에 충전되는 전압(Clca)과 제2 액정 축전기(Clcb)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.

[0069] 도 3 내지 도 5를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 단위 화소는 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 제4 화소(PX(4))를 포함할 수 있다.

[0070] 먼저 하부 표시판(100)에 대하여 설명한다.

[0071] 투명한 유리 또는 플라스틱 등으로 만들어진 제1 절연 기관(110) 위에 게이트 도전체가 형성되어 있다. 게이트 도전체는 화소 영역에서 가로 방향으로 뻗은 게이트선(121), 게이트선 상하에 가로로 위치하는 제1 유지 전극선(131a, 131b), 화소 영역의 가장자리 상하에 가로로 위치하는 제2 유지 전극선(136a, 136b)을 포함한다.

[0072] 이때 게이트선(121)은 화소 영역에서 나란히 배치되어 있는 제1 게이트선(121a)과 제2 게이트선(121b)을 포함한다.

[0073] 제1 게이트선(121a)은 제1 화소 영역(PX(1))과 제2 화소 영역(PX(2))에서 가로 방향으로 뻗어 있는 가로선과 제3 화소 영역(PX(3))과 제4 화소 영역(PX(4))에서 가로 방향으로 가로선이 화소 영역 외곽에서 서로 연결되어 있다.

[0074] 제2 게이트선(121b)도 제1 화소 영역(PX(1))과 제2 화소 영역(PX(2))에서 가로 방향으로 뻗어 있는 가로선과 제3 화소 영역(PX(3))과 제4 화소 영역(PX(4))에서 가로 방향으로 가로선이 화소 영역 외곽에서 서로 연결되어 있다.

[0075] 이때, 제1 게이트선(121a)은 서로 다른 행에서 제1 화소 영역(PX(1))에 위치하는 화소 전극 및 제3 화소 영역(PX(3))에 위치하는 화소 전극과 각각 연결되어 있다.

[0076] 제2 게이트선(121b)도 서로 다른 행에서 제2 화소 영역(PX(2))에 위치하는 화소 전극 및 제4 화소 영역(PX(4))

에 위치하는 화소 전극과 각각 연결되어 있다.

- [0077] 게이트선(121) 및 유지 전극선(131a, 131b) 위에는 게이트 절연막(140)이 위치한다.
- [0078] 게이트 절연막(140) 위에는 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)가 위치한다.
- [0079] 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)는 제1 게이트선(121a) 또는 제2 게이트선(121b)과 중첩되어 게이트 절연막(140) 위에 위치한다.
- [0080] 예를 들어, 열 방향으로 이웃하는 제1 화소 영역(PX(1))과 제3 화소 영역(PX(3))에 위치하는 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)는 제1 게이트선(121a)과 중첩되어 위치하고, 열 방향으로 이웃하는 제2 화소 영역(PX(2))과 제4 화소 영역(PX(4))에 위치하는 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)는 제2 게이트선(121b)과 중첩되어 위치할 수 있다.
- [0081] 반도체(154a, 154b, 154c) 위에는 복수의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)가 위치한다. 다만, 반도체(154a, 154b, 154c)가 산화물 반도체인 경우, 복수의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)는 생략될 수 있다.
- [0082] 복수의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c) 및 게이트 절연막(140) 위에는 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함하는 복수의 데이터선(171), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 위치한다.
- [0083] 이때 데이터 도전체 및 그 아래에 위치되어 있는 반도체 및 저항성 접촉 부재는 하나의 마스크를 이용하여 동시에 형성될 수 있다.
- [0084] 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 하나의 제1 스위칭 소자(또는 제1 박막 트랜지스터)(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체(154a)에 형성된다. 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 하나의 제2 스위칭 소자(또는 제2 박막 트랜지스터)(Qb)를 이루며, 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 하나의 제3 스위칭 소자(또는 분압 스위칭 소자, 제3 박막 트랜지스터)(Qc)를 이루며, 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체(154c)에 형성된다. 이때 제2 드레인 전극(175b)은 제3 소스 전극(173c)과 연결되어 있다.
- [0085] 데이터 도전체(171, 173c, 175a, 175b, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 제1 보호막(180p)이 위치한다. 제1 보호막(180p)은 절화구소 또는 산화구소 등의 무기 절연막을 포함할 수 있다. 제1 보호막(180p)은 색 필터(230)의 안료가 노출된 반도체(154a, 154b, 154c) 부분으로 유입되는 것을 방지할 수 있다.
- [0086] 제1 보호막(180p) 위에는 색 필터(230)가 위치한다. 색 필터(230)는 서로 인접한 두 개의 데이터선(171)을 따라 세로 방향으로 뻗어 있다.
- [0087] 본 발명의 일 실시예에 따른 색 필터(230)의 재질은 저유전율 물질일 수 있으며, 이에 따라 도 5에 도시된 바와 같이 색 필터(230)에 의한 소정의 간격으로 이격된 기준 전압선(133a)과 화소 전극(191a) 사이의 커플링을 방지할 수 있다.
- [0088] 색 필터(230) 위에는 제2 보호막(180r)이 위치할 수 있다. 제1 보호막(180p) 및 제2 보호막(180r)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 제1 접촉 구멍(contact hole)(185a) 및 제2 접촉 구멍(185b)이 형성되어 있다.
- [0089] 제1 접촉 구멍(185a)은 제1 게이트선(185a)과 후술하는 제1 부화소 전극(191a) 사이에 위치하고, 제2 접촉 구멍(185b)은 제2 게이트선(185b)과 후술하는 제2 부화소 전극(191b) 사이에 위치할 수 있다.
- [0090] 제2 보호막(180r) 위에는 복수의 화소 전극(pixel electrode)(191)이 위치한다. 각 화소 전극(191)은 게이트선(121)을 사이에 두고 서로 분리되어, 게이트선(121)을 중심으로 열 방향으로 이웃하는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)을 포함한다. 화소 전극(191)은 ITO 및 IZO 등의 투명한 재질일 수 있다. 화소 전극(191)은 또한 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속 재질일 수도 있다.
- [0091] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)의 전체적인 모양은 사각형이며 가로 줄기부 및 이와 직교하는

세로 줄기부로 이루어진 십자 줄기부 및 이로부터 연장된 미세 가지부를 포함한다. 화소 전극(191)의 형상은 이하에서 보다 자세하게 설명한다

- [0092] 기준 전압선의 세로부(133a, 133b)는 각각 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)의 세로 줄기부와 중첩하게 위치한다. 이때, 세로부(133a, 133b)의 폭은 부화소 전극의 세로 줄기부의 폭보다 좁을 수 있다.
- [0093] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)을 통하여 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있으며, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(173c)을 통해 분압되어, 제1 부화소 전극(191a)에 인가되는 전압의 크기는 제2 부화소 전극(191b)에 인가되는 전압의 크기보다 크게 된다.
- [0094] 데이터 전압이 인가된 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 상부 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.
- [0095] 이제 상부 표시판(200)에 대하여 설명한다.
- [0096] 투명한 유리 또는 플라스틱 등으로 만들어진 제2 절연 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 본 명세서는 차광 부재(220)가 상부 표시판(200)에 위치하는 실시예를 도시하였으나, 이에 제한되지 않고 하부 표시판(100)에 위치할 수 있음은 물론이다.
- [0097] 차광 부재(220)는 하부 표시판(100)의 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb) 및 분압 스위칭 소자(Qr), 그리고 제1 내지 제3 접촉 구멍(185a, 185b, 185c)이 위치하는 영역을 모두 덮도록 형성되어 있으며, 게이트선(121)과 같은 방향으로 뻗어, 데이터선(171)의 일부와 중첩하도록 위치된다. 차광 부재(220)는 하나의 화소 영역의 양 옆에 위치하는 두 개의 데이터선(171)과 적어도 일부 중첩하도록 위치하여, 데이터선(171)과 게이트선(121) 근처에서 발생할 수 있는 빛샘을 방지하고, 복수의 스위칭 소자(Qa, Qb, Qc)가 위치하는 영역에서의 빛샘을 방지할 수 있다.
- [0098] 차광 부재(220) 위에는 덮개막(overcoat)(250)이 위치한다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 평탄한 면을 제공한다. 덮개막(250)은 생략할 수 있다. 덮개막 위에는 공통 전극(270)이 위치한다.
- [0099] 공통 전극(270) 위에는 상부 배향막(도시하지 않음)이 위치할 수 있으며, 상부 배향막은 수직 배향막일 수 있다.
- [0100] 액정층(3)은 음의 유전율을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.
- [0101] 그러면, 도 6을 참고하여, 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 전극에 대하여 설명한다. 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 전기장 생성 전극의 한 기본 영역을 도시한 평면도이다.
- [0102] 도 8을 참고하면, 기본 전극(191)의 전체적인 모양은 사각형이며 가로 줄기부(193) 및 이와 직교하는 세로 줄기부(192)로 이루어진 십자형 줄기부를 포함한다. 또한 기본 전극(191)은 가로 줄기부(193)와 세로 줄기부(192)에 의해 제1 부영역(Da), 제2 부영역(Db), 제3 부영역(Dc), 그리고 제4 부영역(Dd)으로 나뉘어지며 각 부영역(Da-Dd)은 복수의 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)를 포함한다.
- [0103] 제1 미세 가지부(194a)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 제2 미세 가지부(194b)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 제3 미세 가지부(194c)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 제4 미세 가지부(194d)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0104] 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)는 게이트선(121a) 또는 가로 줄기부(193)와 대략 45도 또는 135도의 각을 이룬다. 또한 이웃하는 두 부영역(Da, Db, Dc, Dd)의 미세 가지부(194a, 194b, 194c, 194d)는 서로 직교할 수 있다.
- [0105] 액정층(3)에 전기장을 인가하면, 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)의 변은 프린지 필드를 형성한다. 이에 의해, 액정 분자(31)들은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향에 평행한 방향으로

기울어진다.

- [0106] 기본 전극(191)은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향이 서로 다른 네 개의 부영역(Da-Dd)을 포함하므로 액정 분자(31)가 기울어지는 방향은 대략 네 방향이 되며 액정 분자(31)의 배향 방향이 다른 네 개의 도메인이 액정층(3)에 형성된다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 표시 장치의 기준 시야각이 커진다.
- [0107] 이하에서는, 도 7을 참조하여, 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해서 설명한다.
- [0108] 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 단위 화소에 대한 평면도로서, 박막 트랜지스터(thin film transistor, TFT)(Qa)의 위치가 변경된 것을 제외하고는 전술한 도 3에 따른 액정 표시 장치와 동일하다. 따라서 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0109] 도 7을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 단위 화소는 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 제4 화소(PX(4))를 포함할 수 있다.
- [0110] 게이트선(121)은 화소 영역에서 나란히 배치되어 있는 제1 게이트선(121a)과 제2 게이트선(121b)을 포함한다.
- [0111] 각 화소 영역에는 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 및 제3 박막 트랜지스터(Qc)를 포함할 수 있다.
- [0112] 제1 박막 트랜지스터(Qa)는 제1 게이트 전극(124a), 제1 반도체(154a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)을 포함할 수 있고, 제2 박막 트랜지스터(Qb)는 제2 게이트 전극(124b), 제1 반도체(154b), 제1 소스 전극(173b), 및 제1 드레인 전극(175b)을 포함할 수 있고, 제3 박막 트랜지스터(Qc)는 제1 게이트 전극(124c), 제1 반도체(154c), 제1 소스 전극(173c), 및 제1 드레인 전극(175c)을 포함할 수 있다.
- [0113] 이때, 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 및 제3 박막 트랜지스터(Qc)는 제1 게이트선(121a)과 제2 게이트선(121b) 사이에 아일랜드 형태로 위치하고 있다.
- [0114] 또한, 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)도 제1 게이트선(121a)과 제2 게이트선(121b) 사이에 아일랜드 형태로 위치하고 있다.
- [0115] 이때, 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 제3 박막 트랜지스터(Qc)와 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)은 수평 방향으로 나란히 배치되어 있을 수 있다.
- [0116] 이는, 도 3에 도시된 본 발명의 일 실시예에 따른 액정 표시 장치와 비교해서, 게이트선(121)과 드레인 전극(175) 간의 기생 커패시터가 줄고, 개구율을 증가시킬 수 있다.
- [0117] 보다 구체적으로, 도 3을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 및 제3 박막 트랜지스터(Qc)가 제1 게이트선(121a)과 제2 게이트선(121b)와 중첩되어 위치하고, 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)은 각각 제1 게이트선(121a)과 제2 게이트선(121b) 밖에 위치하고 있다.
- [0118] 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 및 제3 박막 트랜지스터(Qc)와 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)이 대각 방향이거나 수직 방향으로 배치되어 있다.
- [0119] 또한, 제1 게이트선(121a)과 제1 드레인 전극(175a)이 서로 교차하고, 제2 게이트선(121b)과 제2 드레인 전극(175b)이 서로 교차하여 게이트선(121)과 드레인 전극(175) 간의 기생 커패시터가 발생하게 된다.
- [0120] 다시 도 7을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 제3 박막 트랜지스터(Qc)와 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)은 수평 방향으로 나란히 배치됨으로써, 차광 부재(220)의 폭을 줄여서 개구율을 향상시킬 수 있다.
- [0121] 또한, 제1 게이트선(121a)과 제1 드레인 전극(175a)이 서로 교차하지 않고, 제2 게이트선(121b)과 제2 드레인 전극(175b)이 서로 교차하지 않아 게이트선(121)과 드레인 전극(175) 간의 기생 커패시터를 줄일 수 있다.
- [0122] 이하에서는, 도 8 내지 11을 참고하여 본 발명의 비교예에 따른 액정 표시 장치를 설명한다.

- [0123] 도 8은 본 발명의 비교예에 따른 신호 배선 및 화소 배치의 개념도이고, 제 9는 본 발명의 비교예에 따른 액정 표시 장치의 단위 화소에 대한 평면도로서, 도 8의 P 영역의 단위 화소에 대한 평면도이고, 도 10은 본 발명의 비교예에 따른 액정 표시 장치의 가로줄 얼룩을 나타내는 도면이고, 도 11은 본 발명의 비교예에 따른 액정 표시 장치의 킥백 전압의 편차를 설명하기 위한 도면이다.
- [0124] 먼저, 도 8을 참조하면, 본 발명의 비교예에 따른 액정 표시 장치의 화소(PX)는 행렬 형태로 배치될 수 있다.
- [0125] 본 발명의 비교예에 따른 액정 표시 장치는 상하 좌우 모든 방향에서 인접 화소간 데이터 전압의 극성이 반대로 구동될 수 있으며, 4개의 화소가 2 X 2 행렬(matrix)로 배치되어 있는 복수의 단위 화소를 포함할 수 있다.
- [0126] 이때, 열 방향으로 배치되어 있는 복수의 화소 사이에는 각각 하나의 게이트선(G)이 배치되어 있고, 행 방향으로 배치되어 있는 복수의 화소 사이에는 각각 하나의 데이터선(D)이 배치되어 있다.
- [0127] 게이트선(G)은 행 방향으로 홀수 번째 또는 짝수 번째에 배치되며, 열 방향으로 이웃하는 화소와 동시에 연결되어 있고, 데이터선(D)은 열 방향으로 배치되어 있는 화소와 지그재그로 형태로 연결될 수 있다.
- [0128] 즉, 데이터선(D)은 행 방향으로 배치되어 있는 복수의 화소 사이를 정극성(+)과 부극성(-)이 번갈아 가도록 배치될 수 있다
- [0129] 다음, 도 9를 참조하면, 본 발명의 비교예에 따른 액정 표시 장치의 단위 화소는 제1 화소(PX(1)), 제2 화소(PX(2)), 제3 화소(PX(3)), 제4 화소(PX(4))를 포함할 수 있다.
- [0130] 제1 화소(PX(1))와 제3 화소(PX(3)) 사이 및 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에는 하나의 게이트선(121)이 지나간다.
- [0131] 이때, 제1 화소(PX(1))와 제3 화소(PX(3)) 사이에 배치되어 있는 게이트선(121)은 제1 화소(PX(1)) 및 제3 화소(PX(3))와 동시에 연결되어 있고, 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에 배치되어 있는 게이트선(121)은 제2 화소(PX(2)) 및 제4 화소(PX(4))와 연결되어 있지 않다.
- [0132] 즉, 제1 화소(PX(1))와 제3 화소(PX(3)) 사이에는 제1 화소(PX(1))와 제3 화소(PX(3))와 연결되어 있는 박막 트랜지스터가 배치되어 있고, 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에는 제2 화소(PX(2))와 제4 화소(PX(4))와 연결되어 있는 박막 트랜지스터가 배치되어 있지 않다.
- [0133] 이에, 제1 화소(PX(1))와 제3 화소(PX(3)) 사이에 형성되어 있는 차광 부재의 폭(A)이 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에 형성되어 있는 차광 부재의 폭(B)보다 더 크게 형성되어 있다.
- [0134] 도 10을 참조하면, 제1 화소(PX(1))와 제3 화소(PX(3)) 사이에 형성되어 있는 차광 부재의 폭(A)과 제2 화소(PX(2))와 제4 화소(PX(4)) 사이에 형성되어 있는 차광 부재의 폭(B)이 상이하게 형성됨으로써, 밝고 어두운 줄로 구분되어 보이는 가로줄 얼룩이 발생하는 문제가 있다.
- [0135] 다시 도 9를 참조하면, 본 발명의 비교예에 따른 액정 표시 장치의 복수의 화소는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)를 포함할 수 있다.
- [0136] 행 방향으로 이웃하는 제1 화소(PX(1))와 제2 화소(PX(2))는 각각 제1 부화소 전극(191a)과 제2 부화소 전극(191b)이 상하 반대로 형성되어 있고, 행 방향으로 이웃하는 제3 화소(PX(3))와 제4 화소(PX(4))는 각각 제1 부화소 전극(191a)과 제2 부화소 전극(191b)이 상하 반대로 형성되어 있어 제1 절연 기관과 제2 절연 기관의 미스 얼라인시 스위칭 소자의 단자 간 기생 용량, 특히 게이트선(121)과 화소 전극(191) 사이의 기생 용량에 의해 발생하는 킥백 전압(V_{kb})의 편차가 발생한다.
- [0137] 도 11을 참조하면, 본 발명의 비교예에 따른 액정 표시 장치의 제1 절연 기관과 제2 절연 기관의 미스 얼라인의 간격이 커질수록 킥백 전압(V_{kb})의 편차가 크게 발생한다는 것을 알 수 있다.
- [0138] 본 발명의 실시예에 따른 액정 표시 장치는 화소 영역에서 나란히 배치되어 있는 제1 게이트선(121a)과 제2 게이트선(121b)을 포함하고, 제1 게이트선(G1) 및 제2 게이트선(G2)은 각각 열 방향으로 인접하는 화소와 서로 다른 행에서 동시에 연결되고, 제1 게이트선(121a)은 행 방향으로 이웃하는 하나의 화소와 연결되어 있고, 제2 게이트선(121b)은 행 방향으로 이웃하는 나머지 하나의 화소와 연결됨으로써 열 방향으로 인접한 화소 사이의 차광 부재 폭을 동일하게 형성하여 가로줄 얼룩의 발생을 줄이고, 스위칭 소자의 단자 간 기생 용량에 의해 발생하는 킥백 전압의 편차를 줄여 화질을 향상시킬 수 있다.
- [0139] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나

지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

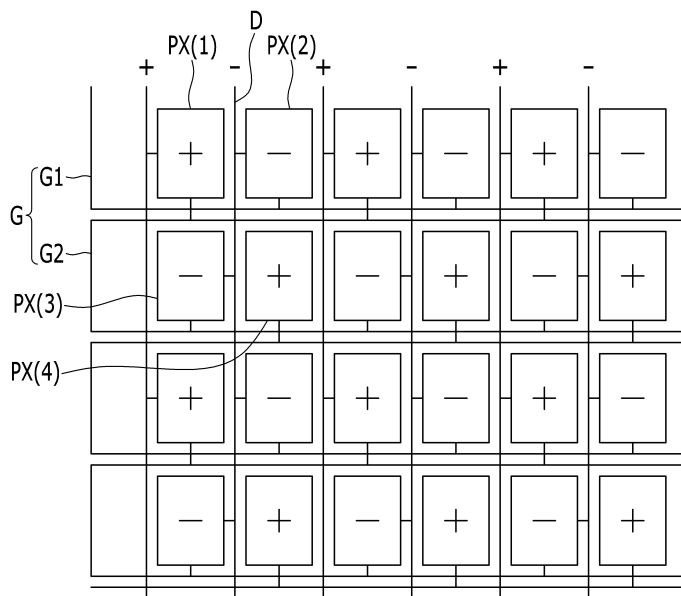
부호의 설명

[0140]

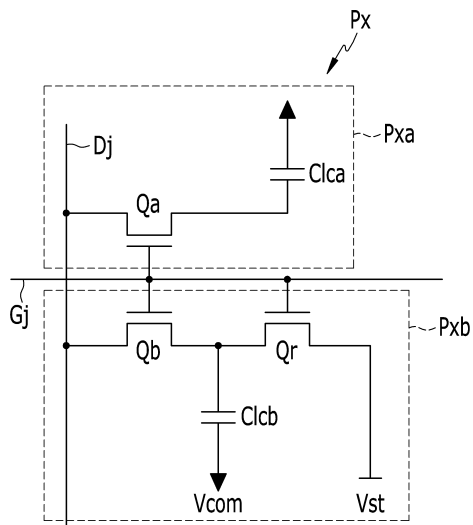
100, 200: 표시판	3: 액정층
121: 게이트선	124: 게이트 전극
131, 136: 유지 전극선	133: 기준 전압선
140: 게이트 절연막	154: 반도체
163, 165: 저항성 접촉 부재	
171: 데이터선	173: 소스 전극
175: 드레인 전극	180p, 180r: 보호막
185: 접촉 구멍	191: 화소 전극
220: 차광 부재	230: 색 필터
250: 덮개막	270: 공통 전극
제1 화소: PX(1)	제2 화소: PX(2)
제3 화소: PX(3)	제4 화소: PX(4)

도면

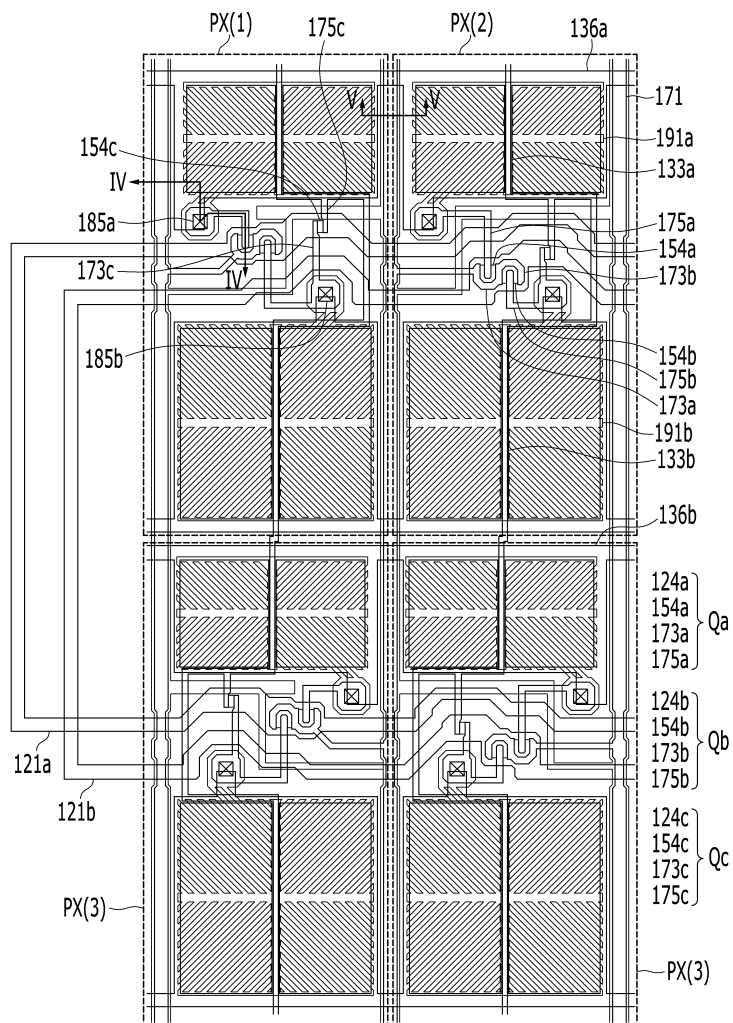
도면1



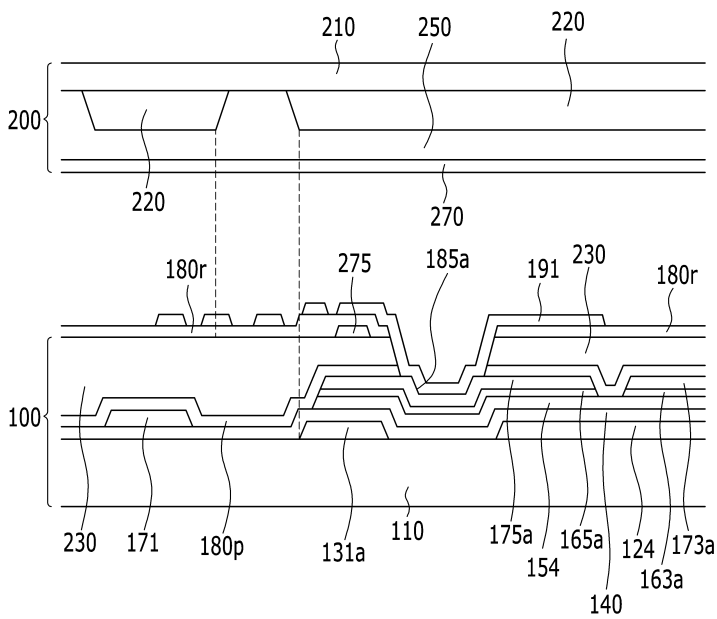
도면2



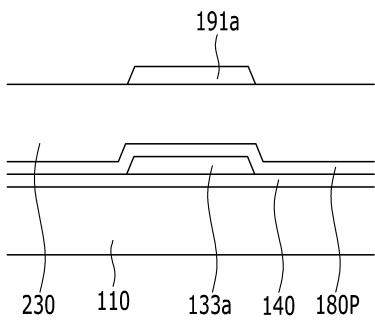
도면3



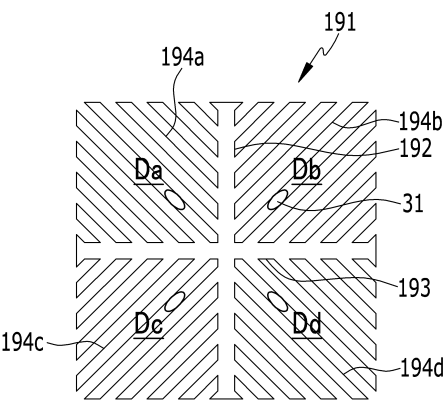
도면4



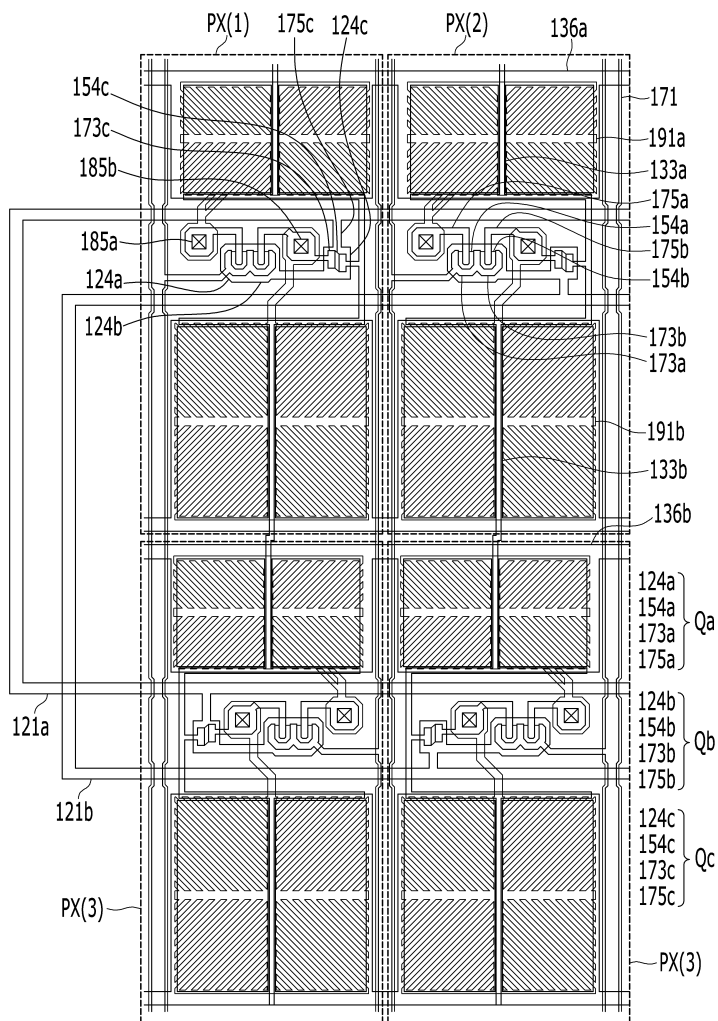
도면5



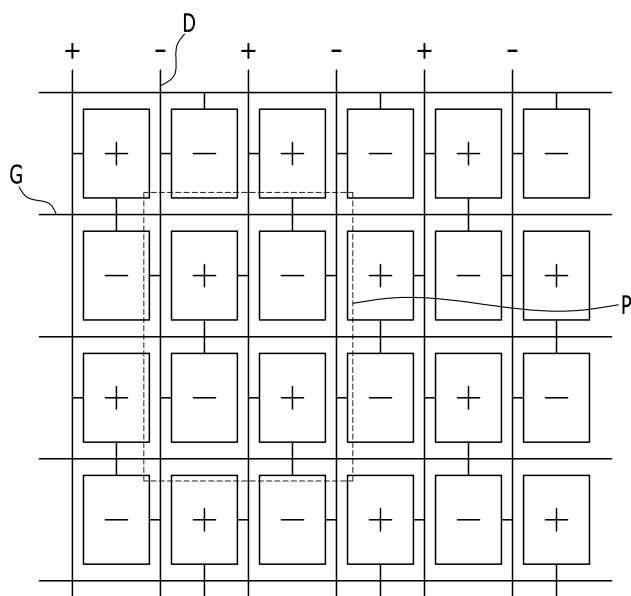
도면6



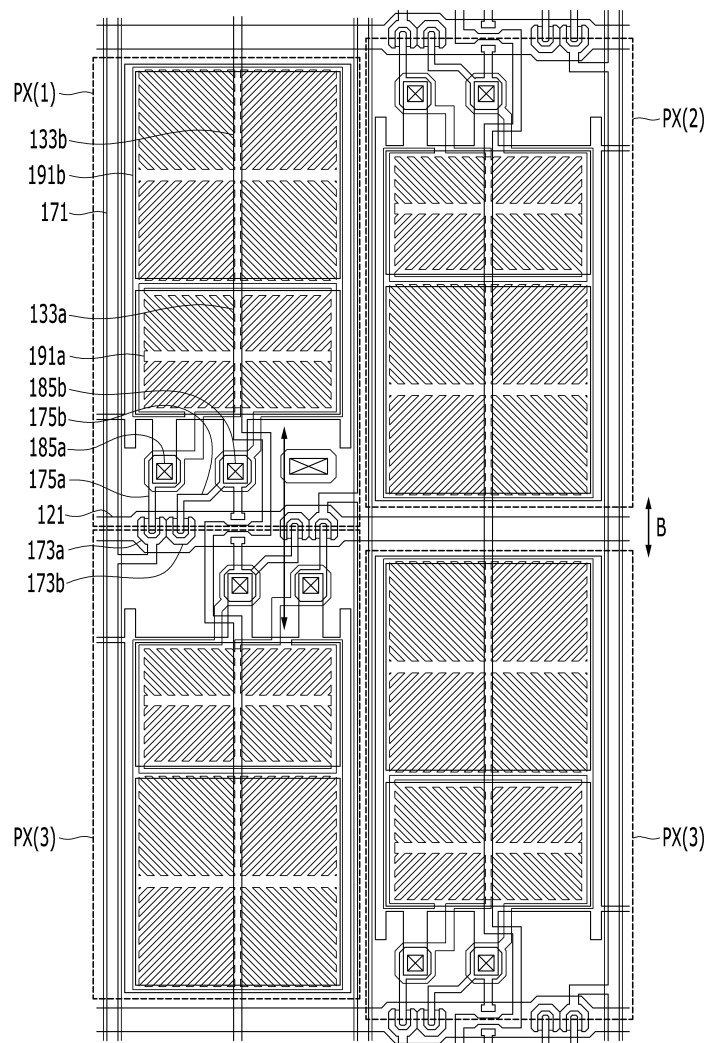
도면7



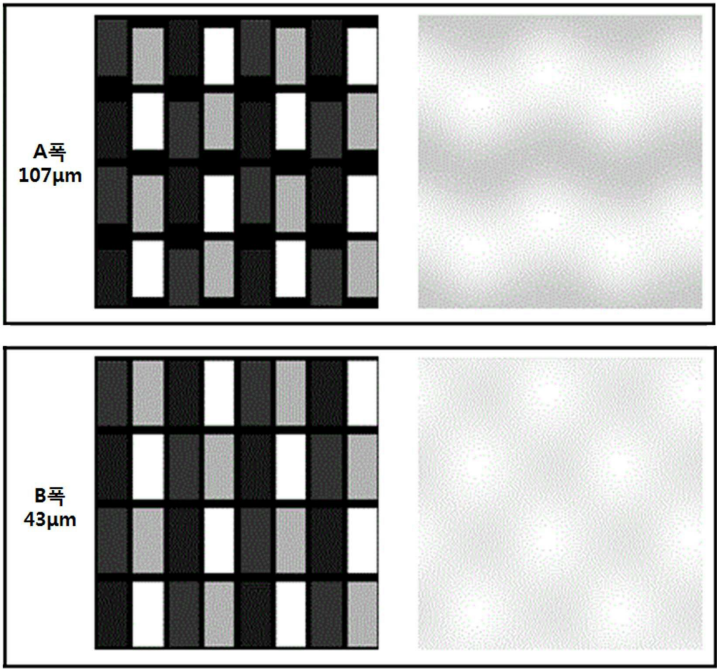
도면8



도면9



도면10



도면11

	정 align	1um	2um
Vkb_상	1.241	1.238	1.234
Vkb_하	1.241	1.247	1.254

