



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월08일
(11) 등록번호 10-2298850
(24) 등록일자 2021년09월01일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1337 (2006.01)
G02F 1/1339 (2019.01) G02F 1/1362 (2006.01)
- (52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/1337 (2013.01)
- (21) 출원번호 10-2015-0125102
- (22) 출원일자 2015년09월03일
심사청구일자 2020년07월29일
- (65) 공개번호 10-2016-0125275
- (43) 공개일자 2016년10월31일
- (30) 우선권주장
1020150056172 2015년04월21일 대한민국(KR)
- (56) 선행기술조사문헌
KR1020150040153 A*
KR1020020047024 A*
KR1020150029177 A*
US20140139796 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
우창승
경기도 고양시 일산동구 고봉로 424 (중산동, 중산마을1단지아파트) 112동 1208호
홍순환
경기도 고양시 일산서구 강성로 256 (대화동, 성저마을2단지아파트) 203동 505호
- (74) 대리인
특허법인 정안

전체 청구항 수 : 총 11 항

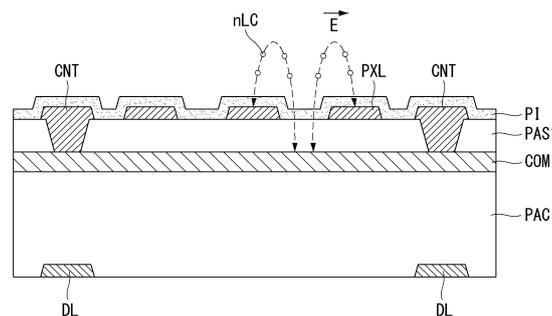
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치의 하판은 절연막을 사이에 두고 중첩되는 하부 전극 및 상부 전극, 및 상기 하부 전극과 상기 상부 전극에 접촉되는 배향막을 포함한다. 상기 배향막은 상기 절연막을 관통하는 홀을 통해 상기 하부 전극에 접촉된다.

대표도 - 도2



(52) CPC특허분류

G02F 1/1339 (2019.01)

G02F 1/134372 (2021.01)

G02F 1/136286 (2013.01)

명세서

청구범위

청구항 1

액정층을 사이에 두고 대향하는 상판 및 하판과, 상기 상판과 하판 사이에 배치된 스페이서를 포함한 액정표시 장치에 있어서,

상기 하판은,

절연막을 사이에 두고 중첩되는 하부 전극 및 상부 전극;

상기 하부 전극 및 상기 상부 전극 중 어느 하나와 연결된 TFT; 및

상기 하부 전극과 상기 상부 전극에 접촉되는 배향막을 포함하고,

상기 배향막은, 상기 절연막을 관통하고 상기 하부 전극과 접촉하는 홀에 배치된 도전성 연결부를 통해 상기 하부 전극에 접촉되고,

상기 도전성 연결부는 상기 TFT와 중첩되는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 하부 전극은 공통 전압이 공급되는 공통 전극이고,

상기 상부 전극이 데이터 전압이 공급되는 픽셀 전극인 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 상부 전극은 공통 전압이 공급되는 공통 전극이고,

상기 하부 전극이 데이터 전압이 공급되는 픽셀 전극인 액정표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 홀은 상기 상부 전극 이외의 다른 영역에서 상기 하부 전극을 노출하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 하판은,

서로 교차하는 데이터 라인 및 게이트 라인을 더 포함하고,

상기 도전성 연결부는 상기 데이터 라인 위에 배치되는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 도전성 연결부는 상기 스페이서와 중첩되는 액정표시장치.

청구항 8

제 1 항에 있어서,
 상기 하판은,
 서로 교차하는 데이터 라인 및 게이트 라인을 더 포함하고,
 상기 도전성 연결부는 상기 데이터 라인과 중첩되고, 상기 스페이서와 중첩되는 액정표시장치.

청구항 9

제 1 항에 있어서,
 상기 액정층은 네가티브 액정을 포함하는 액정표시장치.

청구항 10

제 1 항에 있어서,
 상기 하판은,
 서로 교차하는 데이터 라인 및 게이트 라인; 및
 상기 데이터 라인과 상기 게이트 라인 사이에 배치된 산화물 TFT를 포함하는 액정표시장치.

청구항 11

제 1 항에 있어서,
 상기 배향막이 광배향막인 액정표시장치.

청구항 12

제 1 항에 있어서,
 상기 상판은 블랙 매트릭스를 포함하고,
 상기 도전성 연결부는 상기 블랙 매트릭스와 중첩되는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 저속 구동 모드를 갖는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 액정표시장치의 액정에 직류전압이 인가되면, 잔상이 보일 수 있다. 잔상은 영상이 바뀌어도 이전 영상이 보이는 현상이다. 잔상은 액정표시장치에서 정지 영상이 오랫동안 표시되거나 액정에 인가되는 직류 전압이 인가 시간이 길어질 수록 더 두드러지게 보인다. 잔상이 발생하는 메커니즘 중 하나는 액정 분자의 선경사각(pretilt angle)을 설정하기 위한 배향막에 액정층 내의 불순물 이온들이 축적되는 현상이다. 액정에 인가되는

전계의 극성을 따라 음전하를 띤 이온들과 양전하를 띤 이온들이 움직임 백터 방향을 따라 반대 방향으로 이동하면서 분극화된다. 움직임 백터가 동일하기 때문에 시간이 지날수록 배향막 상에 축적되는 이온들의 양이 많아진다. 이온들의 축적양이 증가하면 액정의 초기 배향 상태로 복구하려는 거동 특성에 영향을 주어 잔상이 보이게 된다.

[0005] 액정표시장치의 소비 전력을 줄이기 위하여 저속 구동 모드로 동작하여 입력 영상이 정지 영상인 경우에 프레임 주파수(Frame rate 혹은 Frame frequency)를 낮출 수 있다. 그런데 프레임 주파수를 낮추면, 데이터 전압이 바뀔 때마다 휘도가 급변하는 현상이 보이거나 픽셀의 전압 방전 시간이 길어져 영상이 깜빡이는 플리커 현상이 보일 수 있다.

[0006] 또한, 저속 구동 모드는 액정에 인가되는 직류 전압 인가 시간이 길어지므로 잔상 문제에 취약하다. 따라서, 액정표시장치의 저속 구동 모드에서 화질 저하를 방지할 수 있는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 저속 구동 모드에서 화질 저하를 방지할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 액정표시장치는 액정층을 사이에 두고 대향하는 상판 및 하판과, 상기 상판과 하판 사이에 배치된 스페이서를 포함한다.

[0009] 상기 하판은 절연막을 사이에 두고 중첩되는 하부 전극 및 상부 전극, 및

[0010] 상기 하부 전극과 상기 상부 전극에 접촉되는 배향막을 포함한다.

[0011] 상기 배향막이 상기 절연막을 관통하는 홀을 통해 상기 하부 전극에 접촉된다.

발명의 효과

[0012] 본 발명은 절연막을 사이에 두고 하부 전극과 상부 전극이 중첩된 구조를 갖는 액정표시장치에서 절연막을 관통하는 홀을 통해 배향막을 하부 전극에 접촉한다. 그 결과, 본 발명은 배향막이 하부 전극과 상부 전극에 직접 접촉되어 배향막 상에 축적된 이온의 방전 경로를 형성함으로써 정상 구동 및 저속 구동 모드에서 이온의 축적을 방지하여 잔상 및 플리커로 인한 화질 저하를 방지할 수 있다. 나아가, 본 발명은 네가티브 액정, 광배향막, 및 산화물 TFT를 이용하여 저속 구동 모드에서 화질을 향상시킬 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
- 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- 도 3은 본 발명의 제2 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- 도 4a 및 도 4b는 종래 기술과 본 발명의 잔상 실험 결과를 보여 주는 도면들이다.
- 도 5는 잔상 실험 결과에 사용된 샘플의 영상 패턴을 보여 주는 도면이다.
- 도 6a 내지 도 6e는 배향막에서 픽셀 전극과 공통 전극의 다양한 접촉 면적 비율을 보여 주는 도면이다.
- 도 7은 본 발명의 제1 실시예에 따른 액정표시장치에서 한 개의 서브 픽셀을 확대하여 보여 주는 평면도이다.
- 도 8은 도 7에서 선 "I-I'"를 따라 절취하여 액정표시장치의 하판 단면 구조를 보여 주는 단면도이다.
- 도 9는 데이터 라인과 컬럼 스페이서와 중첩된 도전성 연결부들을 보여 주는 단면도이다.
- 도 10은 본 발명의 제3 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- 도 11은 본 발명의 제4 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- 도 12는 본 발명의 제3 실시예에 따른 액정표시장치에서 한 개의 서브 픽셀을 확대하여 보여 주는 평면도이다.

도 13은 도 12에서 선 "II-II'"를 따라 절취하여 액정표시장치의 하판 단면 구조를 보여 주는 단면도이다.

도 14는 도 13에 도시된 액정표시장치에서 오픈홀을 형성하는 방법을 보여 주는 단면도이다.

도 15는 본 발명의 화소 구조의 개구 영역(Apx1)을 비교예와 비교한 평면도이다.

도 16은 도 15에서 선 "III-III'"과 선 "IV-IV'"을 따라 절취하여 액정표시장치의 하판 단면 구조를 보여 주는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0015] 도 1을 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동부(102, 104), 전원부(112) 등을 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0016] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0017] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다. 픽셀들 각각은 TFT를 통해 데이터 전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조정한다.
- [0018] 표시패널(100)의 하판에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), 공통 전극(2), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. TFT들은 서브 픽셀 마다 하나씩 형성되어 픽셀 전극(1)에 연결된다. TFT들은 비정질 실리콘(amorphouse Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 화소 전극에 1:1로 연결된다. 공통 전극(2)과 픽셀 전극(1)은 절연막을 사이에 두고 분리된다.
- [0019] 표시패널(100)의 상판에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter, CF)를 포함한 컬러 필터 어레이가 형성된다.
- [0020] 표시패널(100)의 상판과 하판 사이에는 액정층이 형성된다. 표시패널(100)의 상판과 하판 각각에는 편광판이 부착되고 액정의 선경사각(pretilt angle)을 설정하기 위한 배향막이 형성된다. 배향막은 광배향이 가능한 고분자 재료 예를 들면, 폴리 이미드(Polyimide)로 형성된다. 상판과 하판 사이에는 액정셀의 셀갭(Cell gap)을 유지하기 위한 스페이서(spacer)가 형성될 수 있다.
- [0021] 본 발명은 액정표시장치의 잔상과 플리커를 줄이기 위하여, 배향막을 공통 전극(2)과 픽셀 전극(1)에 접촉시킴으로써 배향막 상의 방전 경로를 형성한다.
- [0022] 저속 구동 모드에서 화질을 더 향상시키기 위하여 픽셀 어레이의 TFT를 산화물 TFT로 구현하고, 액정층을 네가티브 액정(negative liquid crystal, nLC)으로 구현한다. 배향막은 광배향 처리된다.
- [0023] 산화물 TFT는 오프 상태의 누설 전류가 매우 낮기 때문에 저속 구동 모드에서 픽셀들의 방전을 억제할 수 있다. 산화물 TFT는 도 7 내지 도 9와 같은 에치 스톱퍼(Etch stopper, ES)를 사용한 액정표시장치에 적용될 수 있고 또한, 백채널 에치(Back Channel Etch, BCE) 타입의 액정표시장치에도 적용 가능하다.
- [0024] 광배향 처리된 광배향막은 빛이 새는 현상을 줄여 명암비를 향상시킬 수 있다. 광배향막은 액정의 선경사각(pretilt angle)을 0에 가깝게 하여 시청 각도와 관계없이 균일한 화질을 구현할 수 있게 한다.
- [0025] 네가티브 액정은 포지티브 액정보다 투과율이 높아 영상의 휘도를 향상시킬 수 있다. 네가티브 액정은 장축과 단축의 유전율 차이가 음(-)인 액정이다. 네가티브 액정은 전압이 인가될 때 액정 분자의 단축이 전계(E)와 나란하게 된다.

- [0026] 표시패널 구동부(102, 104)는 데이터 구동부(102)와 게이트 구동부(104)를 포함한다. 표시패널 구동부(102, 104)는 타이밍 콘트롤러(106)의 제어 하에 정지 영상이 입력될 때 저속 구동 모드로 동작하고, 동영상 입력될 때 정상 구동 모드(normal mode)로 동작한다. 저속 구동 모드의 프레임 주파수는 정상 구동 모드에 비하여 낮다.
- [0027] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 데이터 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결된다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)로부터 입력 영상의 디지털 비디오 데이터를 입력 받는다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)의 제어 하에 입력 영상의 디지털 비디오 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 소스 드라이브 IC들의 출력 전압은 데이터 라인들(S1~Sm)에 공급된다. 데이터 구동부(102)의 소스 드라이브 IC들은 저속 구동 모드에서 프레임 주파수가 낮아지므로 동작 주파수가 낮아진다.
- [0028] 소스 드라이브 IC들 각각은 타이밍 콘트롤러(106)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시켜 데이터 라인들(S1~Sm)로 출력한다. 소스 드라이브 IC들은 데이터 라인들에 인가되는 데이터 전압의 극성을 1 프레임 기간 동안 유지한 후, 매 프레임마다 데이터전압의 극성을 반전시킬 수 있다. 저속 구동 모드에서 1 프레임 기간은 낮아진 프레임 주파수로 인하여 길어진다.
- [0029] 게이트 구동부(104)는 타이밍 콘트롤러(106)의 제어 하에 게이트 라인들(G1~Gn)에 데이터 전압에 동기되는 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(104)로부터 출력된 게이트 펄스는 픽셀들에 충전될 정극성/부극성 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 픽셀 어레이와 함께 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. 게이트 구동부(104)는 저속 구동 모드에서 프레임 주파수가 낮아지므로 동작 주파수가 낮아진다.
- [0030] 타이밍 콘트롤러(106)는 호스트 시스템(110)으로부터 수신된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(106)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(110)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭(CLK) 등을 포함한다. 타이밍 콘트롤러(106)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 콘트롤러(106)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다.
- [0031] 타이밍 콘트롤러(106)는 정상 구동 모드(Normal driving mode)에서 입력 영상의 프레임 주파수×N(N은 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(102, 104)의 동작 타이밍을 제어할 수 있다. 정상 구동 모드에서 입력 영상의 프레임 주파수(frame rate)는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 저속 구동 모드에서 프레임 주파수는 30Hz ~ 1Hz 정도로 낮아질 수 있으나 이에 한정되지 않는다.
- [0032] 호스트 시스템(110)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0033] 본 발명의 액정표시장치는 도시하지 않은 전원부를 더 포함한다. 전원부는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널(100)의 구동에 필요한 전압들을 발생한다. 이 전압들은 고전위 전원전압(Vdd), 로직 전원전압(Vcc), 감마기준전압, 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공통전압(Vcom) 등을 포함한다. 고전위 전원전압(Vdd)은 표시패널(100)의 픽셀에 충전될 최대 데이터 전압이다. 로직 전원전압(Vcc)은 타이밍 콘트롤러(106), 데이터 구동부(102)의 소스 드라이브 IC들, 및 게이트 구동부(104)의 게이트 드라이브 IC들의 구동에 필요한 전압 전압이다. 게이트 하이전압(VGH)은 픽셀 어레이의 TFT들의 문턱전압 이상으로 설정된 게이트 펄스의 하이논리전압이고, 게이트 로우전압(VGL)은 픽셀 어레이의 TFT들의 문턱 전압 보다 낮은 전압으로 설정된 게이트 펄스의 로우논리전압이다. 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)은 게이트 구동부(104)에 공급된다. 게이트 펄스는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. 공통전압(Vcom)은 액정셀들(C1c)의 공통전극(2)에 공급된다. 전원부는 고전위 전원전압(Vdd)을 분압하여 감마기준전압을 발생한다. 감마기준전압은 소스 드라이브 IC들에 공급된다. 소스 드라이브 IC들은 감마기준전압을 분압하여 계조별 정극성/부극성 감마보상전압을 발생하고, 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환함으로써 데이터 전압을 출력한다.
- [0034] 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.

- [0035] 도 2를 참조하면, 본 발명의 액정표시장치는 절연막을 사이에 두고 공통 전극(COM) 위에 배치된 픽셀 전극(PXL)과, 공통 전극(COM)에 접촉된 도전성 연결부(CNT)와, 픽셀 전극(PXL)과 도전성 연결부(CNT)에 접촉된 배향막(PI)을 포함한다. 보호막(PAS1)은 공통 전극(COM)과 픽셀 전극(PXL) 사이에 형성된 절연막이다. 도전성 연결부(CNT)는 공통 전극(COM)과 연결되기 때문에 공통 전극(COM)의 일부로 볼 수 있다. 이 실시예에서, 공통 전극(COM)이 픽셀 전극(PXL) 아래에 위치하는 하부 전극이고, 픽셀 전극(PXL)이 상부 전극이다.
- [0036] 도전성 연결부(CNT)는 픽셀 전극(PXL)과 같은 층에 형성되고 보호막(PAS1)을 관통하는 콘택홀 내에 채워져 공통 전극(COM)과 접촉된다. 도전성 연결부(CNT)는 배향막(PI)에 접촉된다. 도전성 연결부(CNT)는 픽셀 전극(PXL)과 동일한 물질로 형성되어 픽셀 전극(PXL)과 동시에 패터닝될 수 있으나 이에 한정되지 않는다. 도전성 연결부(CNT)는 픽셀 전극(PXL)의 재료와는 다른 금속으로 형성될 수 있다. 도전성 연결부(CNT)는 배향막(PI)을 픽셀 전극(PXL)과 공통 전극(COM)에 연결하여 배향막(PI) 상에 축적된 이온의 방전 경로를 형성한다. 도전성 연결부(CNT)는 공통 전극(COM)을 덮어 픽셀 전극(PXL)의 식각 공정에서 공통 전극(COM)의 식각을 방지하고, 배향막(PI)과 공통 전극(COM)이 연결되는 부분에서 단차가 커지는 것을 방지한다.
- [0037] 공통 전극(COM)은 유기 보호막(PAC) 상에 형성될 수 있다. 도전성 연결부(CNT)는 픽셀의 개구율 저하를 최소화하기 위하여 데이터 라인(DL)과 중첩되거나 스페이서와 중첩될 수 있다. 또한, 도전성 연결부(CNT)는 데이터 라인(DL)과 중첩되고 또한, 스페이서와 중첩될 수 있다.
- [0038] 블랙 매트릭스는 TFT, 데이터 라인(DL), 게이트 라인(GL), 스페이서, 도전성 연결부(CNT) 등과 중첩되어 이러한 구성 요소들이 보이지 않도록 한다.
- [0039] 도 3은 본 발명의 제2 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- [0040] 도 3을 참조하면, 본 발명의 액정표시장치는 절연막을 사이에 두고 픽셀 전극(PXL) 위에 배치된 공통 전극(COM)과, 픽셀 전극(PXL)에 접촉된 도전성 연결부(CNT)와, 공통 전극(COM)과 도전성 연결부(CNT)에 접촉된 배향막(PI)을 포함한다. 보호막(PAS1)은 공통 전극(COM)과 픽셀 전극(PXL) 사이에 형성된 절연막이다. 도전성 연결부(CNT)는 픽셀 전극(PXL)과 연결되기 때문에 픽셀 전극(PXL)의 일부이다. 이 실시예에서, 픽셀 전극(PXL)이 공통 전극(COM) 아래에 위치하는 하부 전극이고, 공통 전극(COM)이 상부 전극이다.
- [0041] 도전성 연결부(CNT)는 공통 전극(COM)과 같은 층에 형성되고 보호막(PAS1)을 관통하는 콘택홀 내에 채워져 픽셀 전극(PXL)과 접촉된다. 도전성 연결부(CNT)는 배향막(PI)에 접촉된다. 도전성 연결부(CNT)는 공통 전극(COM)과 동일한 물질로 형성되어 공통 전극(COM)과 동시에 패터닝될 수 있으나 이에 한정되지 않는다. 도전성 연결부(CNT)는 공통 전극(COM)의 재료와는 다른 금속으로 형성될 수 있다. 도전성 연결부(CNT)는 배향막(PI)을 픽셀 전극(PXL)과 공통 전극(COM)에 연결하여 배향막(PI) 상에 축적된 이온의 방전 경로를 형성한다. 도전성 연결부(CNT)는 픽셀 전극(PXL)을 덮어 공통 전극(COM)의 식각 공정에서 픽셀 전극(PXL)의 식각을 방지하고, 배향막(PI)과 공통 전극(COM)이 연결되는 부분에서 단차가 커지는 것을 방지한다.
- [0042] 픽셀 전극(PXL)은 유기 보호막(PAL) 상에 형성될 수 있다. 도전성 연결부(CNT)는 픽셀의 개구율 저하를 최소화하기 위하여 데이터 라인(DL)과 중첩되거나 스페이서와 중첩될 수 있다. 블랙 매트릭스는 TFT, 데이터 라인(DL), 게이트 라인(GL), 스페이서, 도전성 연결부(CNT) 등과 중첩되어 이러한 구성 요소들이 보이지 않도록 한다.
- [0043] 본원의 발명자는 저항이 다른 다양한 배향막들을 대상으로 잔상 실험을 한 결과, 픽셀 전극(PXL)과 공통 전극(COM)에 배향막이 접촉되면 이온의 방전 경로가 형성되어 잔상 문제가 개선되는 효과를 확인하였다. 발명자는 배향막의 저항이 높더라도 잔상 개선 효과를 확인하였다. 발명자는 배향막의 픽셀 전극(PXL)과 공통 전극(COM)의 접촉 면적 비율을 달리하여 잔상 실험을 한 결과, 그 접촉 면적 비율이 달라져도 잔상 문제가 개선된 것을 확인하였다. 도 4a는 종래 기술과 본 발명의 잔상 실험 결과를 보여 주는 도면들이다. 이 실험에서 종래 기술로 선택된 샘플은 공통 전극(COM)과 픽셀 전극(PXL)이 절연막을 사이에 두고 분리되고 배향막(PI)이 픽셀 전극에만 연결된 액정표시장치이다.
- [0044] 잔상 실험에서 본 발명으로 선택된 샘플은 도 2와 같은 구조의 하판을 갖는 도 7 내지 도 9에 도시된 액정표시장치이다. 잔상, 플리커 실험은 화이트 계조 블록과 블랙 계조 블록을 액정표시장치의 화면에 표시하고 일정 시간 동안 유지된 후에 화면 전체에서 픽셀 데이터의 계조값을 중간 계조 예를 들어, 127로 변하여 잔상이 보이는가를 확인하는 실험이다. 잔상 실험 결과, 종래 기술의 경우에 도 4a와 같이 잔상이 보이는 반면, 본 발명은 도 4b와 잔상이 보이지 않았다.

- [0045] 도 5는 잔상 실험 결과에 사용된 샘플의 영상 패턴을 보여 주는 도면이다.
- [0046] 도 5의 (A)는 액정표시장치에서 잔상을 유도하기 위한 솔리드 패턴에서 화이트 계조 블록 내의 일부 픽셀들을 보여 주는 도면이다. 솔리드 패턴의 경우에, 화이트 계조 블록에서 정극성 픽셀들과 부극성 픽셀들에 화이트 계조 전압이 공급된 후 일정 시간이 경과된 후에 중간 계조 전압이 공급된다. 솔리드 패턴의 경우에, 블랙 계조 블록에서 정극성 픽셀들과 부극성 픽셀들에 블랙 계조 전압이 공급된 후 일정 시간이 경과된 후에 중간 계조 전압이 공급된다. 정극성 픽셀들은 정극성 데이터 전압이 공급되는 픽셀들이다. 부극성 픽셀들은 부극성 데이터 전압이 공급되는 픽셀들이다. 데이터 전압의 극성은 프레임 기간 단위로 반전된다.
- [0047] 도 5의 (B)는 액정표시장치에서 플리커를 유도하기 위한 플리커 패턴에서 화이트 계조 블록 내의 일부 픽셀들을 보여 주는 도면이다. 플리커 패턴의 경우에, 화이트 계조 블록에서 같은 제1 극성의 픽셀들에 화이트 계조 전압이 공급되고 제2 극성의 픽셀들에 블랙 계조 전압이 공급된 후, 일정 시간이 경과된 후에 중간 계조 전압이 공급된다. 제1 극성은 정극성 또는 부극성이다. 제2 극성은 제1 극성과 다른 극성이다. 블랙 계조 블록에서 정극성 픽셀들과 부극성 픽셀들에 블랙 계조 전압이 공급된 후 일정 시간이 경과된 후에 중간 계조 전압이 공급된다. 데이터 전압은 프레임 기간 단위로 반전된다.
- [0048] 본원 발명자는 잔상 실험에서 배향막(PI)이 픽셀 전극(PXL)과 접촉된 면적과 배향막(PI)이 공통 전극(COM)과 접촉된 면적의 비율을 도 6a 내지 도 6e와 같이 다양하게 변경하면서 잔상 개선 효과를 확인하였다. 도 6a 내지 도 6e에서 배향막(PI)과 픽셀 전극(PXL)의 면적 비율은 동일하고, 배향막(PI)과 공통 전극(COM)의 면적 비율은 달라진다. 배향막(PI)과 공통 전극(COM)의 면적 비율은 도 6a 내지 도 6e와 같이 도전성 연결부(CNT)의 개수 및 크기 변화에 따라 달라진다.
- [0049] 배향막(PI)은 데이터 라인(DL) 위나 컬럼 스페이스(Column spacer, CS) 위에 배치된 도전성 연결부(CNT, CNT1, CNT2)를 통해 공통 전극(COM)과 접촉되고, 픽셀 전극(PXL)과 직접 접촉된다. 도 6e에서, "CNT1"은 데이터 라인(DL) 위에 배치된 제1 도전성 연결부이고, "CNT2"는 컬럼 스페이스(CS)와 중첩된 제2 도전성 연결부이다. 도전성 연결부(CNT, CNT1, CNT2)는 블랙 매트릭스(BM)와 중첩되어 블랙 매트릭스(BM)에 의해 가려진다. 도 9는 도 6e와 같은 도전성 연결부들(CNT1, CNT2)을 보여 주는 단면도이다.
- [0050] 본원 발명자는 잔상, 플리커 실험 결과를 바탕으로, 표 1과 같이 배향막(PI)이 픽셀 전극(PXL)과 공통 전극(COM)에 접촉되는 비율이 2:1 ~ 6:1 일 때 잔상 개선 효과를 확인할 수 있었다.

표 1

도면		도 5a	도 5b	도 5c	도 5d	도 5e
배향막의 접촉 면적	픽셀전극(PXL)	4776.0 μm^2	4776.0 μm^2	4776.0 μm^2	4776.0 μm^2	4776.0 μm^2
	공통전극(COM)	729.1 μm^2	727.4 μm^2	1212.8 μm^2	1480.6 μm^2	2303.9 μm^2
접촉 면적 비율 (PXL : COM)		6 : 1	6 : 1	4 : 1	3 : 1	2 : 1
접촉 위치		매 서브 픽셀마다 양측 데이터 라인(DL) 위에서 접촉됨	매 서브 픽셀마다 일측 데이터 라인(DL) 위에서 접촉됨	매 서브 픽셀마다 양측 데이터 라인(DL) 위에서 접촉되는 면적을 확대함	매 서브 픽셀마다 양측 데이터 라인(DL) 위에서 접촉되는 면적을 더 확대함	매 서브 픽셀마다 양측 데이터 라인(DL) 위에서 접촉되고, 스페이스 위치에서 접촉됨

- [0052] 도 7은 본 발명의 제1 실시예에 따른 액정표시장치에서 한 개의 서브 픽셀을 확대하여 보여 주는 평면도이다. 도 8은 도 7에서 선 "I-I'"를 따라 절취하여 액정표시장치의 하판 단면 구조를 보여 주는 단면도이다. 도 9는 도 6e와 같은 도전성 연결부들(CNT1, CNT2)을 보여 주는 단면도이다. 도 7 내지 도 9에 도시된 액정표시장치는 도 2와 같은 구조의 하판을 포함한다.
- [0053] 도 7 내지 도 9를 참조하면, 하판은 TFT, 게이트 절연막(GI), 에치 스톱퍼층(Etch stopper, ES), 제1 무기 보호막(PAS0), 유기 보호막(PAC), 공통 전극(COM), 제2 무기 보호막(PAS1), 도전성 연결부(CNT), 픽셀 전극(PXL), 및 하부 배향막(PI)을 포함한다.

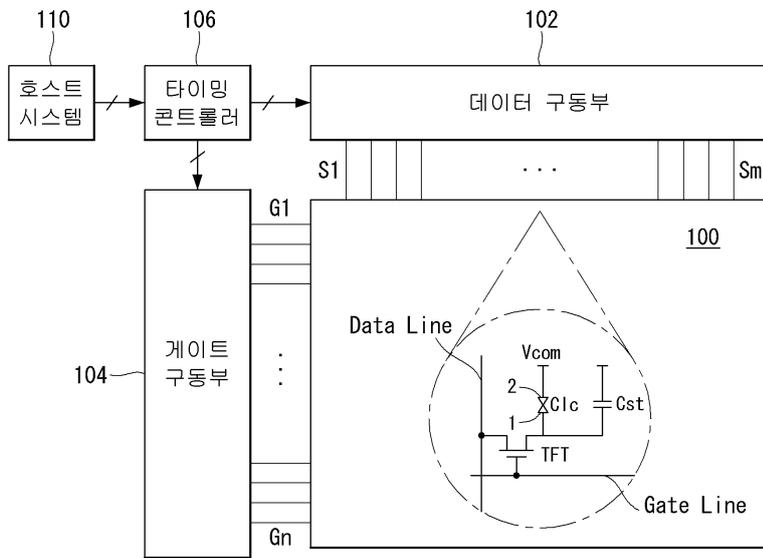
- [0054] 게이트 라인(GL)과 TFT의 게이트(G)는 하부 기판(SUBS1) 상에 형성된다. 게이트 절연막(GI)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 TFT의 게이트(G)를 덮는다. TFT의 게이트(G)는 게이트 라인(GL)과 일체화된다. 반도체 패턴(ACT)은 TFT의 게이트(G)와 중첩되도록 게이트 절연막(GI) 상에 형성된다. 반도체 패턴(ACT)은 비정질 실리콘(a-Si) LTPS, 산화물 반도체 등의 반도체 물질로 형성되어 TFT의 액티브 채널층으로 이용된다. TFT의 소스 및 드레인(S, D)은 TFT의 게이트(G)와 중첩되도록 반도체 패턴(ACT) 상에 형성된다. 드레인(D)은 데이터 라인(DL)과 일체화된다. 소스(S)는 제1 무기 보호막(PAS0), 유기 보호막(PAC), 및 제2 무기 보호막(PAS1)을 관통하는 콘택홀(CH)을 통해 픽셀 전극(PXL)과 접촉된다. 에치 스톱퍼층(ES)은 SiO_x와 같은 무기 절연 물질로 반도체 패턴(ACT)과 게이트 절연막(GI) 상에 형성되어 소스 및 드레인(S, D)의 식각 시에 식각액(etchant)로부터 반도체 패턴(ACT)을 보호한다. 제1 무기 보호막(PAS0)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 TFT와 에치 스톱퍼(ES)를 덮는다. 유기 보호막(PAC)은 포토 아크릴(Photo-acryl)과 같은 유기 절연 물질로 형성되어 제1 무기 보호막(PAS0)을 덮는다. 공통 전극(COM), 도전성 연결부(CNT) 및 픽셀 전극(PXL)은 ITO(Indium-Tin Oxide)와 같은 투명 전극 물질로 형성될 수 있다.
- [0055] 공통 전극(COM)은 유기 보호막(PAC) 상에 형성된다. 제2 무기 보호막(PAS1)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 공통 전극(COM)을 덮는다. 도전성 연결부(CNT)는 제2 무기 보호막(PAS1)을 관통하는 콘택홀을 통해 공통 전극(COM)에 연결된다. 픽셀 전극(PXL)은 공통 전극(COM)과 중첩되도록 제2 무기 보호막(PAS1) 상에 형성된다. 픽셀 전극(PXL)과 도전성 연결부(CNT)는 같은 물질로 동시에 형성될 수 있다. 픽셀 전극(PXL)은 콘택홀(CH)을 통해 TFT의 소스(S)와 접촉된다.
- [0056] 하부 배향막(PI)은 픽셀 전극(PXL)과 도전성 연결부(CNT)를 덮도록 제2 무기 보호막(PAS1) 상에 형성된다. 하부 배향막(PI)은 픽셀 전극(PXL)에 직접 접촉되고, 도전성 연결부(CNT)를 통해 공통 전극(COM)과 연결된다. 하부 배향막(PI)은 하판에서 네가티브 액정(nLC)과 접하여 광배향되어 액정 분자의 선경사각을 설정한다.
- [0057] 상판에는 블랙 매트릭스(BM), 컬러 필터(CF), 상부 배향막(PI), 및 컬럼 스페이서(CS)가 형성된다. 블랙 매트릭스(BM)와 컬러 필터(CF)는 상부 기판(SUBS2) 상에 형성된다. 상부 배향막(PI)은 상판에서 네가티브 액정(nLC)과 접하여 광배향되어 액정 분자의 선경사각을 설정한다. 컬럼 스페이서(CS)는 상판과 하판 사이에 형성되어 네가티브 액정층의 셀갭을 유지한다.
- [0058] 본 발명의 제2 실시예에 따른 액정표시장치의 경우에, 도 7 내지 도 9 에서 픽셀 전극(PXL)과 공통 전극(COM)의 위치가 서로 반대로 되고 픽셀 전극(PXL)이 TFT에 연결된다.
- [0059] 도 10은 본 발명의 제3 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- [0060] 도 10을 참조하면, 본 발명의 액정표시장치는 절연막을 사이에 두고 공통 전극(COM) 위에 배치된 픽셀 전극(PXL)과, 픽셀 전극(PXL)과 공통 전극(COM)에 접촉된 배향막(PI)을 포함한다. 보호막(PAS1)은 공통 전극(COM)과 픽셀 전극(PXL) 사이에 형성된 절연막이다.
- [0061] 이 실시예에서, 공통 전극(COM)이 픽셀 전극(PXL) 아래에 위치하는 하부 전극이고, 픽셀 전극(PXL)이 상부 전극이다.
- [0062] 보호막(PAS1)에는 공통 전극(COM)을 노출하는 오픈홀(OH)이 형성된다. 오픈홀(OH)은 픽셀 전극(PXL)을 제외한 모든 영역에서 공통 전극(COM)을 노출한다. 예컨대, 오픈홀(OH)은 픽셀의 개구 영역 내에서 픽셀 전극들(PXL) 사이에서 공통 전극(COM)을 노출하고, 또한 블랙 매트릭스에 의해 가려지는 비개구 영역에서도 공통 전극(COM)을 노출한다. 배향막(PI)은 픽셀 전극(PXL)과 접촉되고 또한, 오픈홀(OH)을 통해 공통 전극(COM)에 접촉된다. 배향막(PI)에 축적된 이온은 배향막(PI)이 픽셀 전극(PXL)과 공통 전극(COM)에 직접 연결되기 때문에 그 전극들(PXL, COM)을 통해 방전된다.
- [0063] 오픈홀(OH)이 픽셀 전극 이외의 다른 부분에서 공통 전극(COM)을 노출하기 때문에 전술한 실시예에 비하여 배향막(PI)과 공통 전극(COM)의 접촉 면적을 확대할 수 있다. 배향막(PI)과 공통 전극(COM) 간의 접촉 면적이 작거나 그 접촉 저항이 크면 배향막 물질에 따라 잔상 및 플리커 개선 효과가 차이가 있다. 실험 결과, 도 10과 같이 배향막(PI)과 공통 전극(COM) 간의 접촉 면적을 확대하면 배향막의 조성이나 물성 차이가 있더라도 잔상 및 플리커를 현저히 개선할 수 있다.
- [0064] 도 11은 본 발명의 제4 실시예에 따른 액정표시장치의 하판 구조를 보여 주는 도면이다.
- [0065] 도 11을 참조하면, 본 발명의 액정표시장치는 절연막을 사이에 두고 픽셀 전극(PXL) 위에 배치된 공통 전극(COM)과, 픽셀 전극(PXL)과 공통 전극(COM)에 접촉된 배향막(PI)을 포함한다. 보호막(PAS1)은 공통 전극(COM)

과 픽셀 전극(PXL) 사이에 형성된 절연막이다.

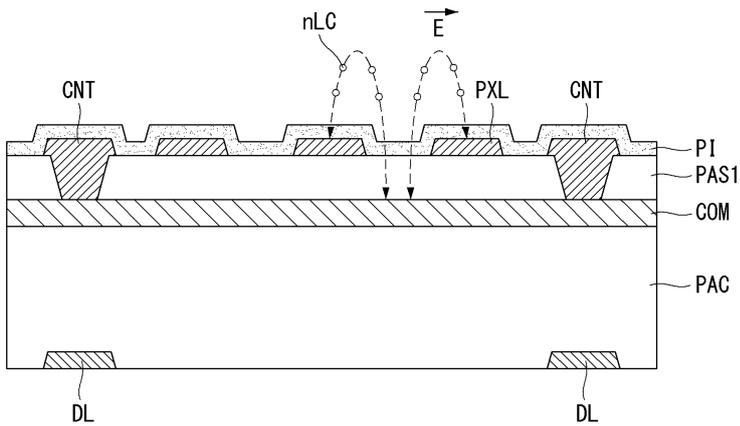
- [0066] 이 실시예에서, 픽셀 전극(PXL)이 공통 전극(COM) 아래에 위치하는 하부 전극이고, 공통 전극(COM)이 상부 전극이다.
- [0067] 보호막(PAS1)에는 픽셀 전극(PXL)을 노출하는 오픈홀(OH)이 형성된다. 예컨대, 오픈홀(OH)은 픽셀의 개구 영역 내에서 공통 전극들(COM) 사이에서 픽셀 전극(PXL)을 노출한다. 배향막(PI)은 픽셀 전극(PXL)과 접촉되고 또한, 오픈홀(OH)을 통해 공통 전극(COM)에 접촉된다. 배향막(PI)에 축적된 이온은 배향막(PI)이 픽셀 전극(PXL)과 공통 전극(COM)에 직접 연결되기 때문에 그 전극들(PXL, COM)을 통해 방전된다.
- [0068] 이 실시예는 공통 전극(COM)과 픽셀 전극(PIX)의 위치가 서로 바뀐 구조를 제외하면 본 발명의 제3 실시예와 실질적으로 동일하다.
- [0069] 도 12는 본 발명의 제3 실시예에 따른 액정표시장치에서 한 개의 서브 픽셀을 확대하여 보여 주는 평면도이다. 도 13은 도 12에서 선 "II-II"를 따라 절취하여 액정표시장치의 하판 단면 구조를 보여 주는 단면도이다.
- [0070] 도 12 및 도 13을 참조하면, 이 액정표시장치는 액정층을 사이에 두고 접합된 상판 및 하판을 포함한다. 상판 구조는 전술한 실시예들과 실질적으로 동일하다. 하판은 TFT, 게이트 절연막(GI), 에치 스토퍼층(ES), 제1 무기 보호막(PAS0), 유기 보호막(PAC), 공통 전극(COM), 제2 무기 보호막(PAS1), 픽셀 전극(PXL), 및 하부 배향막(PI)을 포함한다.
- [0071] 게이트 라인(GL)과 TFT의 게이트(G)는 하부 기판(SUBS1) 상에 형성된다. 게이트 절연막(GI)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 TFT의 게이트(G)를 덮는다. TFT의 게이트(G)는 게이트 라인(GL)과 일체화된다. 반도체 패턴(ACT)은 TFT의 게이트(G)와 중첩되도록 게이트 절연막(GI) 상에 형성된다. 반도체 패턴(ACT)은 비정질 실리콘(a-Si) LTPS, 산화물 반도체 등의 반도체 물질로 형성되어 TFT의 액티브 채널층으로 이용된다. TFT의 소스 및 드레인(S, D)은 TFT의 게이트(G)와 중첩되도록 반도체 패턴(ACT) 상에 형성된다. 드레인(D)은 데이터 라인(DL)과 일체화된다. 소스(S)는 제1 무기 보호막(PAS0), 유기 보호막(PAC), 및 제2 무기 보호막(PAS1)을 관통하는 콘택홀(CH)을 통해 픽셀 전극(PXL)과 접촉된다. 에치 스토퍼층(ES)은 SiO_x와 같은 무기 절연 물질로 반도체 패턴(ACT)과 게이트 절연막(GI) 상에 형성되어 소스 및 드레인(S, D)의 식각 시에 식각액(etchant)로부터 반도체 패턴(ACT)을 보호한다. 제1 무기 보호막(PAS0)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 TFT와 에치 스토퍼(ES)를 덮는다. 유기 보호막(PAC)은 포토 아크릴(Photo-acryl)과 같은 유기 절연 물질로 형성되어 제1 무기 보호막(PAS0)을 덮는다. 공통 전극(COM)과 픽셀 전극(PXL)은 ITO와 같은 투명 전극 물질로 형성될 수 있다.
- [0072] 공통 전극(COM)은 유기 보호막(PAC) 상에 형성된다. 제2 무기 보호막(PAS1)은 SiO_x, SiN_x 등의 무기 절연막으로 형성되어 공통 전극(COM)의 일부를 덮는다. 제2 무기 보호막(PAS1)에는 공통 전극(COM)을 노출하는 오픈홀(OH)이 형성된다. 오픈홀(OH)은 픽셀 전극 패턴을 마스크로 패터닝되기 때문에 픽셀 전극을 제외한 모든 영역에서 공통 전극(COM)을 노출한다.
- [0073] 픽셀 전극(PXL)은 공통 전극(COM)과 중첩되도록 제2 무기 보호막(PAS1) 상에 형성된다. 픽셀 전극(PXL)은 콘택홀(CH)을 통해 TFT의 소스(S)와 접촉된다.
- [0074] 하부 배향막(PI)은 픽셀 전극(PXL)을 덮고 또한, 오픈홀(OH)을 통해 공통 전극(COM)을 덮도록 제2 무기 보호막(PAS1) 상에 형성된다. 하부 배향막(PI)은 픽셀 전극(PXL)과 공통 전극(COM)에 직접 접촉된다. 하부 배향막(PI)은 하판에서 네가티브 액정(nLC)과 접하여 광배향되어 액정 분자의 선경사각을 설정한다.
- [0075] 도 12 및 도 13 에서 픽셀 전극(PXL)과 공통 전극(COM)의 위치가 서로 반대로 변경되고 픽셀 전극(PXL)이 TFT에 연결되면, 그 구조는 도 11과 같은 본 발명의 제4 실시예에 따른 액정표시장치와 같다.
- [0076] 도 14는 도 13에 도시된 액정표시장치에서 오픈홀을 형성하는 방법을 보여 주는 단면도이다.
- [0077] 도 14를 참조하면, 공통 전극(COM) 위에 보호막(PAS1)과 픽셀 전극 물질층이 적층되어 있다.
- [0078] 픽셀 전극(PXL)과 보호막(PAS1)은 하나의 포토리소그래피(Photo Lithography) 공정으로 패터닝될 수 있다. 픽셀 전극 물질층 상에 포토레지스트(photoresist)를 도포하고, 그 위에 포토마스크(photomask)를 정렬하여 노광 및 현상 공정을 실시하여 포토레지스트를 패터닝함으로써 픽셀 전극 물질층 상에 포토레지스트 패턴(PR)을 형성한다.
- [0079] 본 발명은 습식 식각(wet etch)을 실시하여 포토레지스트 패턴(PR) 아래의 픽셀 전극 물질층만 남기고 다른 픽

도면

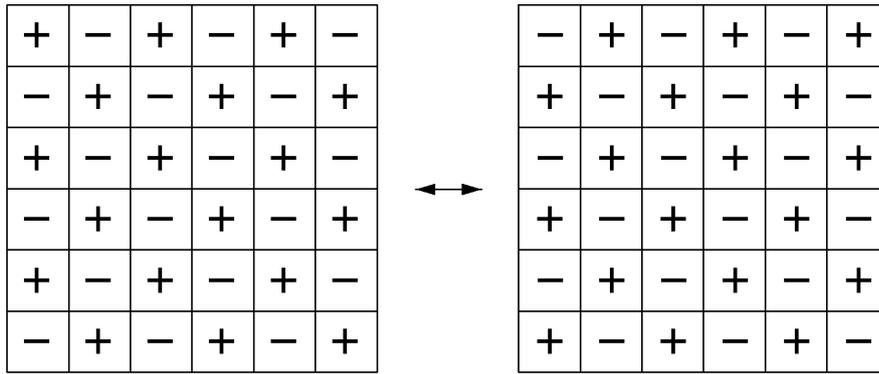
도면1



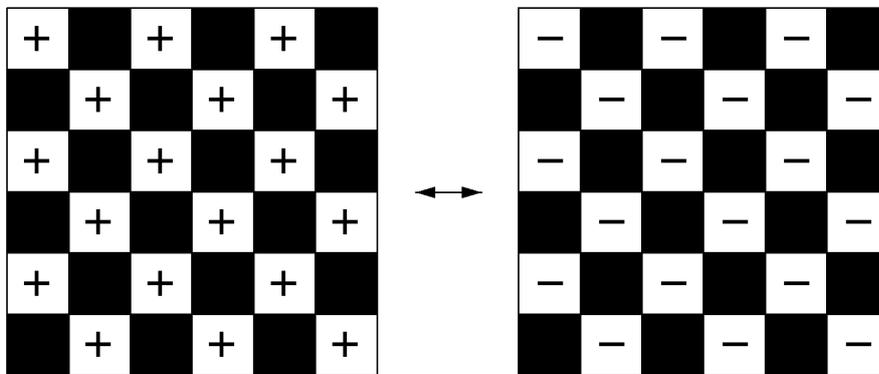
도면2



도면5

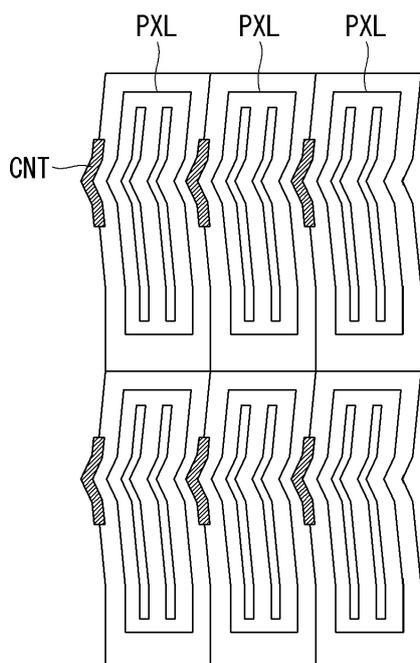


(A)

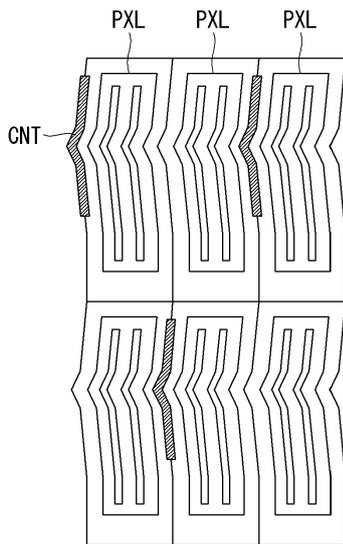


(B)

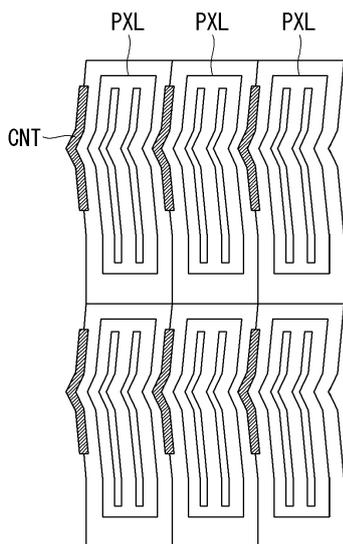
도면6a



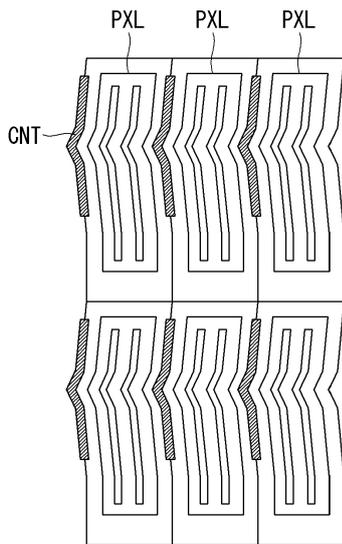
도면6b



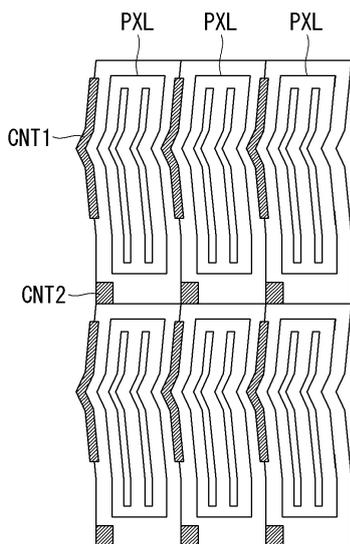
도면6c



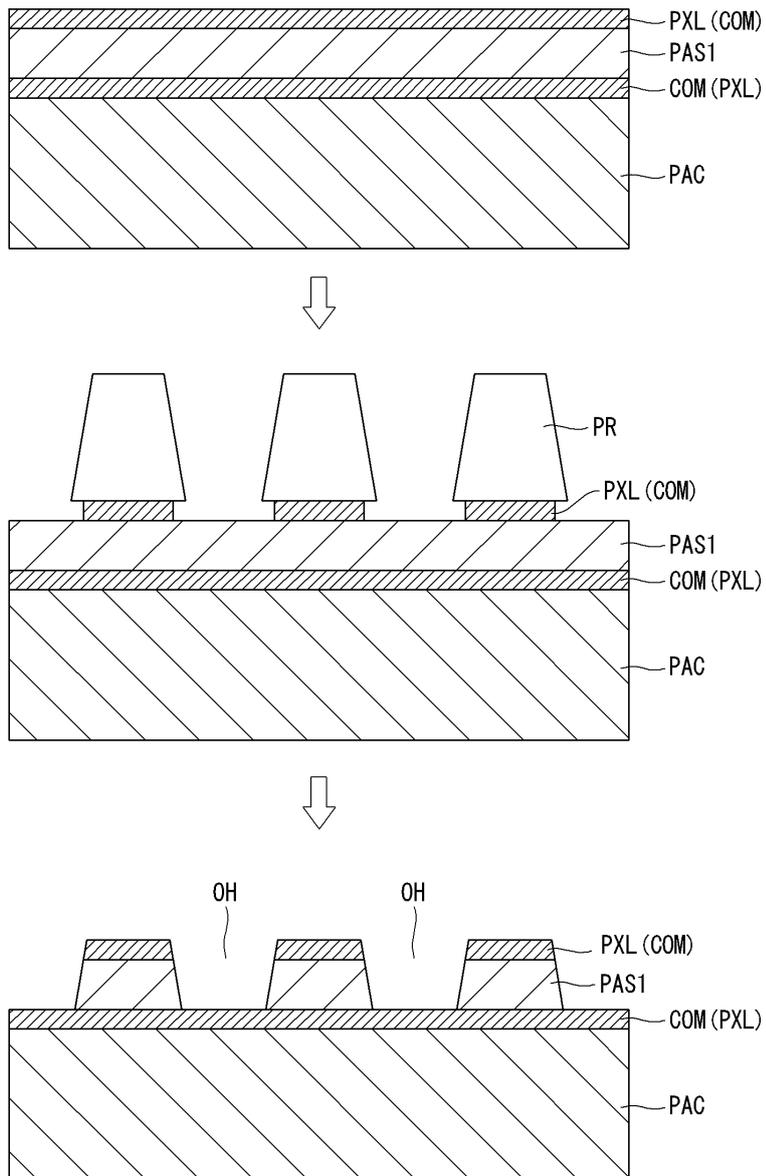
도면6d



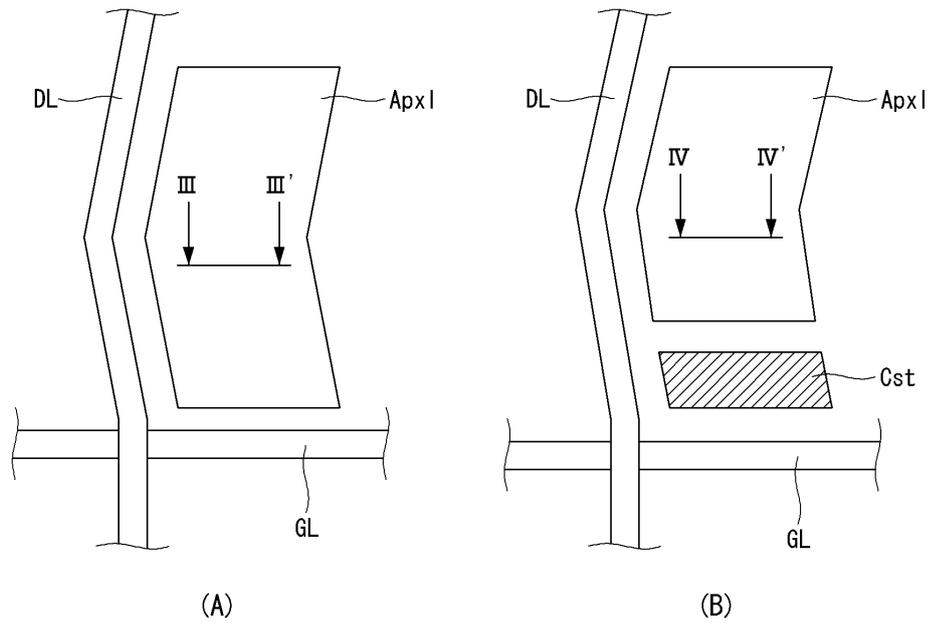
도면6e



도면14



도면15



도면16

