(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월26일
(11) 등록번호 10-2293838
(24) 등록일자 2021년08월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0191933
(22) 출원일자 2014년12월29일
심사청구일자 2019년11월27일
(65) 공개번호 10-2016-0082759
(43) 공개일자 2016년07월11일
(56) 선행기술조사문헌
KR1020050068193 A*
(뒷면에 계속)
전체 청구항 수 : 총 10 항

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조창훈
경상북도 구미시 인동26길 65 108동 606호 (진평동,미래주공아파트)
(74) 대리인
이승찬

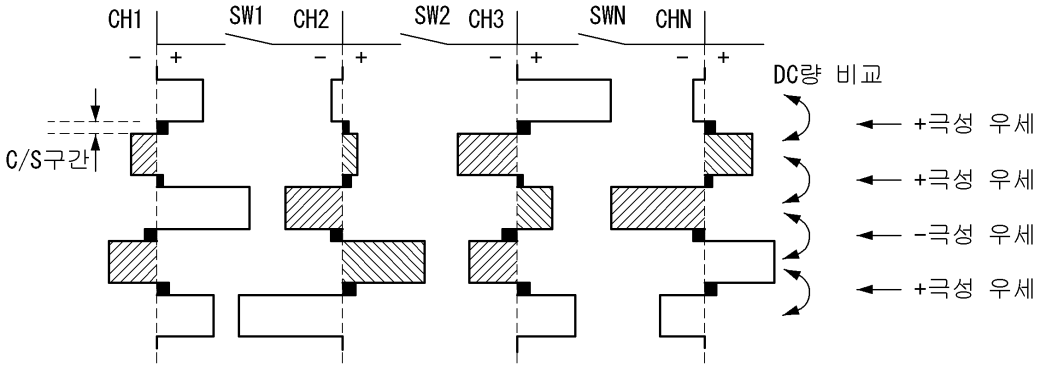
심사관 : 추장희

(54) 발명의 명칭 **액정표시장치와 이의 구동방법**

(57) 요 약

본 발명은 액정패널 및 데이터 구동부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 데이터 구동부는 액정패널의 데이터라인들에 연결되고, 데이터전압의 우세한 극성 방향으로 차지 쉐어링을 한다.

대 표 도 - 도6



(56) 선행기술조사문헌
KR1020110050056 A*
KR1020130051303 A
KR1020120111643 A
KR1020120096777 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

영상을 표시하는 액정패널; 및

상기 액정패널의 데이터라인들에 연결되고, 데이터전압의 우세한 극성 방향으로 차지 쉐어링을 하는 데이터 구동부를 포함하고,

상기 데이터 구동부는

이전 라인과 현재 라인의 데이터신호를 비교하여 직류량의 정도를 분석하고, 현재 라인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성하는 액정표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 데이터 구동부는

이전 라인과 현재 라인의 데이터신호가 동일하면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 데이터 구동부는

상기 차지 쉐어링을 하는 차지 쉐어부와,

제1래치와 제2래치에 저장된 이전 라인의 데이터신호와 현재 라인의 데이터신호를 비교하고 비교 결과에 대응되는 결과값을 출력하는 비교 회로부와,

상기 비교 회로부로부터 전달된 상기 결과값을 기반으로 상기 차지 쉐어부를 제어하는 차지 제어신호를 출력하는 차지 제어신호 생성부를 포함하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 차지 쉐어부는

각 채널 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제1스위치 그룹과,

동일 극성 간에 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제2스위치 그룹을 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 제1스위치 그룹은 이전 라인과 현재 라인의 데이터신호가 동일하면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성하도록 스위칭 동작하고,

상기 제2스위치 그룹은 상기 현재 라인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성하도록 스위칭 동작하는 액정표시장치.

청구항 7

이전 라인의 이전 데이터신호와 현재 라인의 현재 데이터신호를 비교하여 이들 간의 직류량의 정도를 계산하는 단계; 및

상기 현재 라인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성하는 단계를 포함하는 액정표시장치의 구동방법.

청구항 8

제7항에 있어서,

상기 차지 쉐어 전압을 형성하는 단계는

상기 이전 라인과 상기 현재 라인 간의 직류량이 모두 같으면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 9

제1항에 있어서,

상기 데이터 구동부는

데이터신호를 아날로그 형태의 데이터전압으로 변환하여 출력하는 DA변환부와,

상기 차지 쉐어링을 하는 차지 쉐어부와,

상기 차지 쉐어부의 후단에 위치하는 출력앰프를 포함하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 차지 쉐어부는

상기 데이터 구동부의 각 채널 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제1스위치 그룹과,

동일 극성 간에 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제2스위치 그룹과,

서브 픽셀 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제3스위치 그룹을 포함하는 액정표시장치.

청구항 11

제10항에 있어서,

상기 데이터 구동부는

상기 차지 쉐어부의 종단에 위치하는 먹스그룹을 더 포함하고,

상기 먹스그룹은

상기 제1스위치 그룹이 동작하면 상기 제1스위치 그룹에 의해 형성된 제1차지 쉐어 전압을 출력하도록 동작하고, 상기 제2스위치 그룹이 동작하면 상기 제2스위치 그룹에 의해 형성된 제2차지 쉐어 전압을 출력하도록 동작하고, 상기 제3스위치 그룹이 동작하면 상기 제3스위치 그룹에 의해 형성된 제3차지 쉐어 전압을 출력하도록 동작하는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치와 이의 구동방법에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다. 액정패널은 게이트 구동부로부터 공급된 게이트신호와 데이터 구동부로부터 공급된 데이터전압 등을 기반으로 동작한다.

[0004] 액정표시장치는 데이터전압을 정극성과 부극성으로 반전하여 출력하는 데이터 구동부의 구동 특성에 기인하여 발생하는 소비전력 문제를 해결하기 위해 전하를 공유하는 차지 쉐어링(Charge Sharing) 방법을 사용한다.

[0005] 종래에 제안된 차지 쉐어링 방법은 특별한 선택사항 없이 모든 조건에서 데이터 구동부의 모든 채널의 스위치를 닫음(ON)으로써 액정패널을 고전위전압(VDD)의 중간 레벨로 변화시켜 다이내믹 커런트(Dynamic Current)를 낮춘다. 종래에 제안된 차지 쉐어링 방법은 소비전류를 감소하고 구동시 발생 온도를 낮추기 위한 개선의 여지가 있는바 이에 대한 연구가 필요하다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 데이터 구동부의 출력앰프에서 소모되는 다이내믹 커런트(Dynamic Current)를 감소하고, 구동시의 발생 온도를 낮추는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 액정패널 및 데이터 구동부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 데이터 구동부는 액정패널의 데이터라인들에 연결되고, 데이터전압의 우세한 극성 방향으로 차지 쉐어링을 한다.

[0008] 데이터 구동부는 이전 라인과 현재 라인의 데이터신호를 비교하여 직류량의 정도를 분석하고, 현재 라인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성할 수 있다.

[0009] 데이터 구동부는 이전 라인과 현재 라인의 데이터신호가 동일하면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성할 수 있다.

[0010] 데이터 구동부는 차지 쉐어링을 하는 차지 쉐어부와, 제1래치와 제2래치에 저장된 이전 라인의 데이터신호와 현재 라인의 데이터신호를 비교하고 비교 결과에 대응되는 결과값을 출력하는 비교 회로부와, 비교 회로부로부터 전달된 결과값을 기반으로 차지 쉐어부를 제어하는 차지 제어신호를 출력하는 차지 제어신호 생성부를 포함할 수 있다.

[0011] 차지 쉐어부는 각 채널 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제1스위치 그룹과, 동일 극성 간에 차지 쉐어링이 수행되도록 구성된 스위치들을 포함하는 제2스위치 그룹을 포함할 수 있다.

[0012] 제1스위치 그룹은 이전 라인과 현재 라인의 데이터신호가 동일하면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성하도록 스위칭 동작하고, 제2스위치 그룹은 현재 라인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성하도록 스위칭 동작할 수 있다.

[0013] 다른 측면에서 본 발명은 액정표시장치의 구동방법을 제공한다. 액정표시장치의 구동방법은 이전 라인의 이전 데이터신호와 현재 라인의 현재 데이터신호를 비교하여 이들 간의 직류량의 정도를 계산하는 단계; 및 현재 라

인이 부극성 방향으로 우세하면 부극성 방향으로 차지 쉐어 전압을 형성하고, 정극성 방향으로 우세하면 정극성 방향으로 차지 쉐어 전압을 형성하는 단계를 포함한다.

[0014] 차지 쉐어 전압을 형성하는 단계는 이전 라인과 상기 현재 라인 간의 직류량이 모두 같으면 고전위전압의 중간 레벨로 차지 쉐어 전압을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0015] 본 발명은 영상에서 차지하는 극성의 우세 방향으로 차지 쉐어링을 수행하여 데이터 구동부의 출력앰프에서 소모되는 다이내믹 커런트(Dynamic Current)를 감소할 수 있는 효과가 있다. 또한, 본 발명은 극성의 우세 방향으로 차지 쉐어링을 수행하여 데이터 구동부의 출력앰프가 받는 로드가 감소하므로 구동시의 발생 온도를 낮출 수 있는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.

도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도.

도 3은 본 발명의 일 실시예에 따른 액정패널 모듈의 분해 사시도.

도 4는 종래에 제안된 차지 쉐어링 방법을 설명하기 위한 파형도.

도 5는 본 발명의 일 실시예에 따른 데이터 구동부의 내부 구성을 개략적으로 나타낸 블록도.

도 6은 본 발명의 일 실시예에 따른 차지 쉐어링 방법을 설명하기 위한 파형도.

도 7은 본 발명의 일 실시예에 따른 차지 쉐어링 방법을 설명하기 위한 흐름도.

도 8은 본 발명의 일 실시예에 따른 차지 제어부를 나타낸 예시도.

도 9는 본 발명의 일 실시예에 따른 차지 쉐어부를 나타낸 예시도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0018] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이며, 도 3은 본 발명의 일 실시예에 따른 액정패널 모듈의 분해 사시도이고, 도 4는 종래에 제안된 차지 쉐어링 방법을 설명하기 위한 파형도이다.

[0019] 도 1 및 도 2에 도시된 바와 같이 액정표시장치에는 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정패널(160) 및 백라이트유닛(170)이 포함된다.

[0020] 타이밍 제어부(130)는 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 영상처리부(110)로부터 공급된 데이터신호(DATA)를 데이터 구동부(150)에 공급한다.

[0021] 게이트 구동부(140)는 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 게이트신호를 공급한다. 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0022] 데이터 구동부(150)는 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(150)는 1 프레임 주기로 데이터전압의 극성을 반전하여 출력할 수 있다. 데이터 구동부(150)는 데이터라인들(DL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 데이터전압(또는 데이터신호)을 공급한다. 데이터 구동부(150)는 IC(Integrated Circuit) 형태로 형성된다.

[0023] 액정패널(160)은 게이트 구동부(140)로부터 공급된 게이트신호와 데이터 구동부(150)로부터 공급된 데이터전압에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들

(SP)이 포함된다.

[0024] 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(SW)의 게이트전극은 게이트라인(GL1)에 연결되고 소스전극은 데이터라인(DL1)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(SW)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(SW)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.

[0025] 액정패널(160)은 화소전극(1) 및 공통전극(2)의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다. 액정패널(160)은 적색, 녹색 및 청색의 서브 픽셀로 구현되거나 소비전류 절감 등을 위해 적색, 녹색, 청색의 서브 픽셀과 더불어 백색의 서브 픽셀로 구현되기도 한다.

[0026] 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 액정패널(160)에 광을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED가 실장된 LED기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.

[0027] 액정패널(160) 및 백라이트유닛(170)은 커버 등에 의해 수납되어 액정패널 모듈로 제작되는데, 이를 개략적으로 설명하면 다음과 같다.

[0028] 도 3에 도시된 바와 같이, 액정패널 모듈(160, 165, 170)은 백라이트유닛(170)의 하부에 위치하는 커버버텀(171)과 액정패널(160)의 상부에 위치하는 커버탑(165)에 의해 수납된 구조를 갖는다.

[0029] 커버버텀(171)과 서포트메인(177)은 LED(174), 반사판(또는 반사시트)(172), 도광판(175) 및 다수의 광확시트류(176) 등을 수납한다. 그리고 커버탑(165)과 서포트메인(177)은 액정패널(160) 등을 수납한다.

[0030] 이하, 커버버텀(171)부터 커버탑(165)사이에 위치하는 구성 및 이들의 기능을 설명하면 다음과 같다.

[0031] 반사판(172)은 커버버텀(171) 상에 안착된다. 반사판(172)은 도광판의 하부에서 광을 반사시키는 역할을 한다.

[0032] 도광판(175)은 반사판(172) 상에 안착된다. 도광판(175)은 LED(174)로부터 출사된 광을 면광원으로 변환시키는 역할을 한다. 도광판(175)의 입광부(또는 타 측면)에는 LED(174)가 실장된 LED기판(173)이 설치된다.

[0033] 다수의 광확시트류(176)는 도광판(175) 상에 안착된다. 다수의 광확시트류(176)는 도광판(175)으로부터 출사된 광을 집광 및 확산하는 역할을 한다. 다수의 광확시트류(176)는 하나 이상 다른 구조 및 기능을 갖는 시트들로 구성된다.

[0034] 서포트메인(177)은 커버버텀(171) 상에 안착된다. 서포트메인(177)은 액정패널(160)을 지지하며, 다수의 광확시트류(176) 등이 커버버텀(171) 내에 안전하게 수납되도록 고정하는 역할을 한다. 서포트메인(177)은 다수의 광확시트류(176)를 통해 출사된 광을 통과시킬 수 있는 프레임 형상을 갖는다.

[0035] 액정패널(160)은 서포트메인(177) 상에 안착된다. 액정패널(160)은 영상을 표시하는 역할을 한다. 액정패널(160)은 스위칭 트랜지스터 등이 형성된 하부기판(160a)과 컬러필터 등이 형성된 상부기판(160b) 그리고 이들 사이에 형성된 액정층을 포함한다. 액정패널(160)은 커버탑(165)과 서포트메인(177)에 의해 수납된다. 커버탑(165)은 액정패널(160)의 표시영역을 노출할 수 있는 프레임 형상을 갖는다.

[0036] 앞서 설명된 액정표시장치는 직류 옵셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 도트 인버젼(dot inversion) 방식을 채용하여 수평 및 수직으로 이웃한 서브 픽셀들의 단위로 데이터전압의 극성을 반전시킨다. 데이터전압의 극성은 공통전압을 기준으로 결정된다. 정극성(+) 데이터전압은 공통전압보다 높은 범위 내에서 선택되고 부극성(-) 데이터전압은 공통전압보다 낮은 범위 내에서 선택된다.

[0037] 그런데, 이러한 도트 인버젼 방식은 동일 데이터라인에 인가되는 데이터전압이 매 수평기간마다 정극성(+)과 부극성(-) 사이에서 스윙되어야 하므로, 데이터 트랜지션 횟수가 수직 해상도만큼 증가한다. 이로 인하여, 액정표시장치는 데이터전압을 정극성과 부극성으로 반전하여 출력하는 데이터 구동부의 구동 특성에 기인하여 발생하는 소비전류 문제를 해결하기 위해 전하를 공유하는 차지 쉐어링(Charge Sharing) 방법을 사용한다.

[0038] 도 4에서, SOE는 소스 출력 인에이블신호를 의미하고, N, N+1 ~ N+3은 현재 라인, 다음 라인 등의 수평 라인(또는 수평 기간)을 의미하고, C/S 구간은 차지 쉐어링이 일어나는 구간을 의미한다. 도면을 통해 알 수 있듯이,

종래에 제안된 차지 쉐어링 방법은 소스 출력 인에이블신호(SOE)에 대응하여 특별한 선택사항 없이 모든 조건에서 데이터 구동부의 모든 채널(CH1 ~ CHN)의 스위치(SW1 ~ SWN)를 닫음(ON)으로써 액정패널을 고전위전압(VDD)의 중간 레벨로 변화시켜 다이내믹 커런트(Dynamic Current)를 낮춘다.

[0039] 종래에 제안된 차지 쉐어링 방법은 소비전류를 감소하고 구동시 발생 온도를 낮추기 위한 개선의 여지가 있는바 이에 대한 연구가 필요하다.

[0040] 도 5는 본 발명의 일 실시예에 따른 데이터 구동부의 내부 구성을 개략적으로 나타낸 블록도이고, 도 6은 본 발명의 일 실시예에 따른 차지 쉐어링 방법을 설명하기 위한 파형도이며, 도 7은 본 발명의 일 실시예에 따른 차지 쉐어링 방법을 설명하기 위한 흐름도이고, 도 8은 본 발명의 일 실시예에 따른 차지 제어부를 나타낸 예시도이며, 도 9는 본 발명의 일 실시예에 따른 차지 쉐어부를 나타낸 예시도이다.

[0041] 도 5 내지 도 7에 도시된 바와 같이, 본 발명의 일 실시예에 따른 데이터 구동부에는 시프트 레지스터(SR; Shift register), 제1래치(LAT1; 1'st latch), 제2래치(LAT2; 2'nd latch), DA변환부(DAC; PDAC 및 NDAC), 스위치 어레이(143), 차지 제어부(141) 및 차지 쉐어부(145)가 포함된다. 차지 쉐어부(145)의 후단에 위치하는 출력앰프는 생략된 상태이다.

[0042] 데이터 구동부는 시프트 레지스터(SR), 제1 및 제2래치(LAT1, LAT2), DA변환부(DAC), 스위치 어레이(143), 차지 제어부(141) 및 차지 쉐어부(145)의 동작에 따라 디지털 형태의 데이터신호를 데이터전압으로 변환하고, 이를 자신의 출력채널(CH1 ~ CHN)을 통해 출력한다. 이하, 데이터 구동부에 포함된 구성을 개략적으로 설명하면 다음과 같다.

[0043] 시프트 레지스터(SR)는 타이밍 제어부로부터 출력된 소스 스타트 펄스와 소스 샘플링 클럭에 응답하여 샘플링신호를 출력한다. 제1 및 제2래치(LAT1, LAT2)는 시프트 레지스터(SR)로부터 출력된 샘플링신호에 응답하여 디지털 형태의 데이터신호를 순차적으로 샘플링하고 소스 출력 인에이블신호에 대응하여 샘플링된 1 라인 분의 데이터신호를 동시에 출력한다.

[0044] DA변환부(DAC)는 감마전압 생성부(미도시)로부터 출력된 제1 내지 제n감마계조전압에 대응하여 1 라인 분의 데이터신호를 아날로그 형태의 데이터전압으로 변환하여 출력한다. DA변환부(DAC)는 타이밍 제어부로부터 출력된 극성제어신호에 대응하여 감마계조전압을 정극성(+)과 부극성(-) 데이터전압으로 변환하는 정극성 DA변환부(PDAC)와 부극성 DA변환부(NDAC)를 포함한다.

[0045] 소스 스타트 펄스는 데이터 구동부의 데이터 샘플링 시작 타이밍을 제어하는 신호이다. 소스 샘플링 클럭은 라이징 또는 폴링 에지를 기준으로 데이터 구동부의 데이터 샘플링 타이밍을 제어하는 신호이다. 소스 출력 인에이블신호는 데이터 구동부의 출력 타이밍을 제어하는 신호이다. 극성제어신호는 데이터 구동부로 출력되는 데이터전압들의 수직 극성을 제어하는 신호이다.

[0046] 스위치 어레이(143)는 정극성 DA변환부(PDAC)와 부극성 DA변환부(NDAC)로부터 출력된 정극성 데이터전압과 부극성 데이터전압이 이웃하는 채널 등으로 교번하여 출력되도록 동작한다. 스위치 어레이(143)는 액정패널에 포함된 서브 픽셀들의 렌더링 방식 및 구동 방식 등에 따라 DA변환부(DAC)의 후단에 설치되거나 생략된다.

[0047] 차지 쉐어부(145)는 스위치 어레이(143)의 후단 또는 DA변환부(DAC)(스위치 어레이가 없는 경우)의 후단에 위치한다. 차지 쉐어부(145)는 액정패널의 데이터라인들에 잔류하는 전하(또는 데이터전압)가 공유되도록 데이터라인들을 선택적으로 접속(또는 쇼트)시킨다. 차지 쉐어부(145)는 차지 제어부(141)로부터 출력된 차지 제어신호(CS)에 대응하여 데이터라인들을 선택적으로 접속(또는 쇼트)시킨다.

[0048] 차지 제어부(141)는 차지 쉐어부(145)를 제어한다. 차지 제어부(141)는 이전 라인과 현재 라인 간의 직류량의 정도를 분석하고, 현재 차지 쉐어링 동작에 유리한 조건으로 차지 쉐어 레벨이 변화되도록 차지 쉐어부(145)를 제어한다. 차지 제어부(141)는 소스 출력 인에이블신호(SOE)를 참고하되, 이전 라인과 현재 라인에 인가된 데이터신호를 기반으로 차지 쉐어부(145)를 제어하는 차지 제어신호(CS)를 출력한다.

[0049] 차지 제어부(141)는 라인별 직류량을 계산한다(S110). 차지 제어부(141)는 라인별 직류량을 계산하기 위해 이전 라인(N-1)과 현재 라인(N) 간의 직류량의 정도를 비교한다(S120). 직류량의 정도는 래치의 이전 라인(N-1)에 저장된 이전 데이터신호와 현재 라인(N)에 저장된 현재 데이터신호를 비교하는 방식으로 알아낼 수 있다. 예컨대, 차지 제어부(141)는 이전 라인(N-1)과 현재 라인(N)의 데이터신호를 합(SUM)하는 방식으로 직류량(DC Level)을 계산할 수 있으나 이에 한정되지 않는다.

[0050] 차지 제어부(141)는 이전 라인(N-1)과 현재 라인(N) 간의 직류량이 모두 같을 경우(Yes), 데이터 구동부의 모든

채널(CH1 ~ CHN, All Channel)이 공통으로 차지 쉐어하도록 제어하는 신호를 출력한다(S125).

[0051] 차지 제어부(141)는 이전 라인(N-1)과 현재 라인(N) 간의 직류량이 다르되, 현재 라인(N)이 정극성(+) 방향으로 우세하면(Yes), 정극성(+) 우세 방향으로 차지 쉐어하도록 제어하는 신호를 출력한다(S135).

[0052] 차지 제어부(141)는 이전 라인(N-1)과 현재 라인(N) 간의 직류량이 다르되, 현재 라인(N)이 부극성(-) 방향으로 우세하면(No), 부극성(-) 우세 방향으로 차지 쉐어하도록 제어하는 신호를 출력한다(S140).

[0053] 차지 제어부(141)는 위와 같은 방식으로 차지 쉐어부(145)를 제어하게 되는바, 데이터 구동부의 출력채널(CH1 ~ CHN)에 걸리는 차지 쉐어 전압은 고전위전압(VDD)의 중간 레벨, 정극성(+) 방향의 전압 또는 부극성(-) 방향의 전압으로 변하게 된다. 도 6에서, C/S 구간은 차지 쉐어링이 일어나는 구간을 의미한다.

[0054] 도 8 및 도 9에 도시된 바와 같이, 차지 제어부(141)에는 비교 회로부(COP)와 차지 제어신호 생성부(CSG)가 포함된다. 그리고 차지 쉐어부(145)에는 제1스위치 그룹(SWG1), 제2스위치 그룹(SWG2) 및 제3스위치 그룹(SWG3)이 포함된다. 제3스위치 그룹(SWG3)은 생략될 수도 있다.

[0055] 도 9에서, P, N은 DA변환부(DAC)에 포함된 정극성 DA변환부와 부극성 DA변환부를 의미하고, SWM은 스위치 어레이(143)에 포함된 스위치들을 의미하며, +5, -67, +45 ~ +16, -230은 계조 전압을 의미한다.

[0056] 비교 회로부(COP)는 제1래치(LAT1)와 제2래치(LAT2)에 저장된 이전 라인의 데이터신호와 현재 라인의 데이터신호를 비교하고 비교 결과에 대응되는 결과값(또는 신호)를 차지 제어신호 생성부(CSG)에 전달한다.

[0057] 차지 제어신호 생성부(CSG)는 소스 출력 인에이블신호(SOE)를 참고하되, 비교 회로부(COP)로부터 전달된 결과값을 기반으로 차지 쉐어부(145)를 제어하는 제1 내지 제3차지 제어신호(CS1 ~ CS3)를 출력한다.

[0058] 제1스위치 그룹(SWG1)은 차지 제어신호 생성부(CSG)로부터 출력된 제1차지 제어신호(CS1)에 대응하여 동작한다. 제2스위치 그룹(SWG2)은 차지 제어신호 생성부(CSG)로부터 출력된 제2차지 제어신호(CS2)에 대응하여 동작한다. 제3스위치 그룹(SWG3)은 차지 제어신호 생성부(CSG)로부터 출력된 제3차지 제어신호(CS3)에 대응하여 동작한다.

[0059] 제1스위치 그룹(SWG1)은 데이터 구동부의 각 채널 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함한다. 제1스위치 그룹(SWG1)에 포함된 스위치들은 인접하는 출력라인들을 전기적으로 연결하도록 구성된다. 이를 위해, 제1스위치 그룹(SWG1)에 포함된 스위치들은 제1출력라인과 제2출력라인 사이에 일단과 타단이 접속된다. 제1스위치 그룹(SWG1)에 포함된 스위치들은 스위치전극에 공급된 제1차지 제어신호(CS1)에 대응하여 모든 출력라인들을 쇼트시키도록 턴온된다.

[0060] 제2스위치 그룹(SWG2)은 동일 극성 간에 차지 쉐어링이 수행되도록 구성된 스위치들을 포함한다. 제2스위치 그룹(SWG2)에 포함된 스위치들은 동일 극성을 갖는 출력라인들을 전기적으로 연결하도록 구성된다. 이를 위해, 제2스위치 그룹(SWG2)에 포함된 스위치들은 정극성용 스위치들과 부극성용 스위치들을 갖는다.

[0061] 정극성용 스위치들은 제1출력라인과 제2출력라인 사이에 일단과 타단이 접속된다. 제2스위치 그룹(SWG2)에 포함된 정극성용 스위치들은 스위치전극에 공급된 제2차지 제어신호(CS2)에 대응하여 자신과 동일한 극성에 해당하는 전압을 갖는 출력라인들을 쇼트시키도록 턴온된다.

[0062] 마찬가지로, 부극성용 스위치들 또한 제1출력라인과 제2출력라인 사이에 일단과 타단이 접속된다. 제2스위치 그룹(SWG2)에 포함된 부극성용 스위치들 또한 스위치전극에 공급된 제2차지 제어신호(CS2)에 대응하여 자신과 동일한 극성에 해당하는 전압을 갖는 출력라인들을 쇼트시키도록 턴온된다.

[0063] 제3스위치 그룹(SWG3)은 서브 픽셀 단위로 차지 쉐어링이 수행되도록 구성된 스위치들을 포함한다. 제3스위치 그룹(SWG3)에 포함된 스위치들은 서브 픽셀 단위의 출력라인들을 전기적으로 연결하도록 구성된다. 이를 위해, 제3스위치 그룹(SWG3)에 포함된 스위치들은 적색 서브 픽셀용 스위치들, 녹색 서브 픽셀용 스위치들 및 청색 서브 픽셀용 스위치들을 갖거나 백색 서브 픽셀용 스위치들을 더 갖는다.

[0064] 적색 서브 픽셀용 스위치들은 제1출력라인과 제2출력라인 사이에 일단과 타단이 접속된다. 제3스위치 그룹(SWG3)에 포함된 적색 서브 픽셀용 스위치들은 스위치전극에 공급된 제3차지 제어신호(CS3)에 대응하여 자신과 동일한 서브 픽셀에 해당하는 출력라인들을 쇼트시키도록 턴온된다. 제3스위치 그룹(SWG3)에 포함된 녹색 서브 픽셀용 스위치들은 스위치전극에 공급된 제3차지 제어신호(CS3)에 대응하여 자신과 동일한 서브 픽셀에 해당하는 출력라인들을 쇼트시키도록 턴온된다. 제3스위치 그룹(SWG3)에 포함된 청색 서브 픽셀용 스위치들은 스위치전극에 공급된 제3차지 제어신호(CS3)에 대응하여 자신과 동일한 서브 픽셀에 해당하는 출력라인들을 쇼트시키도록 턴온된다.

[0065] 차지 쉐어부(145)에는 제1스위치 그룹(SWG1), 제2스위치 그룹(SWG2) 및 제3스위치 그룹(SWG3)과 더불어 먹스그룹(MUXG)이 더 포함된다. 먹스그룹(MUXG)은 차지 쉐어부(145)의 종단에 위치(또는 설치)된다.

[0066] 차지 쉐어부(145)가 각 채널 단위 차지 쉐어링 또는 동일 극성 간의 차지 쉐어링만 하는 경우 먹스그룹(MUXG)은 생략될 수 있다. 그러나, 차지 쉐어부(145)는 차지 쉐어링 형태(모든 채널 공통으로 차지 쉐어, 극성 우세 방향으로 차지 쉐어)에 대응하여 이루어진 차지 쉐어 전압만 출력단을 통해 출력해야 하므로 먹스그룹(MUXG)을 구성하는 것이 바람직하다.

[0067] 먹스그룹(MUXG)의 입력단은 제1스위치 그룹(SWG1), 제2스위치 그룹(SWG2) 및 제3스위치 그룹(SWG1 ~ SWG3)의 일단에 각각 연결된다. 그리고 먹스그룹(MUXG)의 출력단은 데이터 구동부의 출력채널(CH1 ~ CHN)에 각각 연결된다. 먹스그룹(MUXG)은 차지 제어부(141)로부터 출력된 제1 내지 제3차지 제어신호(CS1 ~ CS3)를 기반으로 동작할 수 있으나 이에 한정되지 않는다.

[0068] 먹스그룹(MUXG)은 제1스위치 그룹(SWG1)이 동작하면 제1스위치 그룹(SWG1)에 의해 형성된 제1차지 쉐어 전압을 출력하도록 동작한다. 먹스그룹(MUXG)은 제2스위치 그룹(SWG2)이 동작하면 제2스위치 그룹(SWG2)에 의해 형성된 제2차지 쉐어 전압을 출력하도록 동작한다. 먹스그룹(MUXG)은 제3스위치 그룹(SWG3)이 동작하면 제3스위치 그룹(SWG3)에 의해 형성된 제3차지 쉐어 전압을 출력하도록 동작한다.

[0069] 이상 본 발명은 영상에서 차지하는 극성의 우세 방향으로 차지 쉐어링을 수행하여 데이터 구동부의 출력앰프에서 소모되는 다이내믹 커런트(Dynamic Current)를 감소할 수 있는 효과가 있다. 또한, 본 발명은 극성의 우세 방향으로 차지 쉐어링을 수행하여 데이터 구동부의 출력앰프가 받는 로드가 감소하므로 구동시의 발생 온도를 낮출 수 있는 효과가 있다.

[0070] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0071] 130: 타이밍 제어부 140: 게이트 구동부

150: 데이터 구동부 160: 액정패널

170: 백라이트유닛 141: 차지 제어부

145: 차지 쉐어부 COP: 비교 회로부

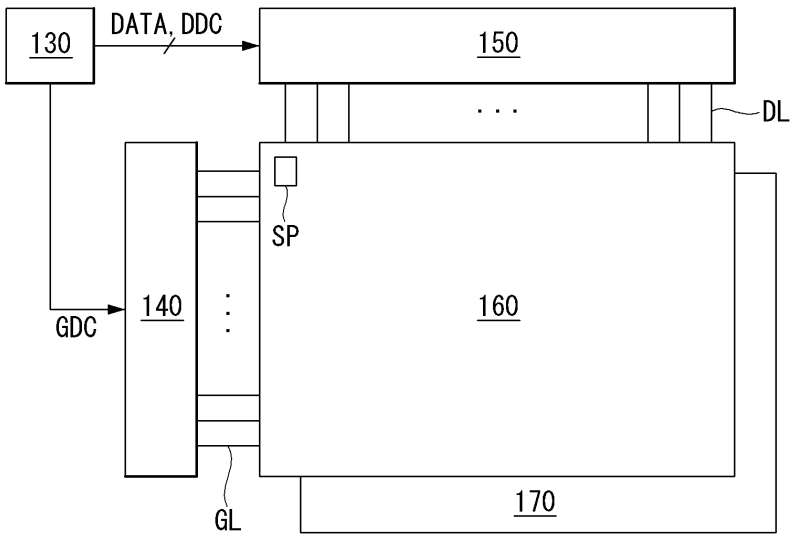
CSG: 차지 제어신호 생성부 LAT1, LAT2: 제1 및 제2래치

CS1 ~ CS3: 제1 내지 제3차지 제어신호

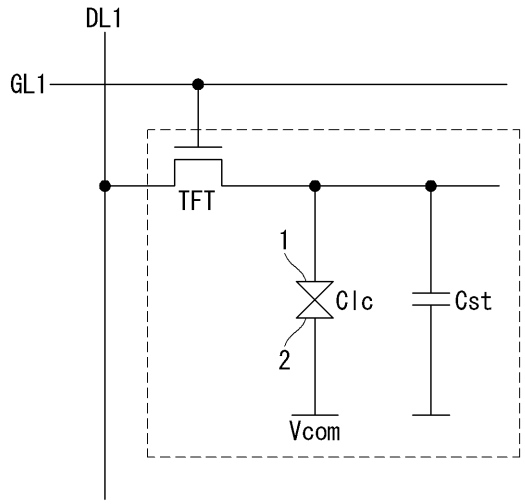
SWG1 ~ SWG3: 제1 내지 제3스위치 그룹

도면

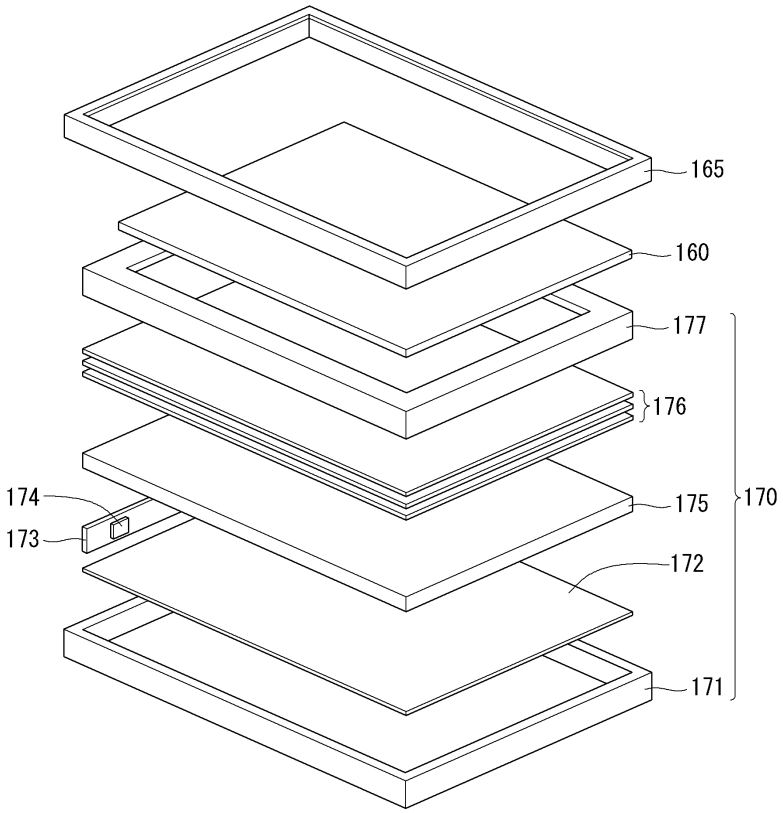
도면1


130
DATA, DDC
150
DL
SP
140
GDC
160
GL
170

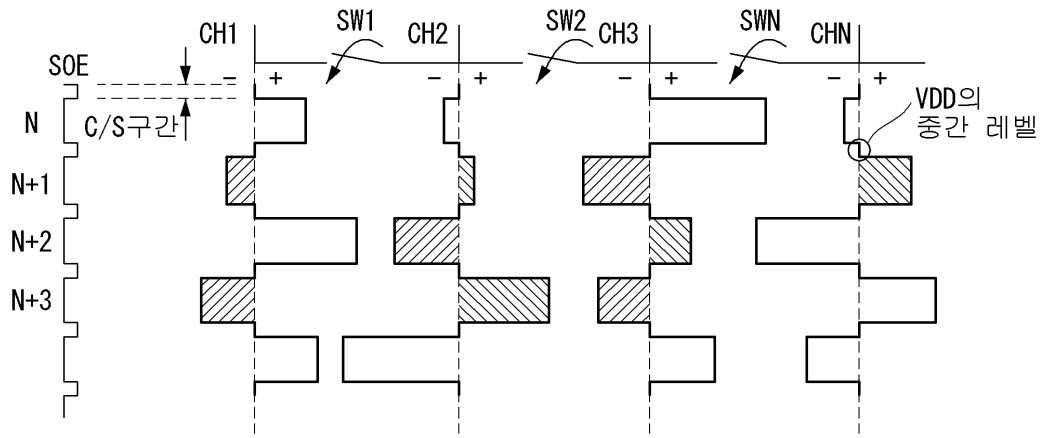
도면2


DL1
GL1
TFT
1
Clc
Cst
2
Vcom

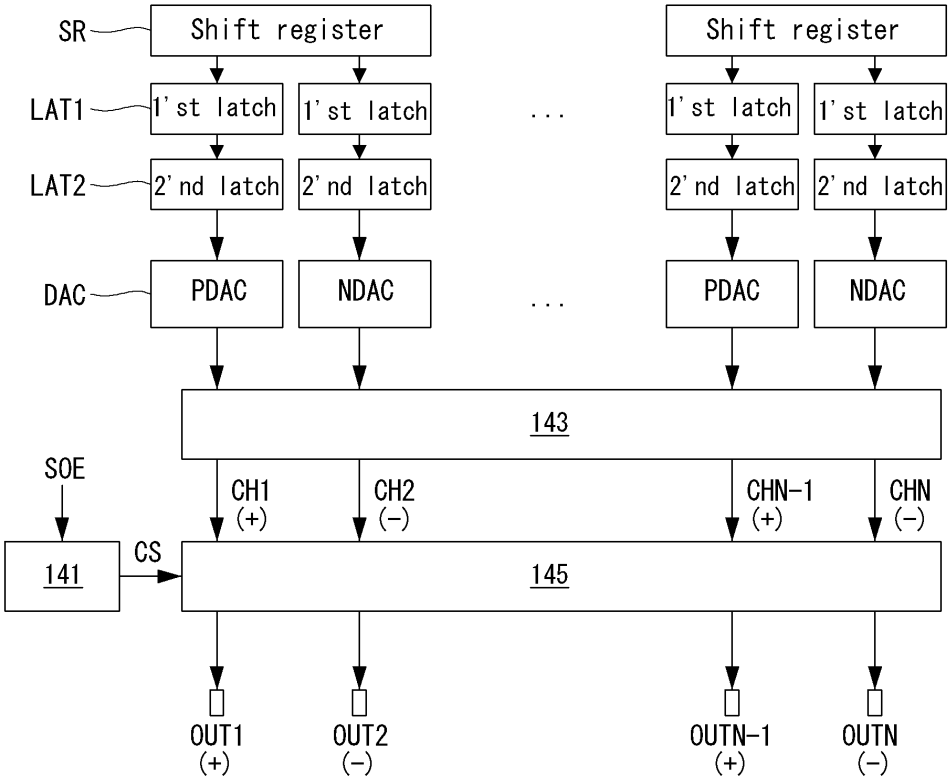
도면3


165
160
177
176
174
175
170
173
172
171

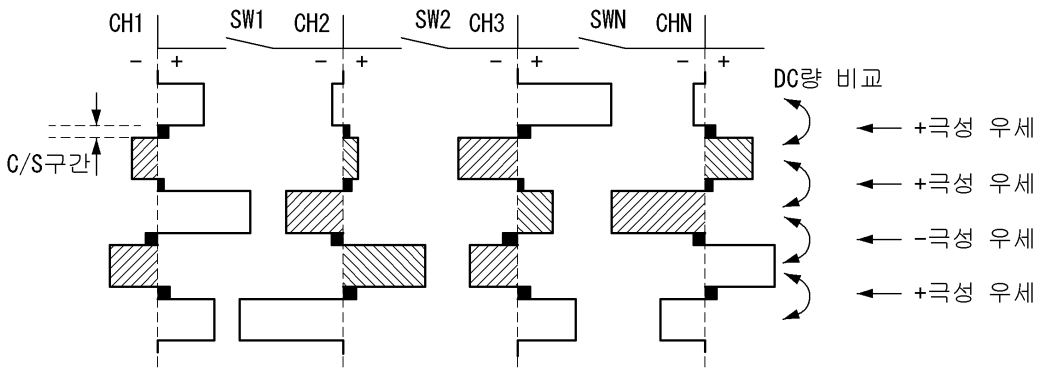
도면4


CH1
SW1
CH2
SW2
CH3
SWN
CHN
SOE
C/S구간
VDD의
중간 레벨
N
N+1
N+2
N+3

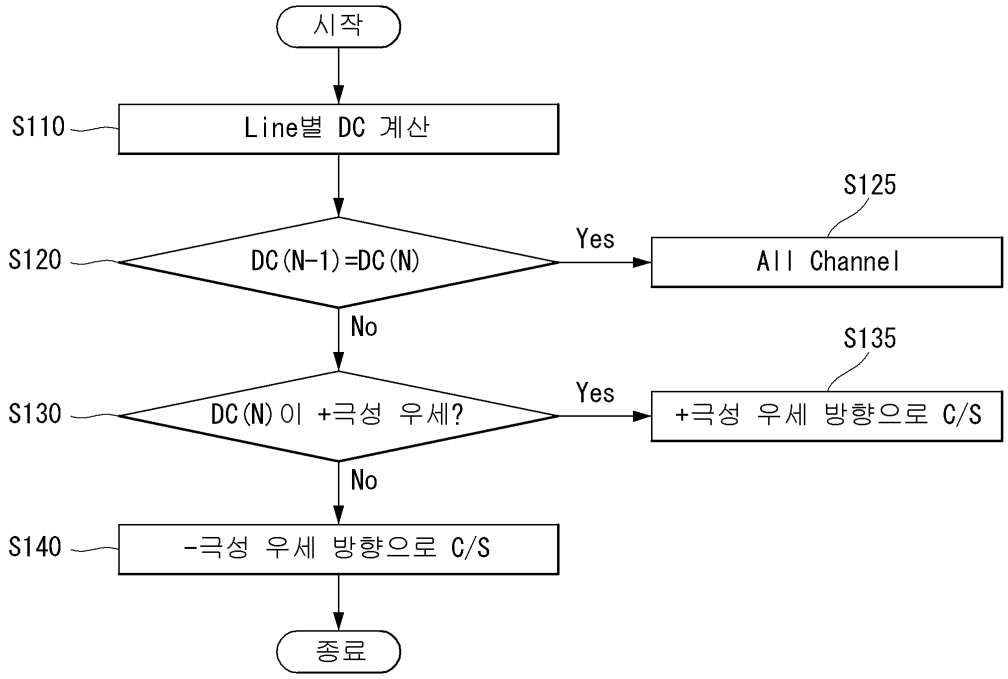
도면5


SR
Shift register
Shift register
LAT1
1'st latch
1'st latch
1'st latch
1'st latch
LAT2
2'nd latch
2'nd latch
2'nd latch
2'nd latch
DAC
PDAC
NDAC
PDAC
NDAC
143
SOE
CH1 (+)
CH2 (−)
CHN-1 (+)
CHN (−)
141
CS
145
OUT1 (+)
OUT2 (−)
OUTN-1 (+)
OUTN (−)

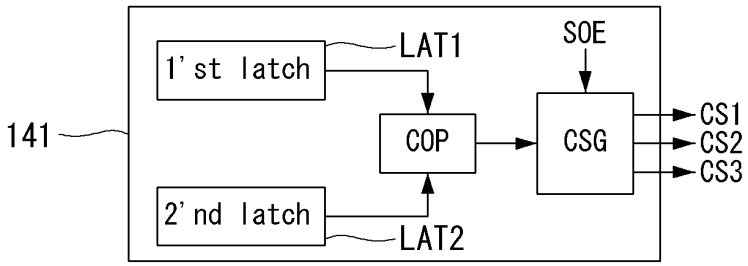
도면6


CH1
SW1
CH2
SW2
CH3
SWN
CHN
C/S구간
DC량 비교
+극성 우세
+극성 우세
-극성 우세
+극성 우세

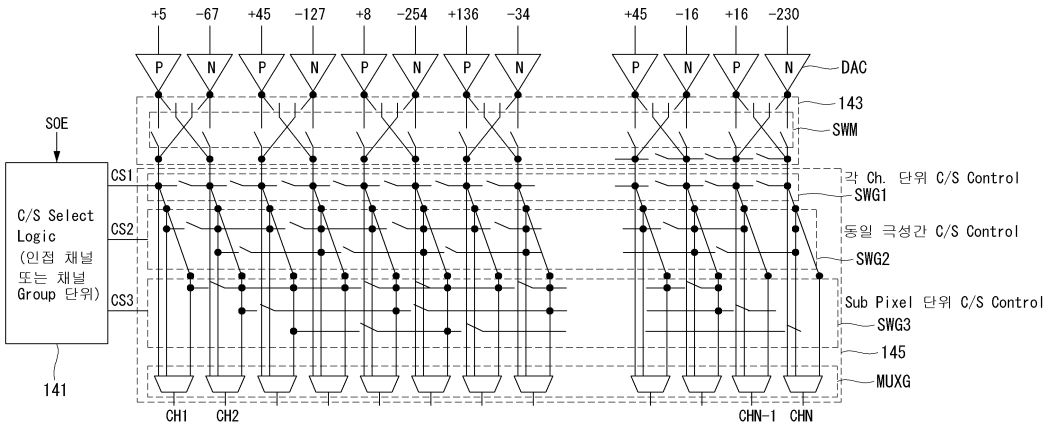
도면7


시작
S110
Line별 DC 계산
S120
DC(N-1)=DC(N)
Yes
S125
All Channel
No
S130
DC(N)이 +극성 우세?
Yes
S135
+극성 우세 방향으로 C/S
No
S140
-극성 우세 방향으로 C/S
종료

도면8


141
1'st latch
LAT1
2'nd latch
LAT2
COP
SOE
CSG
CS1
CS2
CS3

도면9


+5
-67
+45
-127
+8
-254
+136
-34
+45
-16
+16
-230
P
N
DAC
143
SWM
SOE
C/S Select Logic (인접 채널 또는 채널 Group 단위)
CS1
CS2
CS3
141
각 Ch. 단위 C/S Control
SWG1
동일 극성간 C/S Control
SWG2
Sub Pixel 단위 C/S Control
SWG3
145
MUXG
CH1
CH2
CHN-1
CHN