



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월19일
(11) 등록번호 10-2290615
(24) 등록일자 2021년08월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2014-0136169
(22) 출원일자 2014년10월08일
심사청구일자 2019년09월04일
(65) 공개번호 10-2016-0042352
(43) 공개일자 2016년04월19일
(56) 선행기술조사문헌
KR1020120130475 A*
KR1020110078072 A*
US20110018846 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김규진
경기도 파주시 월롱면 엘씨디로 201 F동 1208호
(덕은리, 정다운마을)
최정미
경기도 파주시 가람로 20 (와동동, 가람마을1단지
벽산한라아파트) 107동 2302호
심다혜
서울특별시 양천구 목동중앙본로30길 43 A동 10
1호 (목동)
(74) 대리인
특허법인 정안

전체 청구항 수 : 총 5 항

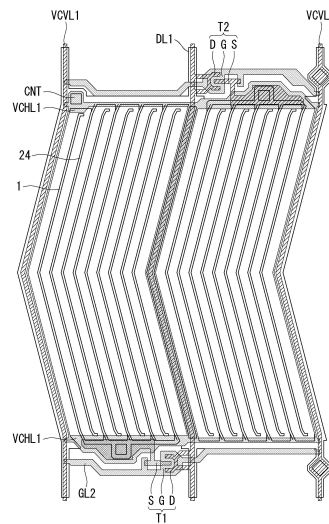
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 액정표시장치는 수평라인 방향을 따라서 배치되는 복수 개의 화소들을 포함하는 화소그룹, 화소들에 제공할 공통전압을 생성하는 파워모듈, 파워모듈로부터 공통전압을 제공받는 수직공통라인 및 수직공통라인과 연결되며 하나의 상기 화소그룹에 공통전압을 제공하는 수평공통라인을 포함한다. 화소그룹은 정극성의 서브화소 개수와 부극성의 서브화소 개수가 동일하게 설정된다.

대표도 - 도4



명세서

청구범위

청구항 1

하나의 수평라인 방향을 따라서 복수 개로 구분되어 형성되고, 각각은 복수 개의 화소들을 포함하는 화소그룹;
 상기 화소들에 제공할 공통전압을 생성하는 파워모듈;
 상기 파워모듈로부터 공통전압을 제공받는 수직공통라인; 및
 상기 수직공통라인과 상기 복수 개의 화소그룹 중 하나의 화소그룹을 연결하며, 상기 하나의 화소그룹에 속한 화소들에 공통전압을 제공하는 수평공통라인을 포함하되,
 상기 하나의 화소그룹은 정극성의 서브화소 개수와 부극성의 서브화소 개수가 동일하게 설정되는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 화소그룹에서 임의의 색상에 대한 서브화소들은 정극성의 서브화소와 부극성의 서브화소가 동일한 개수로 설정되는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 수평공통라인은 상기 화소들의 상부와 하부에서 각각 배치되며,
 상기 하나의 화소그룹 내 화소 간의 경계 영역에는 상기 수평공통라인들을 연결하는 수직경계 공통라인을 더 포함하여,
 상기 하나의 화소그룹에 형성되는 상기 수평공통라인 및 수직경계 공통라인은 메쉬구조를 이루는 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 수평공통라인 및 수직경계 공통라인은 게이트금속층 또는 화소전극금속층 중 적어도 어느 한 곳에 위치하는 액정표시장치.

청구항 5

제 1 항에 있어서,
 상기 수직공통라인은 데이터금속층에 위치하고, 상기 수직공통라인은 상기 수평공통라인과 컨택홀을 통해서 접속되는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 픽셀들은 데이터라인과 게이트라인이 교차되고, 그 교차부에 접속된 박막트랜지스터를 포함한다. 박막트랜지스터는 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인을 통해 공급되는 데이터 전압을 액정셀의 화소전극에 공급한다. 액정셀은 화소전극의 전압과 공통전극에 인가되는 공통전압(Vcom)의 전압차에 따라 발생하는 전계에 의해 회동하여 편광판을 통과하는 광량을 조절한다. 스토리지 커패시터는 액정셀의 화소전극에 접속되어 액정셀의 전압을 유지한다.

[0004] 공통전극에 인가되는 공통전압(Vcom)은 화소전극과의 전기적 커플링(Coupling)에 의해서 리플(ripple) 현상이 발생하기도 한다. 공통전압(Vcom)의 리플 현상은 시간에 따른 데이터전압의 변화량에 비례한다. 따라서 데이터전압의 극성을 가변하면서 구동하는 인버전 방식에 있어서, 데이터전압의 극성이 변경되는 순간에는 데이터전압의 변동폭이 크기 때문에 공통전압(Vcom)의 리플 현상이 심해진다. 이처럼 공통전압(Vcom)의 리플 현상은 수평 방향을 따라서 라인-딤(line Dim) 현상을 유발하여 표시품질을 저하시키는 원인이 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 공통전압의 리플 현상으로 인해서 수평방향의 딤 현상을 개선하기 위한 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 수평라인 방향을 따라서 배치되는 복수 개의 화소들을 포함하는 화소그룹, 화소들에 제공할 공통전압을 생성하는 파워모듈, 파워모듈로부터 공통전압을 제공받는 수직공통라인 및 수직공통라인과 연결되며 하나의 상기 화소그룹에 공통전압을 제공하는 수평공통라인을 포함한다. 화소그룹은 정극성의 서브화소 개수와 부극성의 서브화소 개수가 동일하게 설정된다.

발명의 효과

[0007] 본 발명은 수평라인을 화소그룹으로 구분하고, 각 화소그룹에 개별적으로 공통전압을 제공하여 공통전압에 발생하는 리플이 인접하는 화소그룹에 영향을 주지 않도록 한다. 따라서, 공통전압의 리플로 인한 수평 딤 현상을 개선할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 액정표시장치의 구성을 나타내는 도면.

도 2는 화소그룹과 공통라인들 간의 연결구조를 나타내는 도면.

도 3은 일 실시 예에 의한 화소그룹의 설정방법을 설명하는 도면.

도 4는 도 3에 도시된 화소구조를 나타내는 도면.

도 5는 도 4에 도시된 화소에서 하부 공통라인을 나타내는 도면.

도 6은 도 4에 도시된 화소에서 상부 공통라인을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0010] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면이다.
- [0011] 도 1을 참조하면, 본 발명의 액정표시장치는 액정패널(100), 타이밍 콘트롤러(210), 파워모듈(220), 게이트 구동부(230) 및 데이터 구동부(240)를 포함한다.
- [0012] 액정패널(100)은 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이기판 및 컬러필터가 형성되는 컬러필터기판을 포함하고, 박막트랜지스터 어레이기판과 컬러필터기판 사이에는 액정층이 형성된다. 그리고 액정패널(100)에서 박막트랜지스터 어레이기판은 화소(P)들이 배열되는 영역은 화소 어레이 영역(100A)으로 정의하기로 한다.
- [0013] 타이밍 콘트롤러(210)는 외부 호스트(미도시)로부터 디지털 비디오 데이터(RGB)를 입력받고, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(210)는 디지털 비디오 데이터(RGB)를 소스 드라이브 IC들(240)에 전송한다. 타이밍 콘트롤러(210)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 데이터 구동부(240)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동부(230)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GCLK)를 발생한다.
- [0014] 파워모듈(220)은 전원전압(VCC)을 입력받아서 게이트하이전압(VGH), 게이트로우전압(VGL), 고전위전압(VDD) 및 공통전압(Vcom) 등을 출력한다. 게이트하이전압(VGH)은 게이트라인(GL)에 공급되는 스캔펄스의 하이레벨전압이고, 게이트로우전압(VGL)은 게이트라인(GL)에 공급되는 스캔펄스의 로우레벨전압이다. 공통전압(Vcom)은 저전위전압에서 고전위전압(VDD) 범위 내의 전압레벨일 수 있고, 예컨대 공통전압은 저전위전압과 고전위전압(VDD)의 중간 전위(HVDD)의 전위를 가질 수 있다.
- [0015] GIP 타입의 게이트 구동부(230)는 PCB(200) 상에 실장된 레벨슈프터(231) 및 쉬프트레지스터(233)를 포함한다.
- [0016] 레벨슈프터(231)는 게이트하이전압(VGH)과 게이트로우전압(VGL) 등의 구동전압을 공급받고 타이밍 콘트롤러(210)로부터 스타트신호(ST) 및 게이트클럭신호(GCLK)를 입력받아서, 게이트하이 전압(VGH)과 게이트로우전압(VGL) 사이에서 스윙하는 스타트 펄스(VST) 및 클럭신호(CLK)를 출력한다. 레벨슈프터(231)로부터 출력된 클럭신호(CLK)들은 순차적으로 위상이 쉬프트되어 표시패널(100)에 형성된 쉬프트레지스터(233)로 전송된다. 쉬프트레지스터(233)는 표시패널(100)의 게이트라인(GL)에 연결된다. 쉬프트레지스터(233)는 종속적으로 접속된 다수의 스테이지들을 포함한다. 쉬프트레지스터(233)는 레벨슈프터(231)로부터 입력되는 스타트 펄스(VST)를 클럭신호(CLK)에 따라 시프트하여 게이트라인들(GL)에 게이트펄스를 순차적으로 공급한다.
- [0017] 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터 디지털 비디오 데이터들(RGB)를 입력받는다. 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터(RGB)를 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스에 동기되도록 표시패널(100)의 데이터라인들(DL1~DLn)에 공급한다.
- [0018] 도 2는 본 발명에 의한 액정패널(100)에서 공통라인 및 공통전극의 연결구조를 나타내는 모식도이다.
- [0019] 도 2를 참조하여, 화소그룹(PG), 수직공통라인(VCVL) 및 수평공통라인(VCHL)의 연결구조를 살펴보면 다음과 같다. 하나의 수평라인에 배열된 화소들은 제1 내지 제k 화소그룹(PG1~PG[k])으로 구분된다. 제1 화소그룹(PG1_1~PG1_m)은 복수 개의 서브화소들을 포함한다.
- [0020] 공통라인은 수직공통라인(VCVL1~VCVL[k]) 및 수평공통라인(VCHL1~VCHL[k])을 포함한다. 동일한 열에 형성되는 화소그룹들은 수직공통라인(VCVL)을 공유한다. 예컨대 제1 화소그룹(PG1_1~PG1_m)들은 제1 수직공통라인(VCVL1)과 연결된다. 각 수직공통라인들(VCVL1~VCVL[k])은 수직방향으로 형성되는 하나 이상의 공통라인을 포

함할 수 있다. 예컨대 제1 수직공통라인(VCVL1)은 제1 화소그룹(PG1_1~PG1_m)에 포함된 서브화소들의 경계면마다 형성될 수도 있다. 제1 수직공통라인(VCVL1)은 수평라인 방향으로 형성되는 수평공통라인(VCHL1)과 접속된다.

[0021] 제1 내지 제k 수평공통라인(VCHL1~VCHL[k])은 공통전극(12,22,24)들을 통해서 하나의 화소그룹에만 연결된다. 예컨대, 제1 수평라인에 위치한 제1 수평공통라인(VCHL1)은 제1 화소그룹(PG1_1)에 속한 화소들에만 연결되고, 제2 수평공통라인(VCHL2)은 제2 화소그룹(PG2_1)에 속한 화소들에만 연결된다. 이에 따라서, 각각의 화소그룹(PG)에 속한 화소들에서 발생하는 공통전압의 리플현상이 발생한다고 할지라도 수평방향의 다른 화소그룹(PG)에 영향을 미치지 않는다. 화소그룹(PG)들은 수직공통라인(VCVL)을 통해서 수직방향의 다른 화소그룹(PG)과 연결되어 있지만, 다른 수평라인에 형성되는 화소그룹(PG)들은 게이트펄스를 제공받는 타이밍이 다르기 때문에 리플의 영향을 받지 않는다.

[0022] 또한, 각 화소그룹(PG)은 내부에서 발생하는 리플의 영향을 최소화하기 위해서 정극성의 서브화소들과 부극성의 서브화소들의 개수가 동일하도록 설정된다. 또한 각 화소그룹(PG)에 속하는 서브화소들 중에서 각각의 색상화소들은 정극성의 색상화소 및 부극성의 색상화소들의 개수가 동일하게 설정된다. 예컨대, 정극성의 적색화소 및 부극성의 적색화소들은 각각 동일한 개수로 설정되고, 마찬가지로 정극성의 녹색화소 및 부극성의 녹색화소는 동일한 개수로 설정되고, 정극성의 청색화소 및 부극성의 청색화소는 동일한 개수로 설정된다.

[0023] 도 3은 화소그룹을 설정하는 일례를 나타내는 도면이다. 도 3에 도시된 화소 어레이는 더블-레이트-드라이빙(Double Rate Driving ; 이하, DRD) 구조의 액정패널을 나타낸다. DRD 구조의 액정패널은 하나의 수평라인에 대응하여 두 개의 게이트라인이 형성되고, 하나의 데이터라인은 기수 열과 우수 열에 형성되는 화소들에 번갈아서 접속된다.

[0024] 도 2 및 도 3을 참조하여 화소그룹을 설정하는 방법을 살펴보면 다음과 같다. 제1 및 제2 게이트라인(GL1, GL2)에 대응되는 제1 수평라인은 적색, 녹색, 청색의 서브화소들이 순서대로 반복적으로 형성된다. 하나의 화소그룹은 동일한 색상의 서브화소들이 짝수 개로 포함되기 때문에 제1 화소그룹(PG1_1~PG1_m)은 최소 6개 이상의 서브화소들을 포함하여야 한다. 하지만, 도 3에서와 같이, DRD 구조의 액정패널은 데이터라인(DL)을 중심으로 인접하는 두 개의 화소들은 각각 동일한 극성의 데이터전압을 제공받기 때문에 수평 2도트 구동을 한다. 따라서, 제1 적색화소(R1)부터 제2 청색화소(B2)까지의 6개의 서브화소들은 정극성의 서브화소가 4개일 때 부극성의 서브화소가 2개가 된다. 따라서, 도 3에 도시된 액정패널은 제1 적색화소(R1)부터 제4 청색화소(B4)까지의 총 12 개의 서브화소들을 제1 화소그룹(PG1)으로 설정한다.

[0025] 도 4는 도 3에 도시된 DRD 방식의 액정패널에서 제1 적색화소(R1) 및 제1 녹색화소(G1)의 구조를 나타내는 도면이다.

[0026] 도 4를 참조하면, 제1 적색화소(R1) 및 제1 녹색화소(G1)는 제1 데이터라인(D1)을 통해서 데이터전압을 제공받는다. 제1 게이트라인(GL1)은 제2 트랜지스터(T2)를 통해서 제1 녹색화소(G1)와 연결되고, 제2 게이트라인(GL2)은 제1 트랜지스터(T1)를 통해서 제1 적색화소(G1)와 연결된다. 제1 수직공통라인(VCVL)은 화소들의 경계영역 중에서 데이터라인(DL)이 형성되지 않는 영역에 형성된다. 제1 수직공통라인(VCVL1)은 데이터라인(DL)과 동일한 데이터금속층을 이용하여 형성할 수 있다.

[0027] 제1 수평공통라인(VCHL1)은 제1 게이트라인(GL1)의 하부와 제2 게이트라인(GL2) 상부에 각각 형성된다. 제1 수평공통라인(VCHL1)에는 하나 이상의 공통전극(24)이 분기된다. 공통전극(24)은 화소전극(1)과 교차하여 형성될 수 있다. 제1 수평공통라인(VCHL)은 게이트라인(GL1, GL2)과 동일한 게이트금속층을 이용하여 형성하거나, 화소전극(1)과 동일한 화소전극금속층을 이용하여 형성할 수 있다. 이와 같이, 서로 다른 금속층을 이용하여 형성되는 제1 수직공통라인(VCVL1)과 제1 수평공통라인(VCHL1)은 컨택홀(CNT1)을 통해서 서로 연결될 수 있다.

[0028] 제1 수평공통라인(VCHL1)은 인접하는 제2 수평공통라인(VCHL2)은 공통전압의 리플이 전달되는 것을 방지하기 위해서 서로 연결되지 않는다. 도 5 및 도 6을 참조하여, 인접하는 화소그룹들 간의 수평공통라인의 구조를 살펴보면 다음과 같다. 수평공통라인들(VCHL)은 도 5 및 도 6에서 보는 바와 같이, 하부 수평공통라인(VCHL_B) 및 상부 수평공통라인(VCHL_T)을 포함할 수 있다.

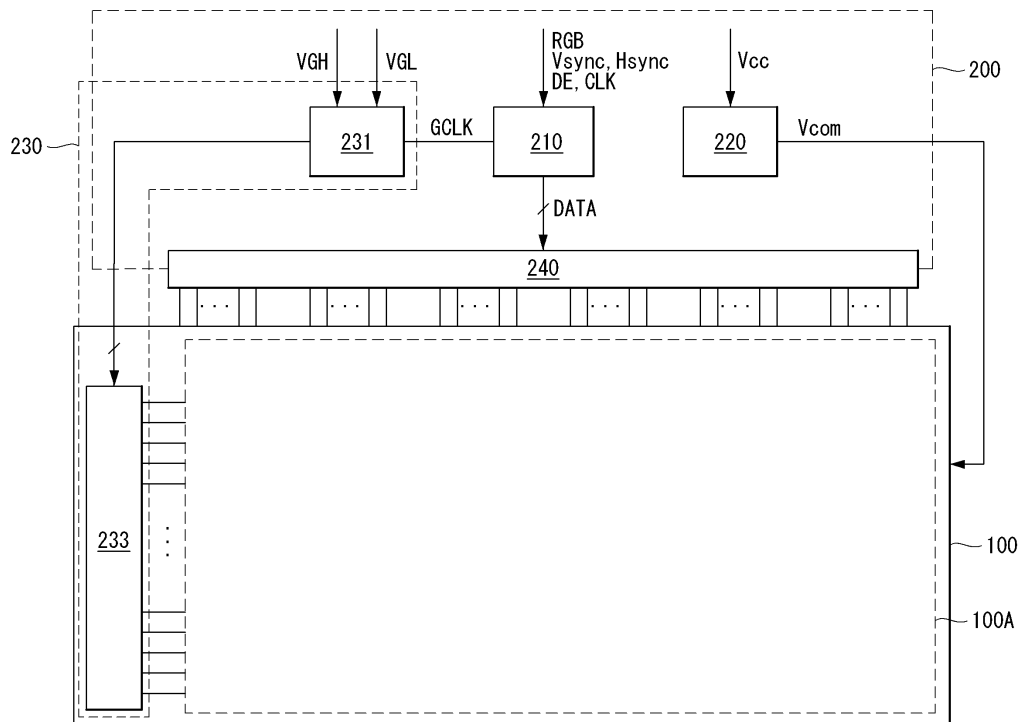
[0029] 도 5는 하부 수평공통라인(VCHL_B)의 구조를 나타내는 도면이다.

[0030] 도 5의 하부 수평공통라인(VCHL_B)은 베이스기판 상에서 게이트라인(GL)을 형성하는 게이트금속층을 이용하여 형성된다.

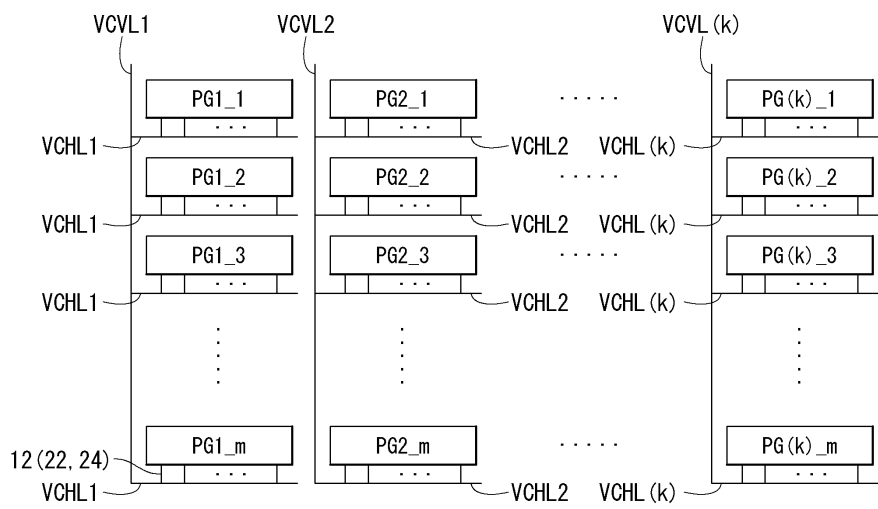
- [0031] 제1 하부 수평공통라인(VCHL1_B)은 상부와 하부에서 각각 게이트라인(GL1, GL2)과 평행하게 한 쌍으로 이루어진다. 각각의 제1 하부 수평공통라인(VCHL1_B)은 제1 게이트라인(GL1)과 화소 영역 사이와, 제2 게이트라인(GL2)과 화소 영역 사이에 형성된다. 화소들의 수직 경계영역에는 화소의 상부와 하부에 각각 형성되는 제1 하부 수평공통라인(VCHL1_B)을 연결하는 수직경계공통라인(12)이 형성된다. 이러한 구조에 의해서 제1 화소블록(PG1)에는 각각의 화소들의 경계영역을 둘러싸는 공통라인들이 메쉬 구조를 형성한다.
- [0032] 그리고 제1 하부 수평공통라인(VCHL1_B)과 제2 하부 수평공통라인(VCHL2_B)은 서로 접촉하지 않기 때문에 제1 화소블록(PG1)과 제2 화소블록(PG2)은 직접 연결되지 않는다.
- [0033] 도 6은 상부 수평공통라인의 구조를 나타내는 도면이다.
- [0034] 도 6에 도시된 상부 수평공통라인(VCHL_T)은 하부 수평공통라인(VCHL_B)과 마찬가지로 화소들의 경계영역을 둘러싸는 메쉬구조로 이루어진다. 제1 상부 수평공통라인(VCHL1_T)은 제2 상부 수평공통라인(VCHL2_T)과 직접 연결되지 않는다. 즉, 제1 화소블록(PG1) 및 제2 화소블록(PG2)은 각각 개별적으로 공통전압을 제공받게 되고, 이에 따라서 각각의 화소블록(PG)에서 공통전압(Vcom)의 리플이 발생하여도 인접하는 화소블록에 영향을 주지 않는다.
- [0035] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면

도면1



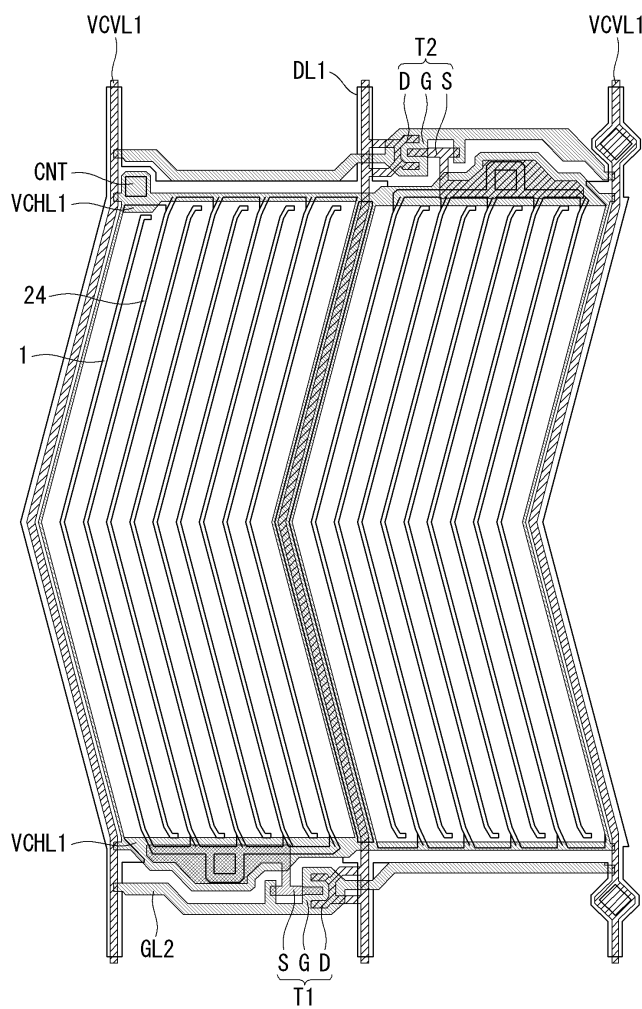
도면2



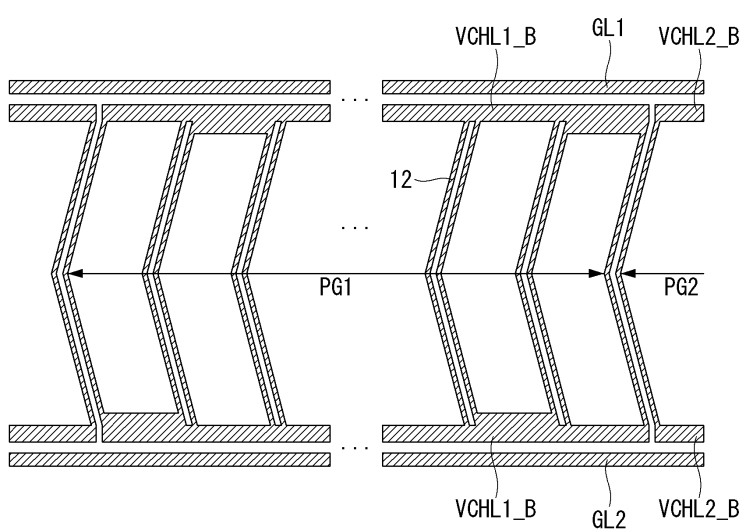
도면3

	DL1		DL2		DL3		DL4		DL5		DL6		DL7		DL8		DL9		DL10		DL11		DL12	
				R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B
GL1	R1	G1	B1	R2	G2	B2	R3	G3	B3	R4	G4	B4	R5	G5	B5	R6	G6	B6	R7	G7	B7	R8	G8	B8
GL2	+	+	-	-	+	+	-	-	+	+	-	-	+	+	-	-	+	+	-	-	+	+	-	-
GL3	R1	G1	B1	R2	G2	B2	R3	G3	B3	R4	G4	B4	R5	G5	B5	R6	G6	B6	R7	G7	B7	R8	G8	B8
GL4	-	-	+	+	-	-	+	+	-	-	+	+	-	-	+	+	-	-	+	+	-	-	+	+

도면4



도면5



도면6

