



등록특허 10-2288239



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년08월09일

(11) 등록번호 10-2288239

(24) 등록일자 2021년08월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3655 (2013.01)

G09G 3/3614 (2013.01)

(21) 출원번호 10-2020-7001698

(22) 출원일자(국제) 2017년07월26일

심사청구일자 2020년01월17일

(85) 번역문제출일자 2020년01월17일

(65) 공개번호 10-2020-0015781

(43) 공개일자 2020년02월12일

(86) 국제출원번호 PCT/CN2017/094549

(87) 국제공개번호 WO 2018/232830

국제공개일자 2018년12월27일

(30) 우선권주장

201710481709.1 2017년06월22일 중국(CN)

(56) 선행기술조사문헌

CN105334651 A*

(뒷면에 계속)

전체 청구항 수 : 총 20 항

심사관 : 추장희

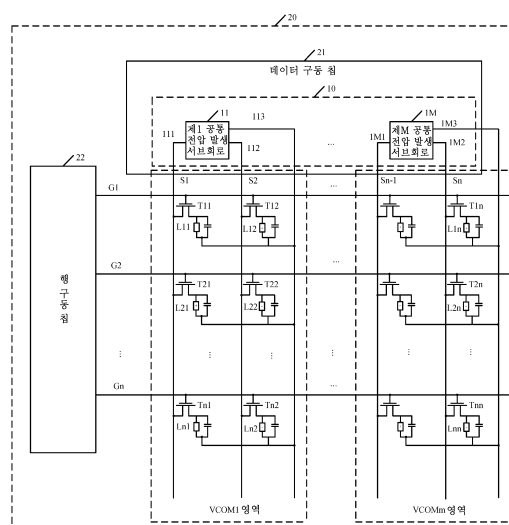
(54) 발명의 명칭 공통전압 발생 회로 및 액정 디스플레이 디바이스

(57) 요약

본 발명은 공통전압 발생 회로(10) 및 액정 디스플레이 디바이스를 공개한다. 상기 공통전압 발생 회로(10)는 액정 디스플레이 회로(20)에 응용되며, 이는 M개의 공통전압 발생 서브회로(11, ..., 1M)를 포함한다. 액정 디스플레이 회로(20)는 데이터 구동 칩(21), 행 구동 칩(22), 어레이 박막 트랜지스터(TFT)(T11, T12, T21,

(뒷면에 계속)

대표도 - 도1



T22……), 어레이 TFT(T11, T12, T21, T22……)와 대응되는 어레이 액정 셀(L11, L12, L21, L22……)을 포함하며, 행 구동 칩(22)은 스캔 라인(G1, G2, …… Gn)을 통해 어레이 TFT(T11, T12, T21, T22……)를 순차적으로 켜기 위한 것이고, 데이터 구동 칩(21)은 한 행의 TFT(T11, T12, ……T1n)가 턴온되는 경우에 데이터 라인(S1, S2, …… Sn)을 통해 한 행의 TFT(T11, T12, …… T1n)에 대응하는 한 행의 액정 셀(L11, L12, …… L1n)을 충전하기 위한 것이며; 공통전압 발생 서브회로(11, …… 1M)의 N개의 입력단은 데이터 구동 칩(21)이 출력하는 이웃한 N개의 데이터 라인에 각각 접속되고, 공통전압 발생 서브회로(11, …… 1M)의 출력단은 N개의 데이터 라인에 대응되는 액정 셀의 공통단에 접속되며, N은 짝수이다. 상기 방안은 전체적인 액정 디스플레이 디바이스의 폴리커 값을 감소시킬 수 있어, 디스플레이 효과가 향상된다.

(52) CPC특허분류

G09G 3/3666 (2013.01)

G09G 3/3677 (2013.01)

G09G 3/3688 (2013.01)

G09G 2320/0247 (2013.01)

(56) 선행기술조사문헌

KR1020120065754 A*

KR1020090074458 A*

KR1020100041085 A*

KR101225317 B1

US20080117148 A1

US20160351142 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

공통전압 발생 회로로서,

상기 공통전압 발생 회로는 액정 디스플레이 회로에 응용되고, 상기 액정 디스플레이 회로는 데이터 구동 칩, 행 구동 칩, 어레이 박막 트랜지스터(array TFT), 상기 어레이 박막 트랜지스터와 대응되는 어레이 액정 셀을 포함하며, 상기 행 구동 칩은 스캔 라인을 통해 상기 어레이 박막 트랜지스터를 순차적으로 켜기 위한 것이고, 상기 데이터 구동 칩은 한 행의 TFT가 턴온되는 경우에 데이터 라인을 통해 상기 한 행의 TFT에 대응되는 한 행의 액정 셀을 충전시키기 위한 것이며, 상기 어레이 박막 트랜지스터는 P열의 박막 트랜지스터를 포함하고;

상기 공통전압 발생 회로는 M개의 공통전압 발생 서브회로를 포함하며, 그 중 제1 공통전압 발생 서브회로의 N개의 입력단은 각각 상기 데이터 구동 칩이 출력하는 이웃한 N개의 데이터 라인에 접속되고, 상기 제1 공통전압 발생 서브회로의 출력단은 상기 N개의 데이터 라인에 대응되는 액정 셀의 공통단에 접속되며, M은 양의 정수이고, N은 짝수이며, 또한 M은 P보다 작고, N은 P보다 작으며; 상기 제1 공통전압 발생 서브회로는 상기 M개의 공통전압 발생 서브회로 중의 어느 하나이고;

상기 제1 공통전압 발생 서브회로는 이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에 상기 N개의 데이터 라인의 유지전압의 평균값을 획득하여 상기 평균값을 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단으로 출력하기 위한 것이고;

각 프레임의 디스플레이 시간에, 상기 데이터 구동 칩의 제어단은 무효 제어신호를 출력하여, 상기 제1 공통전압 발생 서브회로의 N개의 스위치관이 턴오프되도록 제어하는 것을 특징으로 하는, 공통전압 발생 회로.

청구항 2

제1항에 있어서,

상기 제1 공통전압 발생 서브회로는 전압 팔로워를 더 포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 상기 N개의 스위치관의 드레인은 상기 전압 팔로워의 비반전 입력단에 접속되고, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되며, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속되는 것을 특징으로 하는, 공통전압 발생 회로.

청구항 3

제1항에 있어서,

상기 제1 공통전압 발생 서브회로는 전압 팔로워를 더 포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 제1 스위치관의 드레인은 상기 전압 팔로워의 비반전 입력단에 접속되고, 상기 제1 스위치관은 상기 N개의 스위치관 중의 하나로서, 상기 제1 스위치관의 소스는 상기 N개의 스위치관 중 상기 제1 스위치관 이외의 기타 스위치관의 드레인에 접속되며, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되고, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속되는 것을 특징으로 하는, 공통전압 발생 회로.

청구항 4

제2항에 있어서,

이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에, 상기 데이터 구동 칩의 제어단이 유효 제어신호를 출력하여 상기 N개의 스위치관의 도통을 제어하는 것을 특징으로 하는, 공통전압 발생 회로.

청구항 5

제3항에 있어서,

이웃한 두 프레임의 화면이 디스플레이되는 겹 시간에, 상기 데이터 구동 칩의 제어단이 유효 제어신호를 출력하여 상기 N개의 스위치관의 도통을 제어하는 것을 특징으로 하는, 공통전압 발생 회로.

청구항 6

제1항에 있어서,

상기 N은 2인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 7

제2항에 있어서,

상기 N은 2인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 8

제3항에 있어서,

상기 N은 2인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 9

제4항에 있어서,

상기 N은 2인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 10

제5항에 있어서,

상기 N은 2인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 11

제1항에 있어서,

상기 N개의 스위치관은 금속 산화물 반도체 전계효과 트랜지스터인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 12

제1항에 있어서,

상기 액정 디스플레이 회로는 열 반전 디스플레이 회로이고, 상기 어레이 박막 트랜지스터 중 임의의 이웃한 두 열의 박막 트랜지스터에 대응하는 액정 셀의 전압 극성은 서로 반대인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 13

제2항에 있어서,

상기 액정 디스플레이 회로는 열 반전 디스플레이 회로이고, 상기 어레이 박막 트랜지스터 중 임의의 이웃한 두 열의 박막 트랜지스터에 대응하는 액정 셀의 전압 극성은 서로 반대인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 14

제3항에 있어서,

상기 액정 디스플레이 회로는 열 반전 디스플레이 회로이고, 상기 어레이 박막 트랜지스터 중 임의의 이웃한 두 열의 박막 트랜지스터에 대응하는 액정 셀의 전압 극성은 서로 반대인 것을 특징으로 하는, 공통전압 발생 회로.

청구항 15

액정 디스플레이 디바이스로서,

데이터 구동 칩, 행 구동 칩, 어레이 박막 트랜지스터, 상기 어레이 박막 트랜지스터와 대응되는 어레이 액정 셀을 포함하며, 상기 행 구동 칩은 스캔 라인을 통해 상기 어레이 박막 트랜지스터를 순차적으로 켜기 위한 것이고, 상기 데이터 구동 칩은 한 행의 TFT가 턴온되는 경우에 데이터 라인을 통해 상기 한 행의 TFT에 대응되는 한 행의 액정 셀을 충전시키기 위한 것이며, 상기 어레이 박막 트랜지스터는 P열의 박막 트랜지스터를 포함하되;

상기 액정 디스플레이 디바이스는 공통전압 발생 회로를 더 포함하고, 상기 공통전압 발생 회로는 M개의 공통전압 발생 서브회로를 포함하며, 그 중 제1 공통전압 발생 서브회로의 N개의 입력단은 각각 상기 데이터 구동 칩이 출력하는 이웃한 N개의 데이터 라인에 접속되고, 상기 제1 공통전압 발생 서브회로의 출력단은 상기 N개의 데이터 라인에 대응되는 액정 셀의 공통단에 접속되되, M은 양의 정수이고, N은 짝수이며, 또한 M은 P보다 작고, N은 P보다 작으며; 상기 제1 공통전압 발생 서브회로는 상기 M개의 공통전압 발생 서브회로 중의 어느 하나이고;

상기 제1 공통전압 발생 서브회로는 이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에 상기 N개의 데이터 라인의 유지전압의 평균값을 획득하여 상기 평균값을 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단으로 출력하기 위한 것이고;

각 프레임의 디스플레이 시간에, 상기 데이터 구동 칩의 제어단은 무효 제어신호를 출력하여, 상기 제1 공통전압 발생 서브회로의 N개의 스위치관이 턴오프되도록 제어하는 것을 특징으로 하는, 액정 디스플레이 디바이스.

청구항 16

제15항에 있어서,

상기 제1 공통전압 발생 서브회로는 전압 팔로워를 더 포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 상기 N개의 스위치관의 드레인은 상기 전압 팔로워의 비반전 입력단에 접속되고, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되며, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속되는 것을 특징으로 하는, 액정 디스플레이 디바이스.

청구항 17

제15항에 있어서,

상기 제1 공통전압 발생 서브회로는 전압 팔로워를 더 포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 제1 스위치관의 드레인은 상기 전압 팔로워의 비반전 입력단에 접속되고, 상기 제1 스위치관은 상기 N개의 스위치관 중의 하나로서, 상기 제1 스위치관의 소스는 상기 N개의 스위치관 중 상기 제1 스위치관 이외의 기타 스위치관의 드레인에 접속되며, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되고, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속되는 것을 특징으로 하는, 액정 디스플레이 디바이스.

청구항 18

제17항에 있어서,

이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에, 상기 데이터 구동 칩의 제어단이 유효 제어신호를 출력하여 상기 N개의 스위치관의 도통을 제어하는 것을 특징으로 하는, 액정 디스플레이 디바이스.

청구항 19

제15항에 있어서,

상기 N은 2와 같은 것을 특징으로 하는, 액정 디스플레이 디바이스.

청구항 20

제15항에 있어서,

상기 액정 디스플레이 디바이스는 열 반전 디스플레이 회로이고, 상기 어레이 박막 트랜지스터 중 임의의 이웃한 두 열의 박막 트랜지스터에 대응하는 액정 셀의 전압 극성은 서로 반대인 것을 특징으로 하는, 액정 디스플레이 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 2017년 6월 22일에 제출된 발명의 명칭이 "공통전압 발생 회로 및 액정 디스플레이 디바이스"인 출원번호 201710481709.1인 선출원의 우선권을 요구하며, 상기 선출원의 내용은 인용하는 방식으로 본문에 병합된다.

[0002] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 구체적으로는 공통전압 발생 회로 및 액정 디스플레이 디바이스에 관한 것이다.

배경 기술

[0003] 액정 분자는 장시간 어느 하나의 고정된 전압에 처해 있을 수 없기 때문에, 현재의 액정 디스플레이 모듈은 모두 교류 구동 방법을 채택하며, 즉 양극성 전압과 음극성 전압이 번갈아 액정 셀을 충전한다. 액정 패널의 제조 공정으로 인해, 양극성 전압과 음극성 전압이 비대칭인 상황이 나타나기 쉬우며, 이때, 디스플레이 화면에 플리커(flicker, 깜빡임) 현상이 나타날 수 있다.

[0004] 디스플레이 화면의 플리커 현상을 감소시키기 위하여, 공통전압을 도입함으로써, 양극성 전압과 공통전압의 차가 공통전압과 음극성 전압의 차와 같아지도록 하면, 화면의 깜빡임을 감소시킬 수 있다. 그러나, 디스플레이 화면은 영역마다 깜빡임 정도가 다르고, 공통전압은 하나뿐이기 때문에, 일부 영역의 낮은 플리커 현상만 보정할 수 있고, 전체 화면의 낮은 플리커 값을 보장할 수 없다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전체적인 액정 디스플레이 디바이스의 플리커 현상을 감소시켜 디스플레이 효과를 향상시킬 수 있는 공통전압 발생 회로 및 액정 디스플레이 디바이스를 제공한다.

과제의 해결 수단

[0006] 본 발명의 제1 측면은 공통전압 발생 회로를 제공하며, 상기 공통전압 발생 회로는 액정 디스플레이 회로에 응용된다. 상기 액정 디스플레이 회로는 데이터 구동 칩, 행 구동 칩, 어레이 박막 트랜지스터(array TFT), 상기 어레이 TFT와 대응되는 어레이 액정 셀을 포함하며, 상기 행 구동 칩은 스캔 라인을 통해 상기 어레이 TFT를 순차적으로 켜기 위한 것이고, 상기 데이터 구동 칩은 한 행의 TFT가 턴온(turn on)되는 경우에 데이터 라인을 통해 상기 한 행의 TFT에 대응되는 한 행의 액정 셀을 충전시키기 위한 것이며, 상기 어레이 TFT는 P열의 TFT를 포함하고;

[0007] 상기 공통전압 발생 회로는 M개의 공통전압 발생 서브회로를 포함하며, 그 중 제1 공통전압 발생 서브회로의 N개의 입력단은 각각 상기 데이터 구동 칩이 출력하는 이웃한 N개의 데이터 라인에 접속되고, 상기 제1 공통전압 발생 서브회로의 출력단은 상기 N개의 데이터 라인에 대응되는 액정 셀의 공통단에 접속되며, 여기서, M은 양의 정수이고, N은 짝수이며, 또한 M은 P보다 작고, N은 P보다 작으며; 상기 제1 공통전압 발생 서브회로는 상기 M개의 공통전압 발생 서브회로 중의 어느 하나이고;

[0008] 상기 제1 공통전압 발생 서브회로는 이웃한 두 프레임의 화면이 디스플레이되는 겹 시간에 상기 N개의 데이터 라인의 유지전압의 평균값을 획득하여 상기 평균값을 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단으로 출력하기 위한 것이다.

[0009] 여기서, 상기 제1 공통전압 발생 서브회로는 전압 팔로워(voltage follower)와 N개의 스위치관(switch tube)을

포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 상기 N개의 스위치관의 드레인은 상기 전압 팔로워의 비반전(non-inverting) 입력단에 접속되고, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되며, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속된다.

[0010] 여기서, 상기 공통전압 발생 회로는 전압 팔로워와 N개의 스위치관을 포함하며, 상기 N개의 스위치관의 게이트는 상기 데이터 구동 칩의 제어단에 접속되고, 상기 N개의 스위치관의 소스는 상기 N개의 데이터 라인에 각각 접속되며, 제1 스위치관의 드레인은 상기 전압 팔로워의 비반전 입력단에 접속되고, 상기 제1 스위치관은 상기 N개의 스위치관 중의 하나로서, 상기 제1 스위치관의 소스는 상기 N개의 스위치관 중 상기 제1 스위치관 이외의 기타 스위치관의 드레인에 접속되며, 상기 전압 팔로워의 반전 입력단은 상기 전압 팔로워의 출력단과 접속되고, 상기 전압 팔로워의 출력단은 상기 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속된다.

[0011] 여기서, 이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에, 상기 데이터 구동 칩의 제어단이 유효 제어신호를 출력하여 상기 N개의 스위치관의 도통을 제어한다.

[0012] 여기서, 상기 N은 2이다.

[0013] 여기서, 상기 스위치관은 금속 산화물 반도체 전계효과 트랜지스터이다.

[0014] 여기서, 상기 액정 디스플레이 회로는 열 반전 디스플레이 회로이고, 상기 어레이 TFT 중 임의의 이웃한 두 열의 TFT에 대응하는 액정 셀의 전압 극성은 서로 반대이다.

[0015] 본 발명의 실시예의 제2 측면은 상기 공통전압 발생 회로를 포함하는 액정 디스플레이 디바이스를 더 제공한다.

[0016] 본 발명의 실시예 중의 공통전압 발생 회로는 액정 디스플레이 회로에 응용되며, 상기 액정 디스플레이 회로는 데이터 구동 칩, 행 구동 칩, 어레이 박막 트랜지스터(TFT), 상기 어레이 TFT에 대응되는 어레이 액정 셀을 포함하며, 상기 행 구동 칩은 스캔 라인을 통해 상기 어레이 TFT를 순차적으로 켜기 위한 것이고, 상기 데이터 구동 칩은 한 행의 TFT가 턴온되는 경우에 데이터 라인을 통해 상기 한 행의 TFT에 대응되는 한 행의 액정 셀을 충전시키기 위한 것이며; 상기 공통전압 발생 회로는 M개의 공통전압 발생 서브회로를 포함하고, 상기 제1 공통전압 발생 서브회로(M개의 공통전압 발생 서브회로 중의 어느 하나)의 N개의 입력단은 상기 데이터 구동칩이 출력하는 이웃한 N개의 데이터 라인에 각각 접속되며, 상기 제1 공통전압 발생 서브회로의 출력단은 상기 N개의 데이터 라인에 대응되는 액정 셀의 공통단에 접속되고, N은 짝수이며; 상기 제1 공통전압 발생 서브회로는 이웃한 두 프레임의 화면이 디스플레이되는 갭 시간에 상기 N개의 데이터 라인의 유지전압의 평균값을 획득하여, 상기 평균값을 상기 N개의 데이터 라인에 대응되는 액정 셀의 공통단으로 출력하기 위한 것이다.

발명의 효과

[0017] 본 발명의 실시예 중의 공통전압 발생 회로는 매 두 프레임의 화면이 디스플레이되는 갭 시간에 N개의 데이터 라인에 대응하는 액정 디스플레이 유닛의 공통전압을 조절하고, 매 프레임의 화면마다 공통전압에 대해 교정을 실시함으로써, 이 N개의 데이터 라인에 대응하는 액정 디스플레이 유닛이 대응되는 디스플레이 영역의 깜빡임을 감소시킬 수 있으며, 나아가 전체적인 액정 디스플레이 디바이스의 플리커 값을 감소시킬 수 있어, 디스플레이 효과가 향상된다.

도면의 간단한 설명

[0018] 본 발명의 실시예 또는 종래 기술 중의 기술방안을 보다 명확하게 설명하기 위하여, 이하 실시예 또는 종래 기술에 대한 묘사에서 사용해야 할 첨부도면에 대해 간단히 소개하며, 아래에서 묘사하는 첨부도면은 단지 본 발명의 약간의 실시예일뿐, 본 분야의 통상의 기술자에게 있어서, 창조적인 노동을 하지 않는다는 전제 하에, 이러한 도면을 근거로 기타 도면을 더 획득할 수 있음은 자명하다.

도 1은 본 발명의 실시예가 공개하는 공통전압 발생 회로의 구조도이다.

도 2는 본 발명의 실시예가 공개하는 공통전압 발생 회로의 구체적인 구조도이다.

도 3은 본 발명의 실시예가 공개하는 또 다른 공통전압 발생 회로의 구체적인 구조도이다.

도 4는 본 발명의 실시예가 공개하는 액정 셀 어레이의 전압 극성 변화 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하 본 발명의 실시예 중의 도면을 결합하여, 본 발명의 실시예의 기술방안에 대해 명확하고 완전하게 설명하고자 한다. 묘사되는 실시방식은 본 발명의 전부가 아닌 일부 실시방식임은 자명하다. 본 발명 중의 실시방식을 바탕으로, 본 분야의 통상의 기술자가 창조적인 노동을 하지 않은 전제하에 획득된 모든 기타 실시방식은 모두 본 발명의 보호 범위에 속함이 마땅하다.
- [0020] 또한, 이하 각 실시예의 설명은 첨부된 도면을 참조하여, 본 발명을 실시하기 위한 특정 실시예를 예시하기 위한 것이다. 본 발명에서 언급된 방향 용어, 예를 들어, "상", "하", "전", "후", "좌", "우", "내", "외", "측면" 등은 단지 첨부 도면을 참고한 방향일 뿐이며, 따라서, 사용되는 방향 용어는 본 발명을 보다 명확하게 설명하고 이해하기 위한 것이지, 가리키는 장치 또는 소자가 반드시 특정한 방위를 갖추어야 한다거나, 특정한 방위로 구성 및 조작되어야 한다는 것을 지시하거나 암시하는 것이 아니며, 따라서 본 발명을 제한하는 것으로 이해되어서는 안 된다.
- [0021] 본 발명의 묘사에서, 설명해야 할 것은, 별도의 명확한 규정과 한정 없이, "설치", "연결", "접속" 등의 용어는 광의로 이해되어야 한다. 예를 들어 고정 접속되는 것일 수도 있고, 탈착 가능하게 접속되거나, 또는 일체형으로 접속되는 것일 수도 있으며; 기계적인 접속이거나 직접적인 연결일 수도 있고, 중간 매개물을 이용하여 간접적으로 연결되는 것일 수도 있으며, 2개의 소자 내부의 연통일 수도 있다. 본 분야의 통상의 기술자에게 있어서, 구체적인 상황에 따라 본 발명 중에서의 상기 용어의 구체적인 의미를 이해할 수 있을 것이다.
- [0022] 또한, 본 발명의 묘사에서, 별도의 설명이 없는 한, "다수"의 의미는 2개 또는 2개 이상이다. 본 명세서에 "공정"이라는 용어가 나오는 경우, 이는 독립된 공정을 가리킬 뿐만 아니라, 기타 공정과 명확하게 구별할 수 없을 시, 상기 공정으로 예측되는 작용을 구현할 수만 있다면 본 용어에 포함된다. 또한, 본 발명 중 "~"로 표시된 수치 범위는 "-" 전후에 기재된 수치를 각각 최소값과 최대값으로서 포함하는 범위를 말한다. 도면에서, 구조가 유사하거나 동일한 유닛은 동일한 부호로 표시하였다.
- [0023] 본 발명의 실시예는 전체적인 액정 디스플레이 디바이스의 플리커 값을 감소시켜 디스플레이 효과를 향상시킬 수 있는 공통전압 발생 회로 및 액정 디스플레이 디바이스를 제공하며, 이하 각각 상세히 설명한다.
- [0024] 도 1을 참조하면, 도 1은 본 발명의 실시예가 공개하는 공통전압 발생 회로의 구조도이다. 도 1에 도시된 바와 같이, 본 실시예에서 묘사하는 공통전압 발생 회로(10)는 액정 디스플레이 회로(20)에 응용되며, 여기서 공통전압 발생 회로(10)는 M개의 공통전압 발생 서브회로, 예를 들어 도 1에 도시된 제1 공통전압 발생 서브회로(11), 제M 공통전압 발생 서브회로(1M) 등을 포함한다. 액정 디스플레이 회로(20)는 데이터 구동 칩(21), 행 구동 칩(22), 어레이 박막 트랜지스터(도 1에는 전체적으로 도시되어 있지 않으며, 구체적으로 도 1에 도시된 박막 트랜지스터 T11, 박막 트랜지스터 T12, 박막 트랜지스터 T21, 박막 트랜지스터 T22 등이다), 및 어레이 박막 트랜지스터(TFT)에 대응하는 어레이 액정 셀(도 1에는 전체적으로 도시되어 있지 않으며, 구체적으로 도 1에 도시된 액정 셀 L11, 액정 셀 L12, 액정 셀 L21, 액정 셀 L22 등이다)을 포함하며, 행 구동 칩(22)은 스캔 라인(도 1에 도시된 스캔 라인 G1, 스캔 라인 G2, ... 스캔 라인 Gn)을 통해 순차적으로 어레이 TFT를 켜기 위한 것이고, 데이터 구동 칩은 한 행의 TFT(예를 들어 제1행 TFT: 박막 트랜지스터 T11, 박막 트랜지스터 T12, ... 박막 트랜지스터 T1n)가 턴온(turn on)되는 경우에 데이터 라인(예를 들어 도 1에 도시된 데이터 라인 S1, 데이터 라인 S2, ... 데이터 라인 Sn)을 통해 상기 한 행의 TFT에 대응하는 한 행의 액정 셀을 충전하기 위한 것이며, 어레이 TFT는 P열의 TFT를 포함한다.
- [0025] 제1 공통전압 발생 서브회로는 상기 M개의 공통전압 발생 서브회로 중의 어느 하나로서, 상기 제1 공통전압 발생 서브회로는 N개의 입력단과 하나의 출력단을 포함하며, 상기 제1 공통전압 발생 서브회로의 N개의 입력단은 각각 데이터 구동 칩이 출력하는 이웃한 N개의 데이터 라인에 접속되고, 공통전압 발생 회로의 출력단은 N개의 데이터 라인에 대응하는 액정 셀의 공통단에 접속되며, M은 양의 정수이고, N은 짝수이며, 또한 M은 P보다 작고, N은 P보다 작다.
- [0026] 상기 제1 공통전압 발생 서브회로는 이웃한 두 프레임의 화면이 표시하는 켄 시간에 N개의 데이터 라인의 유지 전압의 평균값을 획득하여 평균값을 N개의 데이터 라인에 대응하는 액정 셀의 공통단으로 출력하기 위한 것이다.
- [0027] 본 발명의 실시 중, 데이터 구동 칩(21)이 출력하는 데이터 라인(S1, S2, ... Sn)은 각각 한 열의 TFT에 대응되며, 도 1에 도시된 바와 같이, 데이터 라인 S1은 박막 트랜지스터 T11, 박막 트랜지스터 T21, ..., 박막 트랜지스터 Tn1 열의 TFT에 대응되고; 데이터 라인 S2는 박막 트랜지스터 T12, 박막 트랜지스터 T22, ..., 박막 트랜지스터 Tn2 열의 TFT에 대응되며; 데이터 라인 Sn은 박막 트랜지스터 T1n, 박막 트랜지스터 T2n, ..., 박막 트

랜지스터 T_{nn} 열의 TFT에 대응된다. 각 TFT는 또한 하나의 액정 셀에 대응되며, 예를 들어 박막 트랜지스터 T₁₁은 액정 셀 L₁₁에 대응되고, 박막 트랜지스터 T₁₂는 액정 셀 L₁₂에 대응되며, 박막 트랜지스터 T₂₁은 액정 셀 L₂₁에 대응되고, 박막 트랜지스터 T₂₂는 액정 셀 L₂₂에 대응되며, 박막 트랜지스터 T_{n1}은 액정 셀 L_{n1}에 대응되는 등등이다.

[0028] 본 발명의 실시예 중의 액정 디스플레이 회로(20)는 어레이 TFT의 박막 트랜지스터의 턴온과 턴오프를 제어하여 액정 셀에 대한 충방전을 구현하기 위한 것이다. 도 1에 도시된 구동 어레이 TFT는 n행 n열을 예시로 하여 설명한 것으로서, 본 발명의 실시예는 어레이 TFT의 행수와 열수가 동일한 예로 한정되지 않는다. 실제 제품 중, 구동 어레이 TFT 중의 행과 열의 수량은 일반적으로 같지 않으며, 예를 들어, 어레이 TFT는 1920행 1080열, 1366행 768열, 1440행 900열, 1600행 900열 등등일 수 있다. 한 프레임의 화면을 디스플레이하는 과정에서, 행 구동 칩(21)은 순차 스캔 방식으로 매 행의 TFT를 켜는데, 매 행의 TFT(예를 들어 제1행의 TFT: 박막 트랜지스터 T₁₁, 박막 트랜지스터 T₁₂, ..., 박막 트랜지스터 T_{1n})가 켜지는 경우, 데이터 구동 칩(22)은 데이터 라인(S₁, S₂, ..., S_n)을 통해 각각 액정 셀 L₁₁, 액정 셀 L₁₂, ..., 액정 셀 L_{1n}을 충전한다. 액정 디스플레이 화면 상의 모든 행의 TFT에 대응하는 액정 셀의 충전이 모두 완료되면, 즉 한 프레임의 화면의 디스플레이가 완료된다. 이후 액정 디스플레이 회로(20)는 다음 프레임의 화면의 데이터 라인이 출력하는 전압을 업데이트할 준비를 하며(다음 화면의 디스플레이에 대한 준비를 한다), 이후 다음 프레임 화면의 디스플레이를 시작한다. 일반적으로, 이웃한 두 프레임의 화면 사이에 다음 프레임 화면의 데이터 라인의 전압을 준비하기 위한 시간 갭이 존재한다.

[0029] 액정 디스플레이 화면 전체에 동일한 공통전압(VCOM)을 채택할 경우, VCOM 배선의 저항 등 원인으로 인해, 화면 중간과 양측 영역의 충전 효과가 다르고, 플리커 효과 역시 달라, 화면에 깜빡임이 나타나게 된다. 따라서, 본 발명의 실시예는 상기 문제를 해결하기 위한 공통전압 발생 회로를 제공한다.

[0030] 본 발명의 실시예에서, 액정 디스플레이 회로(20)에 응용되는 공통전압 발생 회로는 다수의 서브회로를 가질 수 있으며, 공통전압 발생 회로는 데이터 구동 칩 내에 내장될 수 있다. 도 1에서는 M개(M은 양의 정수이고, M은 P보다 작음)의 공통전압 발생 서브회로를 예시로 하였다(도 1에 도시된 바와 같이 제1 공통전압 발생 서브회로(11), ..., 제M 공통전압 발생 서브회로(1M)). 여기서, 액정 디스플레이 회로(20)는 열 반전 디스플레이 회로이며, 어레이 TFT 중 임의의 이웃한 두 열의 TFT에 대응되는 액정 셀의 전압 극성은 서로 반대이다. 도 1에 도시된 바와 같이, 어느 한 프레임의 화면이 디스플레이될 때, 액정 셀(L₁₁, L₂₁, ..., L_{n1})에 대응하는 데이터 라인 S₁의 전압 극성은 양이고, 액정 셀(L₁₂, L₂₂, ..., L_{n2})에 대응하는 이웃한 데이터 라인 S₂의 전압 극성은 음이다.

[0031] 도 1에 도시된 어느 하나의 공통전압 발생 서브회로는 이웃한 N개(N은 짝수)의 데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이다. 여기서, 매 공통전압 발생 서브회로가 조절하는 이웃한 데이터 라인의 수량은 동일할 수도 있고, 동일하지 않을 수도 있다. 예를 들어, 제1 공통전압 발생 서브회로(11)는 이웃한 데이터 라인 S₁과 데이터 라인 S₂ 이 두 줄의 데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이고, 제2 공통전압 발생 서브회로는 이웃한 데이터 라인 S₃과 데이터 라인 S₄ 이 두 줄의 데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이며, 제M 공통전압 발생 서브회로(1M)는 이웃한 데이터 라인 S_{n-1}과 데이터 라인 S_n데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이다. 또한 예를 들어, 제1 공통전압 발생 서브회로(11)는 이웃한 데이터 라인 S₁과 데이터 라인 S₂ 이 두 줄의 데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이고, 제2 공통전압 발생 서브회로는 이웃한 데이터 라인 S₃, 데이터 라인 S₄, S₅, 데이터 라인 S₆ 이 네 줄의 데이터 라인에 대응하는 액정 셀의 공통전압을 조절하기 위한 것이며 ..., 매 공통전압 발생 서브회로마다 조절하는 이웃한 데이터 라인의 수량이 짝수이지만 하면 된다(즉, N은 짝수). 본 발명의 기술방안에 대한 이해의 편의를 위해, 아래에서는 어느 하나의 공통전압 발생 서브회로가 모두 이웃한 2개의 데이터 라인(즉, N=2)을 조절하는 것을 예로 들어 설명한다.

[0032] 선택적으로, 제1 공통전압 발생 회로(11)와 제M 공통전압 발생 회로(1M)는 각각 상이한 VCOM 영역에 대응되며, 도 1에 도시된 바와 같이, 제1 공통전압 발생 회로(11)는 VCOM₁ 영역에 대응되어, VCOM₁ 영역 내의 액정 셀(즉 데이터 라인 S₁과 데이터 라인 S₂에 대응하는 액정 셀)의 공통전압을 조절하고, 제M 공통전압 발생 회로(1M)는 VCOM_m 영역에 대응되어, VCOM_m 영역 내의 액정 셀(즉 데이터 라인 S_{n-1}과 데이터 라인 S_n에 대응하는 액정 셀)의 공통전압을 조절한다. 선택적으로, VCOM₁ 영역 내의 액정 셀의 공통전압은 VCOM_m 영역 내의 액정 셀의 공통전압과 상이하다.

[0033] 이하 제1 공통전압 발생 서브회로(11)를 예로 들어 공통전압 발생 회로의 작동 원리를 설명한다. 제1 공통전압 발생 서브회로(11)는 2개의 입력단(도 1에 도시된 입력단(111)과 입력단(112))과 하나의 출력단(113)을 포함하

며, 입력단(111)은 데이터 구동 칩이 출력하는 데이터 라인 S1에 접속되고, 입력단(112)은 데이터 구동 칩이 출력하는 데이터 라인 S2에 접속되며, 제1 공통전압 발생 서브회로(11)의 출력단(113)은 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀의 공통단(VCOM1)에 접속된다. 한 프레임의 화면이 디스플레이되는 과정에서, 행 구동 칩(22)은 스캔 라인(G1, G2, Gn)을 통해 순차적으로 스캔하며, 데이터 구동 칩은 데이터 라인 S1과 데이터 라인 S2를 통해 각각 제1열의 TFT(도 1에 도시된 바와 같은 박막 트랜지스터 T11, 박막 트랜지스터 T21, ..., 박막 트랜지스터 Tn1)와 제2열의 TFT(도 1에 도시된 바와 같은 박막 트랜지스터 T12, 박막 트랜지스터 T22, ..., 박막 트랜지스터 Tn2)로 충전을 수행한다. 상기 한 프레임의 화면의 디스플레이가 종료된 후, 행 구동 칩(22)이 출력을 차단하여, 모든 TFT가 컷오프되며, 이때, 비록 데이터 라인 S1과 데이터 라인 S2는 전압을 액정 셀로 출력할 수 없게 되나, 단 데이터 라인 S1과 데이터 라인 S2는 여전히 이전 프레임의 화면의 전압을 유지하고, 제1 공통전압 발생 서브회로(11)는 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)을 획득하여, 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)의 평균값을 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀의 공통단으로 출력한다. 따라서, 다음 프레임의 화면이 디스플레이될 때, 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀의 공통단의 공통전압은 $VCOM1 = (V1 + V2) / 2$ 이다.

[0034] 본 발명의 실시예 중의 제1 공통전압 발생 서브회로(11)는 매 두 프레임의 화면이 디스플레이되는 갭 시간에 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 디스플레이 유닛의 공통전압을 조절할 수 있으며, 매 프레임의 화면이 디스플레이되기 전, 모두 VCOM1 영역(도 1에 도시된 제1열의 TFT와 제2열의 TFT에 대응되는 영역) 내의 액정 셀(즉 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀)의 공통전압에 대해 교정을 실시하여, VCOM1 영역의 깜빡임을 감소시킬 수 있으며, 나아가 전체적인 액정 디스플레이 디바이스의 플리커 값을 감소시킬 수 있어 디스플레이 효과가 향상된다.

[0035] 이해의 편의를 위해, 아래의 공통전압 발생 회로는 모두 제1 공통전압 발생 서브회로(11)를 예로 들어 설명한다.

[0036] 선택적으로, 도 2를 참조하면, 도 2는 본 발명의 실시예가 공개하는 공통전압 발생 회로의 구체적인 구조도로서, 도 2에 도시된 바와 같이, 제1 공통전압 발생 서브회로(11)는 전압 팔로워(U1)와 2개의 스위치관(예를 들어 도 2에 도시된 스위치관 T1과 스위치관 T2)을 포함한다. 스위치관 T1과 스위치관 T2의 게이트(g)는 모두 데이터 구동 칩(21)의 제어단(E1)에 접속되고, 스위치관 T1과 스위치관 T2의 소스(s)는 각각 데이터 라인 S1과 데이터 라인 S2에 접속되며, 스위치관 T1과 스위치관 T2의 드레인(d)은 모두 전압 팔로워(U1)의 비반전 입력단에 접속되고, 전압 팔로워(U1)의 반전 입력단은 전압 팔로워(U1)의 출력단(out)과 접속되며, 전압 팔로워(U1)의 출력단(out)은 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀(데이터 라인 S1은 액정 셀 L11, L21, ..., Ln1에 대응되고; 데이터 라인 S2는 액정 셀 L12, L22, ..., Ln2에 대응된다)의 공통단(cport)에 접속된다.

[0037] 전압 팔로워(U1)의 출력은 항상 그 비반전 입력단을 따르며, 즉, 도 2에 도시된 전압 팔로워(U1)의 출력단(out)의 전압은 전압 팔로워(U1)의 비반전 입력단의 전압과 같다. 스위치관 T1과 스위치관 T2가 모두 도통하는 경우, 전압 팔로워(U1)의 비반전 입력단은 동시에 데이터 라인 S1 및 데이터 라인 S2와 연통된다. 두 프레임의 화면이 디스플레이되는 갭 시간에, 행 구동 칩(22)이 출력을 차단하므로, 모든 스캔 라인(G1, G2, ..., Gn)은 VCOM1 영역 내의 TFT를 켤 수 없다. VCOM1 영역 내의 TFT는 제1열의 TFT와 제2열의 TFT를 포함하고, 제1열의 TFT는 T11, T21, ..., Tn1을 포함하며; 제2열의 TFT는 T12, T22, ..., Tn2를 포함한다.

[0038] 두 프레임의 화면이 디스플레이되는 갭 시간에, 비록 데이터 라인 S1과 데이터 라인 S2는 여전히 이전 프레임의 전압을 유지하나, 데이터 라인 S1과 데이터 라인 S2의 유지전압은 제1열의 TFT와 제2열의 TFT를 통해 대응되는 액정 셀을 충전하지 못한다. 이때, 데이터 구동 칩(21)의 제어단(E1)은 유효 제어신호를 출력하며, 상기 유효 제어신호는 스위치관 T1과 스위치관 T2를 켜서, 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)을 단락시켜 전압 팔로워(U1)의 비반전 입력단으로 출력하기 위한 것이다. 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)의 단락은 2개의 전압원(전압이 V1인 전압원과 전압이 V2인 전압원)의 병렬 연결과 같아, 원리 상 2개의 커패시턴스가 동일한 커패시터의 병렬 연결로 이해할 수 있으며, 그 병렬 연결된 전압은 2개의 커패시터 양단의 전압의 평균값이다. 이하 통속적인 방식으로 전압 평균화의 원리를 설명한다: 커패시터 C1의 커패시턴스는 C이고, 전압은 V1이며, 전기량은 Q1이고; 커패시터(C2)의 커패시턴스는 C이고, 전압은 V2이며, 전기량은 Q2이다. 전기량은 통 속의 물로, 커패시턴스는 통의 횡단면 면적으로, 전압은 통 속의 수위 높이로 이해할 수 있다. 커패시터 C1과 커패시터 C2가 병렬로 연결된다면, 2개의 통 사이가 파이프를 통해 연통되는 것과 같으며, 이 경우, 커패시터인 두 통의 수위가 같으므로, 즉 커패시터 C1과 커패시터 C2가 병렬 연결된 후의 전압은 같으며, 또한 V1과 V2의 평균값과 같다. 예를 들어 설명하면, 커패시터 C1과 커패시터 C2의

용량값이 모두 1 마이크로패럿(microfarad)이고, 병렬 연결 전, 커패시터 C1의 전압은 13볼트이고, 커패시터 C2의 전압은 1볼트라면, 병렬 연결 후, 커패시터 C1이 커패시터 C2를 충전하여, 커패시터 C1의 전위가 하강하고, 커패시터 C2의 전위가 상승하면서 양자의 전위가 같아지며, 즉 커패시터 C1과 커패시터 C2의 전압이 같아져 7볼트와 같아진다.

[0039] 전압 팔로워(U1)의 출력이 비반전 입력단을 따르므로, 전압 팔로워(U1)의 출력단(out)은 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)의 평균값을 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀(데이터 라인 S1은 액정 셀 L11, L21, ..., Ln1에 대응하고; 데이터 라인 S2는 액정 셀 L12, L22, ..., Ln2에 대응한다)의 공통단(cport)으로 출력한다.

[0040] 어느 한 프레임의 화면의 디스플레이 시간에 진입하였을 때, 데이터 구동 칩(21)의 제어단(E1)은 무효 제어신호를 출력하며, 상기 무효 제어신호는 스위치관 T1과 스위치관 T2를 켤 수 없다. 이렇게 되면 데이터 라인 S1과 데이터 라인 S2의 접속이 차단되어, 데이터 라인 S1과 데이터 라인 S2가 접속되지 않은 상태와 같아지며(앞에서 언급한 두 프레임의 화면이 디스플레이되는 갭 시간에, 데이터 구동 칩(21)의 제어단(E1)이 출력하는 유효 제어신호가 스위치관 T1과 스위치관 T2를 켜서, 데이터 라인 S1과 데이터 라인 S2를 단락시킬 수 있다), 이렇게 되면, 이웃한 두 열의 데이터 라인 사이에 간섭이 초래될 우려가 없어, 액정 디스플레이 회로(20)가 정상적으로 디스플레이하며, 이때 제1 공통전압 발생 서브회로(11)가 출력하는 전압은 여전히 이전 프레임의 화면과 이번 프레임의 화면의 갭에 상기 제1 공통전압 발생 서브회로(11)가 출력하는 전압을 유지할 수 있으며, 제1 공통전압 발생 서브회로(11)가 액정 디스플레이 회로(20)의 정상적인 화면 디스플레이에 간섭을 초래하지 않도록 보장할 수 있다.

[0041] 선택적으로, 도 3을 참조하면, 도 3은 본 발명의 실시예가 공개하는 다른 공통전압 발생 회로의 구체적인 구조도이다. 도 3에 도시된 바와 같이, 제1 공통전압 발생 서브회로(11)는 전압 팔로워(U1)와 2개의 스위치관(예를 들어 도 3에 도시된 스위치관 T1과 스위치관 T2)을 포함하며, 스위치관 T1과 스위치관 T2의 게이트(g)는 모두 데이터 구동 칩(21)의 제어단(E1)에 접속되고, 스위치관 T1과 스위치관 T2의 소스(s)는 각각 데이터 라인 S1과 데이터 라인 S2에 접속되며, 스위치관 T2의 드레인(d)은 전압 팔로워(U1)의 비반전 입력단에 접속되고, 스위치관 T2의 소스(s)는 스위치관 T1의 드레인(d)에 접속되며, 전압 팔로워(U1)의 반전 입력단은 전압 팔로워(U1)의 출력단(out)과 접속되고, 전압 팔로워(U1)의 출력단(out)은 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀(데이터 라인 S1은 액정 셀 L11, L21, ..., Ln1에 대응되고; 데이터 라인 S2는 액정 셀 L12, L22, ..., Ln2에 대응된다)의 공통단(cport)에 접속된다.

[0042] 여기서, 도 3에 도시된 전압 팔로워(U1)의 출력단(out)의 전압은 전압 팔로워(U1)의 비반전 입력단의 전압과 같다. 스위치관 T1과 스위치관 T2가 모두 도통하는 경우, 전압 팔로워(U1)의 비반전 입력단은 동시에 데이터 라인 S1 및 데이터 라인 S2와 연통된다. 두 프레임의 화면이 디스플레이되는 갭 시간에, 행 구동 칩(22)이 출력을 차단하므로, 모든 스캔 라인(G1, G2, ..., Gn)은 VCOM1 영역 내의 TFT를 켤 수 없다. VCOM1 영역 내의 TFT는 제1열의 TFT와 제2열의 TFT를 포함하고, 제1열의 TFT는 T11, T21, ..., Tn1을 포함하며; 제2열의 TFT는 T12, T22, ..., Tn2를 포함한다.

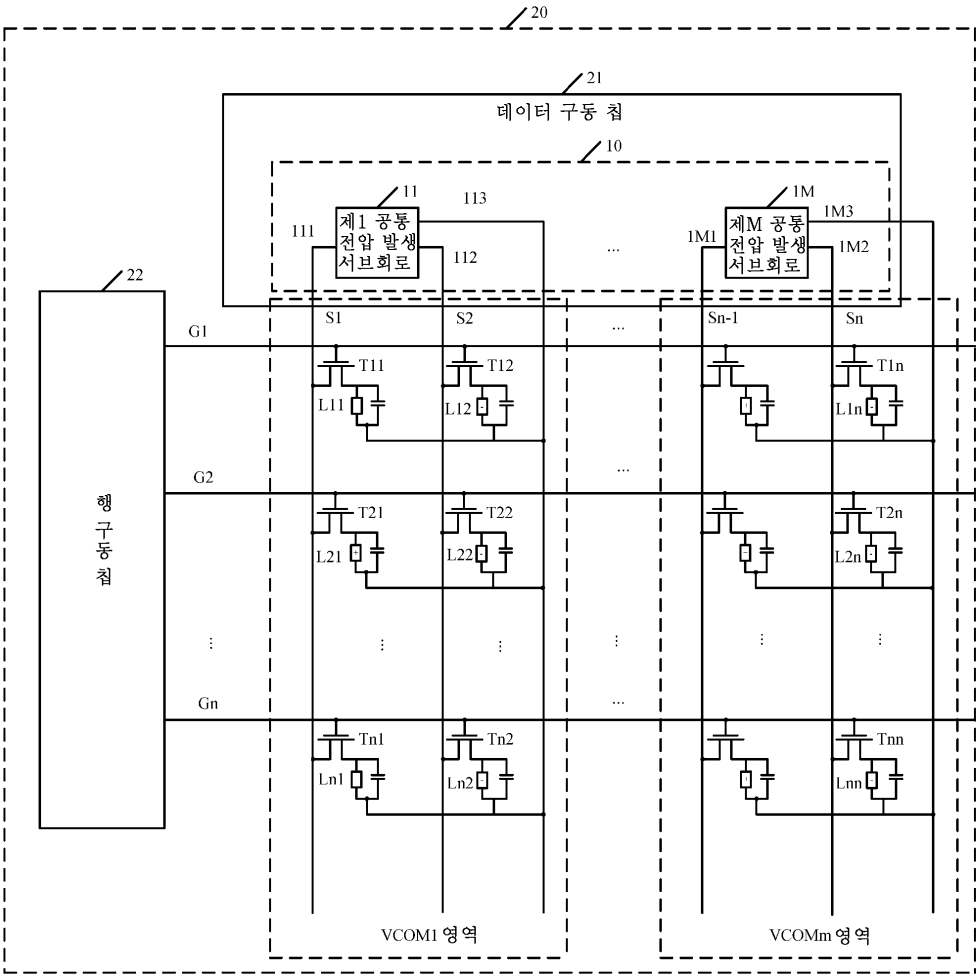
[0043] 두 프레임의 화면이 디스플레이되는 갭 시간에, 비록 데이터 라인 S1과 데이터 라인 S2는 여전히 이전 프레임의 전압을 유지하나, 데이터 라인 S1과 데이터 라인 S2의 유지전압은 제1열의 TFT와 제2열의 TFT를 통해 대응되는 액정 셀을 충전하지 못한다. 이때, 데이터 구동 칩(21)의 제어단(E1)은 유효 제어신호를 출력하며, 상기 유효 제어신호는 스위치관 T1과 스위치관 T2를 켜서, 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)을 단락시켜 스위치관 T2의 소스로 출력하고, 스위치관 T2의 드레인을 거쳐 전압 팔로워(U1)의 비반전 입력단으로 출력하기 위한 것이다. 데이터 라인 S1의 유지전압(V1)과 데이터 라인 S2의 유지전압(V2)의 단락은 2개의 전압원(전압이 V1인 전압원과 전압이 V2인 전압원)의 병렬 연결에 해당하며, 원리 상 2개의 커패시턴스가 동일한 커패시터의 병렬 연결로 이해할 수 있으며, 그 병렬 연결된 전압은 2개의 커패시터 양단의 전압의 평균값이다. 이하 통속적인 방식으로 전압 평균화의 원리를 설명한다: 커패시터 C1의 커패시턴스는 C이고, 전압은 V1이며, 전기량은 Q1이고; 커패시터(C2)의 커패시턴스는 C이고, 전압은 V2이며, 전기량은 Q2이다. 전기량은 통속의 물로, 커패시턴스는 통의 횡단면 면적으로, 전압은 통 속의 수위 높이로 이해할 수 있다. 커패시터 C1과 커패시터 C2가 병렬로 연결된다면, 2개의 통 사이가 파이프를 통해 연통되는 것과 같으며, 이 경우, 커패시터인 두 통의 수위가 같으므로, 즉 커패시터 C1과 커패시터 C2가 병렬 연결된 후의 전압은 같으며, 또한 V1과 V2의 평균값과 같다. 예를 들어 설명하면, 커패시터 C1과 커패시터 C2의 용량값이 모두 1 마이크로패럿(microfarad)이고, 병렬 연결 전, 커패시터 C1의 전압은 13볼트이고, 커패시터 C2의 전압은 1볼트라면, 병렬 연결 후, 커패시터 C1이 커패시터 C2를 충전하여, 커패시터 C1의 전위가 하강하고, 커패시터 C2의 전위가 상승하면서 양자의

전위가 같아지며, 즉 커패시터 C1과 커패시터 C2의 전압이 같아져 7볼트와 같아진다.

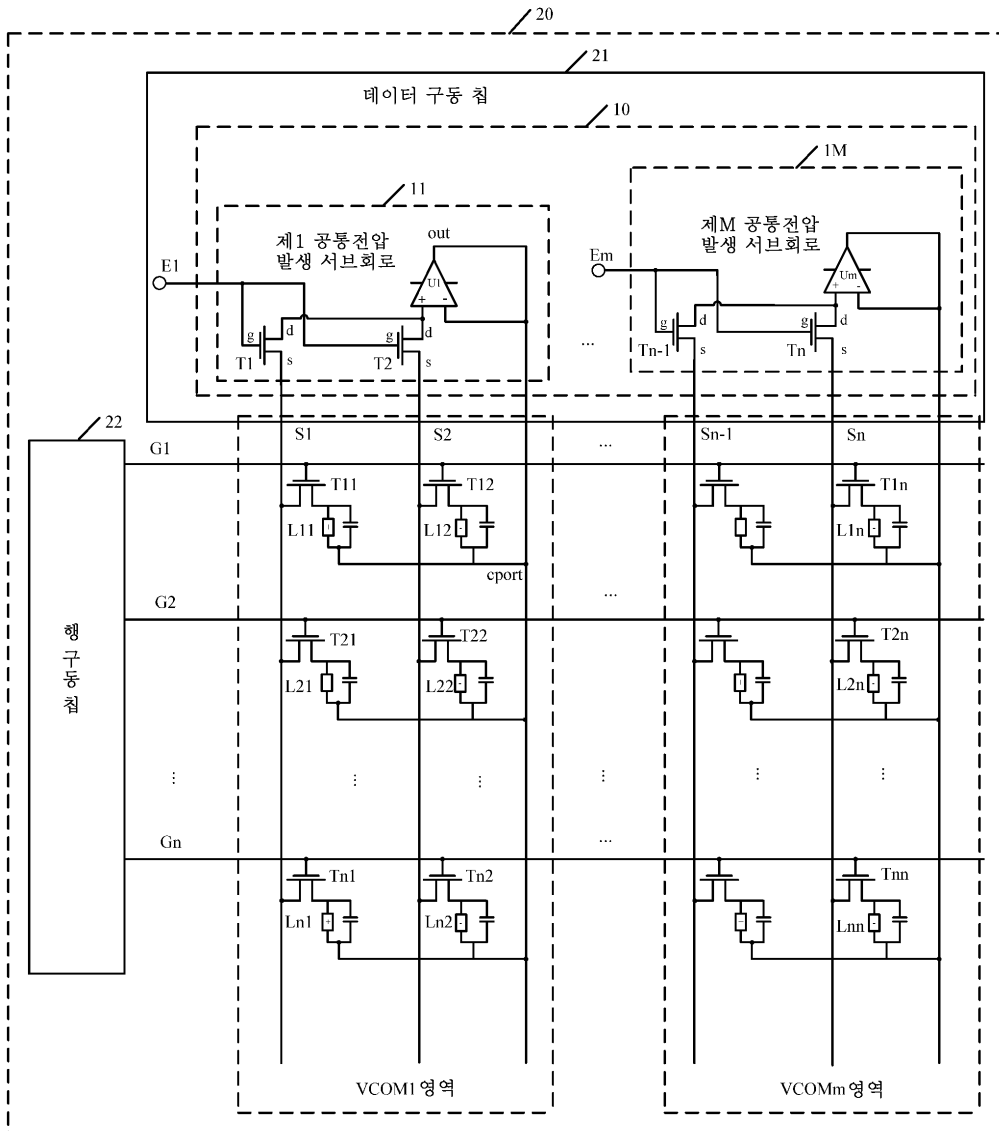
- [0044] 전압 팔로워(U1)의 출력이 비반전 입력단을 따르므로, 전압 팔로워(U1)의 출력단(out)은 데이터 라인 S1의 유지 전압(V1)과 데이터 라인 S2의 유지전압(V2)의 평균값을 데이터 라인 S1과 데이터 라인 S2에 대응하는 액정 셀 (데이터 라인 S1은 액정 셀 L11, L21, ..., Ln1에 대응되고; 데이터 라인 S2는 액정 셀 L12, L22, ..., Ln2에 대응된다)의 공통단(cport)으로 출력한다.
- [0045] 어느 한 프레임의 화면의 디스플레이 시간에 진입하였을 때, 데이터 구동 칩(21)의 제어단(E1)은 무효 제어신호를 출력하며, 상기 무효 제어신호는 스위치관 T1과 스위치관 T2를 켤 수 없고, 데이터 라인 S1은 데이터 라인 S2와 접속이 차단되어, 액정 디스플레이 회로(20)가 정상적으로 디스플레이된다. 이때 제1 공통전압 발생 서브 회로(11)가 출력하는 전압은 여전히 이전 프레임의 화면과 이번 프레임의 화면의 갭에 상기 제1 공통전압 발생 서브회로(11)가 출력하는 전압을 유지할 수 있으며, 제1 공통전압 발생 서브회로(11)가 액정 디스플레이 회로(20)의 정상적인 화면 디스플레이에 간섭을 초래하지 않도록 보장할 수 있다.
- [0046] 선택적으로, 상기 스위치관 T1과 스위치관 T2는 금속 산화물 반도체 전계효과 트랜지스터, 즉 MOS 트랜지스터일 수 있다. MOS 트랜지스터가 NMOS 트랜지스터일 경우, 데이터 구동 칩(21)의 제어단(E1)은 유효 제어신호(예를 들어 고 레벨 신호)를 출력하여 스위치관 T1 및 스위치관 T2의 도통을 제어하고; MOS 트랜지스터가 PMOS 트랜지스터일 경우, 데이터 구동 칩(21)의 제어단(E1)은 유효 제어신호(예를 들어 저 레벨 신호)를 출력하여 스위치관 T1 및 스위치관 T2의 도통을 제어한다.
- [0047] 선택적으로, 액정 디스플레이 회로(20)는 열 반전 디스플레이 회로이며, 어레이 TFT 중 임의의 이웃한 두 열의 TFT에 대응하는 액정 셀의 전압 극성은 서로 반대이다. 도 4에 도시된 바와 같이, 도 4는 본 발명의 실시예가 공개하는 액정 셀 어레이의 전압 극성 변화도이다. 제N 프레임의 화면일 때, 데이터 라인 S1에 대응하는 제1열의 액정 셀의 전압 극성은 양이고, 데이터 라인 S2에 대응하는 제2열의 액정 셀의 전압 극성은 음이며, 데이터 라인 S3에 대응하는 제3열의 액정 셀의 전압 극성은 양이고, 데이터 라인 S4에 대응하는 제4열의 액정 셀의 전압 극성은 음이며 ... 이와 같이 유추한다. 제N+1 프레임의 화면일 때, 데이터 라인 S1에 대응하는 제1열의 액정 셀의 전압 극성은 음이고, 데이터 라인 S2에 대응하는 제2열의 액정 셀의 전압 극성은 양이며, 데이터 라인 S3에 대응하는 제3열의 액정 셀의 전압 극성은 음이고, 데이터 라인 S4에 대응하는 제4열의 액정 셀의 전압 극성은 양이며 ... 이와 같이 유추한다.
- [0048] 본 발명의 실시예는 도 1, 도 2 및 도 3 중의 어느 하나의 도면에 도시된 공통전압 발생 회로를 포함하는 액정 디스플레이 디바이스를 더 제공한다. 상기 도 1-도 4에 도시된 공통전압 발생 회로에 대한 설명을 참조하면 되므로, 여기서는 중복 설명을 생략한다.
- [0049] 본 발명의 묘사에서, "일 실시예", "약간의 실시예", "예시", "구체적인 예시" 또는 "약간의 예시" 등의 용어는 상기 실시예 또는 예시를 결합하여 묘사되는 구체적인 특징, 구조, 재료 또는 특징이 본 발명의 적어도 일 실시예 또는 예시에 포함됨을 가리킨다. 본 명세서 중, 상기 용어의 설명적인 표현이 반드시 동일한 실시예 또는 예시를 지칭하는 것은 아니다. 또한, 묘사되는 구체적인 특징, 구조, 재료 또는 특징은 어느 하나 또는 다수의 실시예 또는 예시 중 적합한 방식으로 결합될 수 있다.
- [0050] 이상으로 본 발명의 실시예가 제공하는 공통전압 발생 회로 및 액정 디스플레이 디바이스에 대하여 상세히 소개하였으며, 본문 중 구체적인 예를 응용하여 본 발명의 원리 및 실시방식에 대해 설명하였다. 이상의 실시예의 설명은 단지 본 발명의 방법 및 그 핵심 사상의 이해를 돕기 위한 것일 뿐이며; 동시에, 본 분야의 일반 기술자에게 있어서, 본 발명의 사상에 의거하여 구체적인 실시방식 및 응용 범위 면에서 모두 변경되는 부분이 있을 수 있으며, 결론적으로, 본 명세서의 내용은 본 발명을 제한하는 것으로 이해되어서는 안 된다.

도면

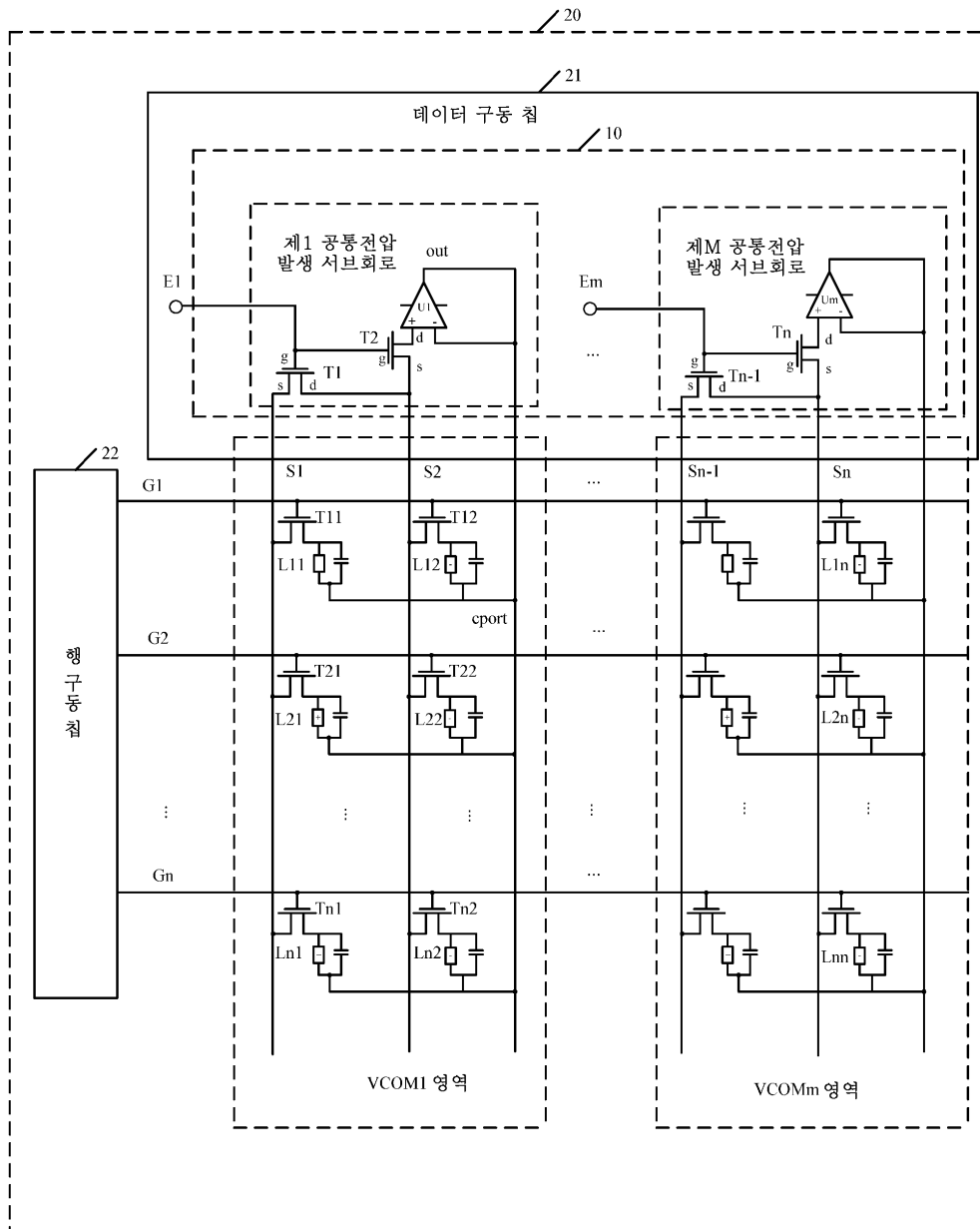
도면1



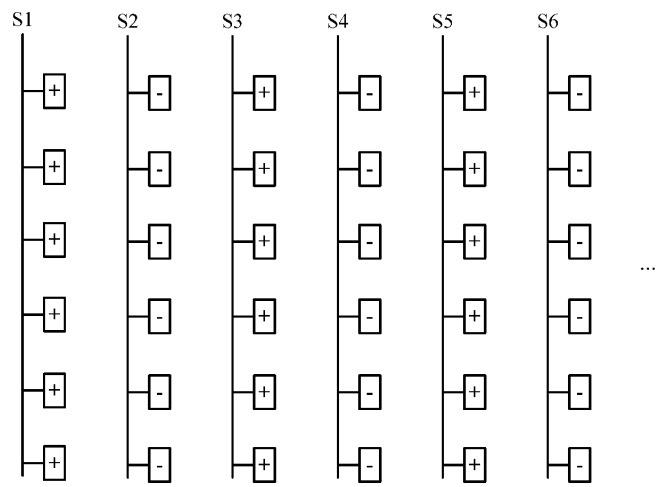
도면2



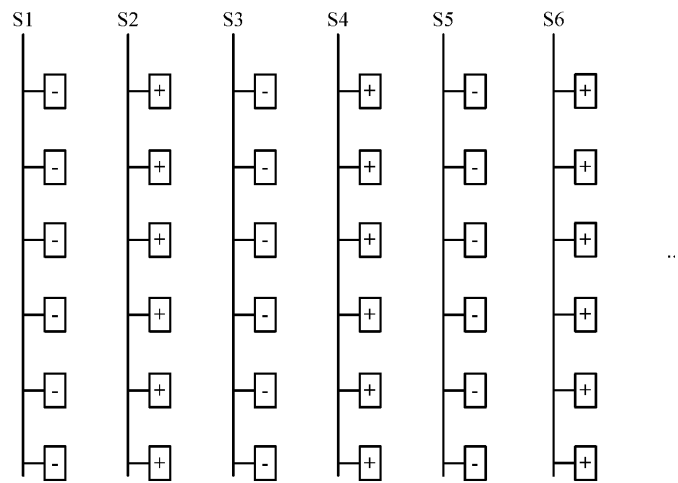
도면3



도면4



제N 프레임



제N+ 1 프레임