



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월09일
(11) 등록번호 10-2287194
(24) 등록일자 2021년08월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G02F 1/13306 (2013.01)
(21) 출원번호 10-2015-0044490
(22) 출원일자 2015년03월30일
심사청구일자 2020년03월10일
(65) 공개번호 10-2016-0117709
(43) 공개일자 2016년10월11일
(56) 선행기술조사문헌
KR1020140042308 A*
KR1020130012382 A*
KR100646992 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박준현
경기도 용인시 기흥구 삼성2로 95 (농서동)
김성환
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒀면에 계속)
(74) 대리인
오중환, 문용호

전체 청구항 수 : 총 16 항

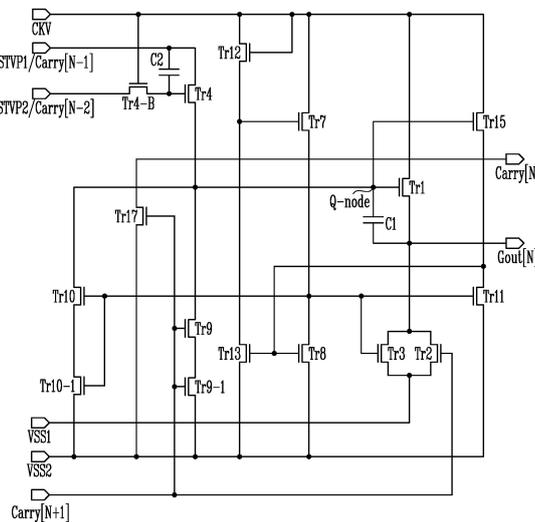
심사관 : 추장희

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 표시 장치

(57) 요약

본 발명은 액정표시 장치의 게이트 구동회로의 구조에 관한 것으로 N번째 스테이지의 게이트 구동회로에서 N-1번째 Carry 신호(또는, 제1 trigger signal), N-2번째 Carry 신호(또는, 제2 trigger signal)를 Q-node 충전 위해 사용하는 구조 및 N-1번째 Carry 신호(또는, 제1 trigger signal)와 N-2번째 Carry 신호(또는, 제2 trigger signal) 사이에 커패시터를 삽입하는 구조에 관한 것이다.

대표도 - 도3



(72) 발명자

송세영

경기도 용인시 기흥구 삼성2로 95 (농서동)

신경주

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

복수의 스테이지들이 종속적으로 연결되어 복수의 게이트 신호들을 출력하는 게이트 구동회로에서 제 N(N은 자연수)번째 스테이지 회로는,

상기 제 N번째 스테이지의 이전 스테이지의 제어신호에 응답하여 전위가 상승되는 제1 노드에 연결된 제어전극을 포함하고, 클럭 단자로부터 클럭 신호를 수신하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 풀업부;

제N-1번째 제어신호 및 제N-2번째 제어신호를 이용하여 상기 제1 노드를 충전하는 제어노드 풀업부; 및

제N+1 번째 제어신호에 따라 상기 제1 노드의 전압을 제1 로우 전압으로 방전시키는 제어노드 풀다운부; 및

상기 제N+1 번째 제어신호에 따라 상기 제N 번째 스테이지의 게이트 신호를 제1 로우 전압으로 방전시키는 출력 풀다운부;를 포함하되,

제N-1번째 제어신호를 입력 받는 제1 트랜지스터 및 제N-2번째 제어신호를 입력 받는 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 출력 전극이 연결되고, 상기 제1 트랜지스터의 입력 전극은 상기 제N-1번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 입력전극은 상기 제N-2번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 게이트 전극은 상기 클럭 단자에 연결되고,

상기 제1 트랜지스터의 게이트 단자와 상기 제N-1 번째 제어신호 입력 단자 사이에 홀드 커패시터를 더 포함하는 게이트 구동 회로.

청구항 2

제 1항에 있어서, 상기 제N 번째 스테이지 회로는,

상기 제1 노드에 하이 전압이 인가되면 상기 클럭 신호의 하이 전압을 제N 번째 제어 신호로 출력하는 캐리부;를 더 포함하는 게이트 구동 회로.

청구항 3

제 2항에 있어서, 상기 제N 번째 스테이지 회로는,

상기 제N 번째 제어 신호의 하이 전압이 출력되는 구간을 제외한 나머지 구간 동안 인버팅 노드에 클럭 신호를 출력하는 인버터부;를 더 포함하는 게이트 구동 회로.

청구항 4

제 3항에 있어서, 상기 제N 번째 스테이지 회로는,

상기 인버팅 노드의 신호에 응답하여 상기 제N 번째 제어 신호를 출력하는 상기 캐리부의 캐리 출력 단자의 전압을 제2 로우 전압으로 방전하는 캐리 유지부;를 더 포함하는 게이트 구동 회로.

청구항 5

제 4항에 있어서, 상기 제N 번째 스테이지 회로는,

제N+1 번째 제어신호에 따라 상기 캐리 출력 단자의 전압을 제2 로우전압(VSS2)으로 방전하는 캐리 풀다운부;를 더 포함하는 게이트 구동 회로.

청구항 6

제 3항에 있어서, 상기 제N 번째 스테이지 회로는,

상기 인버팅 노드의 신호에 응답하여 상기 제1 노드의 전압을 제2 로우 전압으로 방전하는 제어노드 유지부;를 더 포함하는 게이트 구동 회로.

청구항 7

제 3항에 있어서, 상기 제N 번째 스테이지 회로는,

상기 인버팅 노드의 신호에 응답하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 노드 전압을 제1 로우 전압(VSS1) 방전하는 출력 유지부;를 더 포함하는 게이트 구동 회로.

청구항 8

제 1항에 있어서,

상기 제N-2번째 제어신호는 상기 제N-1번째 제어신호보다 높은 전압인 것을 특징으로 하는 게이트 구동 회로.

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1항에 있어서, 상기 홀드 커패시터는,

홀드 트랜지스터를 이용하여 구성되는 게이트 구동회로.

청구항 12

제 1항에 있어서, 상기 제어노드 풀업부는,

입력단자는 상기 제1 트랜지스터와 직렬로 연결되고, 출력단자는 상기 제1 노드와 연결되며, 다이오드(diode)방식으로 연결된 제3 트랜지스터를 더 포함하는 게이트 구동회로.

청구항 13

제 12항에 있어서, 상기 제어노드 풀업부는,

입력단자는 제N번째 제어신호 출력단자와 연결되고 출력단자는 상기 제1 트랜지스터와 상기 제3 트랜지스터의 연결노드에 연결되어 상기 제N번째 제어신호를 피드백하는 제4 트랜지스터를 더 포함하는 게이트 구동회로.

청구항 14

제 4항에 있어서, 상기 제N 번째 스테이지 회로는,

제N+2 번째 제어신호에 따라 상기 캐리 출력 단자의 전압을 제2 로우전압(VSS2)으로 방전하는 캐리 풀다운부;를 더 포함하는 게이트 구동 회로.

청구항 15

복수의 게이트 라인들, 복수의 데이터 라인들 및 복수의 화소 트랜지스터들을 포함하는 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널;

상기 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동회로; 및

상기 주변 영역에 집적되고, 상기 게이트 라인들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하고,

각 스테이지는 복수의 트랜지스터들을 포함하는 게이트 구동회로를 포함하고,

제N 번째 스테이지 회로는,

상기 제 N번째 스테이지의 이전 스테이지의 제어신호에 응답하여 전위가 상승되는 제1 노드에 연결된 제어전극을 포함하고, 클럭 단자로부터 클럭 신호를 수신하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 풀업부;

제N-1번째 제어신호 및 제N-2번째 제어신호를 이용하여 상기 제1 노드를 충전하는 제어노드 풀업부; 및

제N+1 번째 제어신호에 따라 상기 제1 노드의 전압을 제1 로우 전압으로 방전시키는 제어노드 풀다운부; 및

상기 제N+1 번째 제어신호에 따라 상기 제N 번째 스테이지의 게이트 신호를 제1 로우 전압으로 방전시키는 출력 풀다운부;를 포함하되,

제N-1번째 제어신호를 입력 받는 제1 트랜지스터 및 제N-2번째 제어신호를 입력 받는 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 출력 전극이 연결되고, 상기 제1 트랜지스터의 입력 전극은 상기 제N-1번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 입력전극은 상기 제N-2번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 게이트 전극은 상기 클럭 단자에 연결되고,

상기 제1 트랜지스터의 게이트 단자와 상기 제N-1 번째 제어신호 입력 단자 사이에 홀드 커패시터를 더 포함하는 표시 장치.

청구항 16

제 15항에 있어서,

상기 표시 영역의 상기 화소 트랜지스터 및 상기 주변 영역의 상기 트랜지스터 각각은 산화물 반도체를 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

제 15항에 있어서, 상기 제어노드 풀업부는,

입력단자는 상기 제1 트랜지스터와 직렬로 연결되고, 출력단자는 상기 제1 노드와 연결되며, 다이오드(diode)방식으로 연결된 제3 트랜지스터를 더 포함하는 표시장치.

청구항 20

제 19항에 있어서, 상기 제어노드 풀업부는,

입력단자는 제N번째 제어신호 출력단자와 연결되고 출력단자는 상기 제1 트랜지스터와 상기 제3 트랜지스터의 연결노드에 연결되어 상기 제N번째 제어신호를 피드백하는 제4 트랜지스터를 더 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 구체적으로 본 발명은, 액정 표시장치의 게이트 구동회로의 구조에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display) 및 전기 영동 표시 장치(electrophoretic display), 플라즈마 표시 장치(plasma display) 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기 광학(electro-optical) 활성층을 포

함한다. 액정 표시 장치는 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치는 전기 광학 활성층으로 유기 발광층을 포함한다. 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가 받고, 전기 광학 활성층은 이러한 전기 신호를 광학 신호로 변환함으로써 영상을 표시한다.

[0003] 평판 표시 장치에는 박막 트랜지스터가 형성되는 표시 패널이 포함될 수 있다. 박막 트랜지스터 표시 패널에는 여러 층의 전극, 반도체 등이 패터닝되며, 일반적으로 패터닝 공정에 마스크(mask)를 이용한다.

[0004] 한편, 반도체는 박막 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체는 비정질 실리콘(amorphous silicon)이 많이 사용되고 있지만, 전하 이동도가 낮기 때문에, 고성능 박막 트랜지스터를 제조하는데 한계가 있다. 또한, 다결정 실리콘(polysilicon)을 사용하는 경우, 전하 이동도가 높아 고성능 박막 트랜지스터의 제조가 용이하지만, 원가가 비싸고 균일도가 낮아 대형의 박막 트랜지스터 표시판을 제조하는데 한계가 있다.

[0005] 이에 따라, 비정질 실리콘보다 전자 이동도가 높고 전류의 ON/OFF 비율이 높으면서, 다결정 실리콘보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 박막 트랜지스터에 대한 연구가 진행되고 있다.

[0006] 한편, 표시 패널의 사이즈를 감소시키면서 생산성을 증대시키기 위하여 표시 패널에 형성된 게이트 라인에 공급되는 게이트 신호를 출력하는 게이트 구동회로를 표시 패널 상에 집적하는 방식이 사용되고 있다. 표시 패널 상에 집적되는 게이트 구동회로는 화소의 박막 트랜지스터와 동일한 제조 공정에 의해 제조된 박막 트랜지스터를 포함하고, 따라서, 게이트 구동회로의 박막 트랜지스터 역시 산화물 반도체로 액티브 층이 형성된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제를 해결하기 위해 안출된 것으로, 산화물 반도체 게이트 집적 회로의 신뢰성 향상을 위해 N-1번째 Carry 신호(또는, 제1 trigger signal), N-2번째 Carry 신호(또는, 제2 trigger signal)를 Q-node 충전 위해 사용하는 구조 및 N-1번째 Carry 신호(또는, 제1 trigger signal)와 N-2번째 Carry 신호(또는, 제2 trigger signal) 사이에 커패시터를 삽입하는 게이트 구동회로를 제공하기 위함이다.

과제의 해결 수단

[0008] 상기와 같은 목적을 달성하기 위한 본 발명의 게이트 구동 회로는, 복수의 스테이지들이 종속적으로 연결되어 복수의 게이트 신호들을 출력하는 게이트 구동회로에서 제 N(N은 자연수)번째 스테이지 회로를 포함하고, 상기 제 N(N은 자연수)번째 스테이지 회로는, 상기 제 N번째 스테이지의 이전 스테이지의 제어신호에 응답하여 전위가 상승되는 제1 노드에 연결된 제어전극을 포함하고, 클럭 신호를 수신하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 풀업부, 제N-1번째 제어신호 및 제N-2번째 제어신호를 이용하여 상기 제1 노드를 충전하는 제어노드 풀업부 및 제N+1 번째 제어신호에 따라 상기 제1 노드의 전압을 제1 로우 전압으로 방전시키는 제어노드 풀다운부 및 상기 제N+1 번째 제어신호에 따라 상기 제N 번째 스테이지의 게이트 신호를 제1 로우 전압으로 방전시키는 출력 풀다운부를 포함한다.

[0009] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 상기 제1 노드에 하이 전압이 인가되면 상기 클럭 신호의 하이 전압을 상기 제N 번째 제어 신호로 출력하는 캐리부를 더 포함한다.

[0010] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 제N 번째 제어 신호의 하이 전압이 출력되는 구간을 제외한 나머지 구간 동안 인버팅 노드에 클럭 신호를 출력하는 인버터부를 더 포함한다.

[0011] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 상기 인버팅 노드의 신호에 응답하여 상기 제N 번째 제어 신호를 출력하는 상기 캐리부의 캐리 출력 단자의 전압을 제2 로우 전압으로 방전하는 캐리 유지부를 더 포함한다.

[0012] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 제N+1 번째 제어신호에 따라 상기 캐리 출력 단자의 전압을 제2 로우전압(VSS2)으로 방전하는 캐리 풀다운부를 더 포함한다.

[0013] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 상기 인버팅 노드의 신호에 응답하여 상기 제1 노드의 전압을 제2 로우 전압으로 방전하는 제어노드 유지부를 더 포함한다.

- [0014] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 상기 인버팅 노드의 신호에 응답하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 노드 전압을 제1 로우 전압(VSS1) 방전하는 출력 유지부를 더 포함한다.
- [0015] 또한 본 발명의 실시 예에 따른 상기 제N-2번째 제어신호는 상기 제N-1번째 제어신호보다 높은 전압인 것을 특징으로 한다.
- [0016] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 제N-1번째 제어신호를 입력 받는 제1 트랜지스터 및 제N-2번째 제어신호를 입력 받는 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 출력 전극이 연결되고, 상기 제1 트랜지스터의 입력 전극은 상기 N-1번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 입력전극은 상기 제N-2번째 제어신호를 입력 받는 것을 특징으로 한다.
- [0017] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 상기 제1 트랜지스터의 게이트 단자와 상기 제N-1 번째 제어신호 입력 단자 사이에 홀드 커패시터를 더 포함하는 것을 특징으로 한다.
- [0018] 또한 본 발명의 실시 예에 따른 상기 홀드 커패시터는, 홀드 트랜지스터를 이용하여 구성되는 것을 특징으로 한다.
- [0019] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 입력단자는 상기 제1 트랜지스터와 직렬로 연결되고, 출력단자는 상기 제1 노드와 연결되며, 다이오드(diode)방식으로 연결된 제3 트랜지스터를 더 포함한다.
- [0020] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 입력단자는 제N번째 제어신호 출력단자와 연결되고 출력단자는 상기 제1 트랜지스터와 상기 제3 트랜지스터의 연결노드에 연결되어 상기 제N번째 제어신호를 피드백하는 제4 트랜지스터를 더 포함한다.
- [0021] 또한 본 발명의 실시 예에 따른 상기 제N 번째 스테이지 회로는, 제N+2 번째 제어신호에 따라 상기 캐리 출력 단자의 전압을 제2 로우전압(VSS2)으로 방전하는 캐리 풀다운부를 더 포함한다.
- [0022] 또한 본 발명의 실시 예에 따른 상기와 같은 목적을 달성하기 위한 본 발명의 표시장치는, 복수의 게이트 라인들, 복수의 데이터 라인들 및 복수의 화소 트랜지스터들을 포함하는 표시 영역과 상기 표시영역을 둘러싸는 주변 영역을 포함하는 표시 패널, 상기 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동회로 및 상기 주변 영역에 집적되고, 상기 게이트 라인들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하고, 각 스테이지는 복수의 트랜지스터들을 포함하는 게이트 구동회로를 포함하고, 제N 번째 스테이지 회로는, 상기 제 N번째 스테이지의 이전 스테이지의 제어신호에 응답하여 전위가 상승되는 제1 노드에 연결된 제어전극을 포함하고, 클럭 신호를 수신하여 상기 N번째 스테이지의 게이트 신호를 출력하는 출력 풀업부, 제N-1번째 제어신호 및 제N-2번째 제어신호를 이용하여 상기 제1 노드를 충전하는 제어노드 풀업부 및 제N+1 번째 제어신호에 따라 상기 제1 노드의 전압을 제1 로우 전압으로 방전시키는 제어노드 풀다운부 및 상기 제N+1 번째 제어신호에 따라 상기 제N 번째 스테이지의 게이트 신호를 제1 로우 전압으로 방전시키는 출력 풀다운부를 포함한다.
- [0023] 또한 본 발명의 실시 예에 따른 표시장치는, 상기 표시 영역의 상기 화소 트랜지스터 및 상기 주변 영역의 상기 트랜지스터 각각은 산화물 반도체를 포함하는 것을 특징으로 한다.
- [0024] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 제N-1번째 제어신호를 입력 받는 제1 트랜지스터 및 제N-2번째 제어신호를 입력 받는 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 출력 전극이 연결되고, 상기 제1 트랜지스터의 입력 전극은 상기 N-1번째 제어신호를 입력 받고, 상기 제2 트랜지스터의 입력전극은 상기 제N-2번째 제어신호를 입력 받는 것을 특징으로 한다.
- [0025] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 상기 제1 트랜지스터의 게이트 단자와 상기 제N-1 번째 제어신호 입력 단자 사이에 홀드 커패시터를 더 포함한다.
- [0026] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 입력단자는 상기 제1 트랜지스터와 직렬로 연결되고, 출력단자는 상기 제1 노드와 연결되며, 다이오드(diode)방식으로 연결된 제3 트랜지스터를 더 포함한다.
- [0027] 또한 본 발명의 실시 예에 따른 상기 제어노드 풀업부는, 입력단자는 제N번째 제어신호 출력단자와 연결되고 출력단자는 상기 제1 트랜지스터와 상기 제3 트랜지스터의 연결노드에 연결되어 상기 제N번째 제어신호를 피드백하는 제4 트랜지스터를 더 포함한다.

발명의 효과

[0028] 본 발명의 다양한 실시 예에 따르면, 게이트 구동회로에서 Q노드의 풀업부에 인가되는 전압 스트레스를 감소시킬 수 있다.

[0029] 또한 본 발명의 다양한 실시 예에 따르면, Q노드 풀업부의 크기를 감소시켜 베젤크기를 줄이고 소비전력을 감소시킬 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시 예에 따른 표시 장치의 평면도이다.
- 도 2는 종래 기술에 따른 게이트 구동회로의 구조를 나타낸 회로도이다.
- 도 3은 본 발명의 일 실시 예에 따른 게이트 구동회로의 회로도이다.
- 도 4는 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- 도 5은 본 발명의 게이트 구동회로의 입출력 파형을 나타낸 그래프이다.
- 도 6은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- 도 7은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- 도 8은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0032] 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0034] 본 명세서에서 구동회로에 사용되는 트랜지스터 소자는 3개의 전극을 포함할 수 있고, 제어전극, 입력전극 및 출력전극으로 각각 명명될 수 있다. 다양한 실시 예에서, 제어전극은 트랜지스터 소자의 게이트 전극일 수 있고, 입력전극은 소스 전극 그리고 출력전극은 드레인 전극일 수 있다.
- [0035] 또한 본 명세서에서 Q노드는 용어 제어노드와 혼용될 수 있다.
- [0036] 도 1은 본 발명의 일 실시 예에 따른 표시 장치의 평면도이다.
- [0037] 도 1에 따르면, 상기 표시 장치는 표시 패널(100), 게이트 구동회로(200), 데이터 구동회로(400) 및 인쇄회로기판(500)을 포함한다.
- [0038] 상기 표시 패널(100)은 표시 영역(DA) 및 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)을 포함한다. 상기 표시 영역(DA)에는 서로 교차하는 게이트 라인들, 데이터 라인들 및 복수의 화소부를 포함한다. 각 화소부(P)는 게이트 라인(GL)과 데이터 라인(DL)에 전기적으로 연결된 화소 트랜지스터(TR)와, 상기 화소 트랜지스터(TR)와 전기적으로 연결된 액정 커패시터(CLC) 및 상기 액정 커패시터(CLC)와 병렬 연결된 스토리지 커패시터(CST)를 포함한다. 상기 화소 트랜지스터(TR)는 산화물 반도체를 액티브 층으로 사용하는 산화물 트랜지스터일 수 있다. 상기 산화물 반도체는 인듐(indium: In), 아연(zinc: Zn), 갈륨(gallium: Ga), 주석(tin: Sn) 또는 하프늄(hafnium: Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 보다 구체적으로는, 인듐(In), 아연(Zn) 및 갈륨(Ga)을 포함하는 비정질 산화물, 또는 인듐(In), 아연(Zn) 및 하프늄(Hf)을 포함하는 비정질 산화물로 이루어질 수 있다. 상기 산화물 반도체에 산화인듐아연(InZnO), 산화인듐갈륨(InGaO), 산화인듐주석(InSnO), 산화아연주석(ZnSnO), 산화갈륨주석(GaSnO) 및 산화갈륨아연(GaZnO) 등의 산화물이 포함될 수 있다. 예를 들면, 상기 액티브 패턴(ACT)은 인듐 갈륨 아연 산화물(indium gallium zinc oxide: IGZO)을 포함할 수 있다.

- [0039] 상기 게이트 구동회로(200)는 상기 게이트 라인들에 하이 전압의 게이트 신호들을 순차적으로 출력하는 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터는 복수의 스테이지들을 포함할 수 있다. 상기 게이트 구동회로(200)는 상기 게이트 라인들의 일단부에 대응하는 상기 주변 영역(PA)에 집적된다. 상기 게이트 구동회로(200)는 복수의 회로 트랜지스터들을 포함하고, 상기 회로 트랜지스터는 상기 화소 트랜지스터(TR)와 동일한 제조 공정으로 상기 주변 영역(PA)에 형성된다. 상기 회로 트랜지스터는 상기 산화물 반도체를 액티브 층으로 사용하는 산화물 트랜지스터일 수 있다. 상기 게이트 구동회로(200)는 상기 게이트 라인들의 양단부에 대응하여 듀얼 구조로 형성될 수 있다.
- [0040] 상기 데이터 구동회로(400)는 상기 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동칩(410)과, 상기 데이터 구동칩(410)이 실장 되어 상기 인쇄회로기판(500)과 상기 표시 패널(100)을 전기적으로 연결하는 연성회로기판(430)을 포함한다.
- [0041] 도 2는 종래 기술에 따른 게이트 구동회로의 구조를 나타낸 회로도이다.
- [0042] 도 2의 게이트 회로 구조는 산화물 반도체(Oxide TFT)를 적용한 게이트 집적회로(Gate IC)에서 요구되는 로버스트(Robust)동작 특성 및 소비전력 감소를 달성하기 위한 회로구조이다. 구체적으로, 기존 아몰퍼스 실리콘 게이트(ASG) 회로 구조에서 High level stress를 받는 TFT를 회로의 구조를 변경하여, Low level stress를 받도록 하고 회로 집적 효율성 증대시킬 수 있다.
- [0043] 또한 도 2의 게이트 구동 회로 구조를 통해 소비전력 감소를 달성할 수 있다 즉, Oxide의 Depletion 특성으로 인해, 홀드-트랜지스터(Hold TFT)로 누설 전류(leakage current)가 발생하여 소비전력 증가되는 문제점을 시리얼(Serial) TFT 배치 구조로 해결할 수 있다.
- [0044] 도 2의 게이트 구동회로의 동작을 설명한다. 게이트 구동회로(200)는 서로 종속적으로 연결된 복수의 스테이지를 포함하는 쉬프트 레지스터를 포함한다.
- [0045] 도 2에 따르면, 본 발명의 일 실시 예에 따른 게이트 구동회로의 N번째 스테이지는 Q노드 풀업부(210), 출력 풀업부(220), 캐리부(230), 캐리 폴다운부(231), Q노드 폴다운부(251), Q노드 유지부 (252), 출력 폴다운부(261), 출력 유지부(262), 인버터(270) 및 캐리 유지부(280)를 포함한다.
- [0046] Q노드 풀업부(210)는 제 N-1 캐리신호를 출력 풀업부(220)에 전달한다. Q노드 풀업부(210)는 제 N-1캐리 신호의 하이 전압이 수신되면, 이에 대응되는 제1 전압(V1)을 Q노드에 인가한다. Q노드 풀업부(210)는 제4 트랜지스터(Tr4)를 포함할 수 있다. 상기 제4 트랜지스터(Tr4)는 상기 제N-1 캐리 입력 단자(IN1)에 연결된 상단 트랜지스터 및 상단 트랜지스터에 직렬로 연결한 하단 트랜지스터를 포함하고, 상기 하단 트랜지스터의 출력전극은 Q노드와 연결된다.
- [0047] 출력 풀업부(220)는 제N 게이트 신호를 출력한다. 상기 출력 풀업부(220)는 제1 트랜지스터(Tr1)를 포함한다. 상기 제1 트랜지스터(Tr1)는 상기 제어 노드(Q-node)에 연결된 제어 전극, 상기 클럭 단자(CKV)와 연결된 입력 전극 및 출력 노드(Gout[N])에 연결된 출력 전극을 포함한다.
- [0048] 상기 출력 풀업부(220)의 제어 전극에 상기 제어 노드(Q node)의 상기 제1 전압(V1)이 인가된 상태에서 상기 클럭 단자(CKV)에 상기 클럭 신호의 하이 전압이 수신되면 상기 제어 노드(Q node)는 상기 제1 전압(V1)에서 부스팅 전압(VBT)으로 부스트 업 된다. 즉, 상기 제어 노드(Q node)는 제 N-1 구간에서는 상기 제1 전압(V1)을 갖고, 제 N 구간에서는 상기 부스팅 전압(VBT)을 갖는다.
- [0049] 상기 출력 풀업부(220)의 제어 전극에 상기 부스팅 전압(VBT)이 인가되는 구간 동안, 상기 출력 풀업부(220)는 클럭 신호의 하이 전압을 상기 제 N 게이트 신호의 하이 전압으로 출력한다. 상기 제N 게이트 신호는 상기 출력 노드(Gout[N])에 연결된 단자를 통하여 출력된다.
- [0050] 상기 캐리부(230)는 제N 캐리 신호를 출력한다. 상기 캐리부(230)는 제15 트랜지스터(Tr15)를 포함한다. 상기 제15 트랜지스터(Tr15)는 상기 제어 노드(Q node)에 연결된 제어 전극, 상기 클럭 단자(CKV)에 연결된 입력 전극 및 캐리 출력 노드(Carry[N])에 연결된 출력 전극을 포함한다.
- [0051] 캐리부(230)는 상기 제어 노드(Q node)에 하이 전압이 인가되면 상기 클럭 단자(CKV)에 수신된 상기 클럭 신호의 하이 전압을 상기 제N 캐리 신호로 출력한다. 상기 제N 캐리 신호는 상기 캐리 출력 노드(Carry[N])에 연결된 단자를 통하여 출력된다.
- [0052] 캐리 폴다운부(231)은 캐리 출력 노드(Carry[N])의 전압을 제2 로우전압(VSS2)으로 방전할 수 있다. 구체적으로

캐리 폴다운부(231)은 제17 트랜지스터(Tr17)를 포함한다. 상기 제17 트랜지스터(Tr17)의 제어전극은 Q노드 폴다운부(251)와 연결되고, 입력전극은 제2 로우 전압 단자(VSS2)에 그리고 출력전극은 Carry[N]단자에 연결될 수 있다.

- [0053] Q노드 폴다운부(251), Q노드 유지부 (252)는 제N+1 캐리 신호(Carry[N+1]) 및 인버팅 노드의 출력에 응답하여 제어 노드(Q node)의 전압을 제1 및 제2 로우 전압들(VSS1, VSS2)로 순차적으로 방전한다.
- [0054] Q노드 폴다운부(251) 제9 트랜지스터(Tr9)를 포함한다. 다양한 실시 예에서 Q노드 폴다운부(251)는 두 개의 트랜지스터를 직렬로 연결한 FRT구조를 가질 수 있다(Tr9, Tr9-1). 상기 제9 트랜지스터(Tr9) 및 제9-1 트랜지스터(Tr9-1)의 제어전극은 제N+1 캐리 신호와 연결되고, 제9 트랜지스터(Tr9)의 입력단자는 Q노드에, 제9-1 트랜지스터(Tr9-1)의 출력단자는 제2 로우전압(VSS2)로 연결된다.
- [0055] 제9 트랜지스터(Tr9) 및 제9-1 트랜지스터(Tr9-1)는 제N+1 구간 동안 제N+1 캐리입력단자(Carry[N+1]) 에 제N+1 캐리 신호의 하이 전압이 인가되면, 제어 노드(Q node)의 전압을 제1 로우 전압(VSS1)으로 방전한다. 제9 트랜지스터(Tr9) 및 제9-1 트랜지스터(Tr9-1)는 제N+1 구간을 제외한 나머지 구간 동안은 제2 로우 전압이 인가된다.
- [0056] Q노드 유지부(252)는 제어 노드(Q)의 전압을 유지한다. Q노드 유지부(252)는 제10 트랜지스터(Tr10)를 포함한다. 다양한 실시 예에서 Q노드 유지부(252)는 두 개의 트랜지스터를 직렬로 연결한 FRT구조를 가질 수 있다(Tr10, Tr10-1). 제10 트랜지스터(Tr10) 및 제10-1 트랜지스터(Tr10-1)는 인버팅 노드(N(도면미도시))에 연결된 제어 전극을 포함하고 제10 트랜지스터(Tr10)의 일측단자는 Q노드에, 제10-1 트랜지스터(Tr10-1)는 제2 로우 전압단자(VSS2)에 연결된다. Q노드 유지부(252)는 프레임의 나머지 구간 동안 인버팅 노드의 신호에 응답하여 상기 제어 노드(Q node)의 전압을 제2 로우 전압(VSS2)으로 유지한다.
- [0057] 출력 폴다운부(261)는 상기 제N 게이트 신호(G[N])를 풀-다운(pull-down)한다. 출력 폴다운부(261)는 제2 트랜지스터(Tr2)를 포함한다. 제2 트랜지스터(Tr2)는 제N+1 캐리 신호가 입력되는 제어전극, 출력 노드(Gout [N])에 연결된 입력 전극 및 제1 로우 전압(VSS1) 에 연결된 출력 전극을 포함한다. 출력 폴다운부(261)는 제N+1 캐리 신호가 입력되면, 출력 노드(Gout [N])의 전압을 제1 로우 전압(VSS1)으로 풀-다운(pull-down)한다.
- [0058] 출력 유지부(262)는 출력 노드(G[N])의 전압을 유지한다. 출력 유지부(262)는 제3 트랜지스터(Tr3)를 포함한다. 제3 트랜지스터(T3)는 인버팅 노드에 연결된 제어 전극, 출력 노드(G[N])에 연결된 입력 전극 및 제1 전압 단자(VT1)에 연결된 출력 전극을 포함한다. 출력 유지부(262)는 인버팅 노드의 신호에 응답하여 출력 노드(G[N]) 전압을 제1 로우 전압(VSS1)으로 유지한다.
- [0059] 인버터(270)는 제N 캐리 신호의 하이 전압이 출력되는 구간을 제외한 프레임의 나머지 구간 동안 인버팅노드에 클럭 단자(CKV)에 수신된 클럭 신호와 위상이 동일한 신호를 출력할 수 있다. 인버터(270)는 제12 트랜지스터(Tr12), 제7 트랜지스터(Tr7), 제13 트랜지스터(Tr13) 및 제8 트랜지스터(Tr8)를 포함한다.
- [0060] 제12 트랜지스터(Tr12)는 클럭 단자(CKV)에 연결된 제어 전극 및 입력 전극과, 제13 트랜지스터(Tr13)의 입력 전극 및 제7 트랜지스터(Tr7)와 연결된 출력 전극을 포함한다. 제7 트랜지스터(Tr7)는 제13 트랜지스터(T13)에 연결된 제어 전극, 상기 클럭 단자(CKV)에 연결된 입력 전극 및 제8 트랜지스터(Tr8)의 입력 전극과 연결된 출력 전극을 포함한다. 제7 트랜지스터(Tr7)의 출력 전극은 인버팅 노드에 연결된다. 상기 제13 트랜지스터(Tr13)는 캐리 출력 노드(Carry[N])에 연결된 제어 전극, 제12 트랜지스터(Tr12)와 연결된 입력 전극 및 제1 로우 전압(VSS1) 단자에 연결된 출력 전극을 포함한다. 제8 트랜지스터(Tr8)는 캐리 출력 노드(Carry[N])에 연결된 제어 전극, 인버팅 노드에 연결된 입력 전극 및 제1 로우 전압(VSS1) 단자에 연결된 출력 전극을 포함한다.
- [0061] 상기 인버터(270)는 캐리 출력 노드(Carry[N])에 하이 전압이 인가되는 구간 동안에, 클럭 단자(CKV)에 입력된 클럭 신호를 제1 로우 전압(VSS1)으로 방전한다. 즉, 캐리 출력 노드(Carry[N])의 하이 전압에 응답하여 제8 및 제13 트랜지스터들(Tr8, Tr13)은 턴-온 되고 이에 따라 클럭 신호는 제1 로우 전압(VSS1)으로 방전된다.
- [0062] 캐리 유지부(280)는 캐리 출력 노드(Carry[N])의 전압을 유지한다. 캐리 유지부(280)는 제11 트랜지스터(Tr11)를 포함한다. 제11 트랜지스터(Tr11)는 인버팅 노드에 연결된 제어 전극, 캐리 출력 노드(Carry[N])에 연결된 입력 전극 및 제2 로우 전압(VSS2) 단자에 연결된 출력 전극을 포함한다. 캐리 유지부(280)는 프레임의 나머지 구간 동안 인버팅 노드의 신호에 응답하여 캐리 출력 노드(Carry[N])의 전압을 제2 로우 전압(VSS2)으로 유지한다.
- [0063] 도 2의 게이트 구동회로에 따르면, 게이트 집적회로(Gate integrated circuit) 내부의 Q-node에 연결된 트랜지

스터 중 고전압의 스트레스(stress)를 받는 노드가 소스인 경우(예컨대 Tr4), 스트레스 시간(stress time)에 따라 트랜지스터(Tr)의 온전류(on current)가 떨어져서 소자가 열화될 우려가 있다. 또한, 제4 트랜지스터(Tr4)의 온전류 감소로 인해 Q노드의 출력이 부족하여 픽셀에 데이터 전압이 100% 인가되지 못할 수 있다. 이를 극복하기 위한 방법으로, 추가로 별도의 트랜지스터를 다이오드 직렬(diode serial)로 연결하는 방법을 고려해 볼 수 있다.

- [0064] 이 경우 동일한 전류 구동능력을 구비할 수는 있으나 제4 트랜지스터(Tr4)의 넓이(width)가 2배 이상 커져야 하므로 베젤(bezel) 사이즈의 증가가 불가피 하다.
- [0065] 본 발명에서는 Q노드 풀업부(210)의 제4 트랜지스터(Tr4)의 게이트에 보다 높은 전압을 인가하고, 다이오드 구조로 하단 트랜지스터를 연결한 회로 구조를 제안한다.
- [0066] 도 3은 본 발명의 일 실시 예에 따른 게이트 구동회로의 회로도이다.
- [0067] 도 3에 따르면, N번째 스테이지의 게이트 구동회로에서 N-1번째 Carry 신호, N-2번째 Carry 신호를 Q-node의 충전 위해 사용할 수 있다. 구체적으로 도 3에서는, 도 2의 회로구조에서 Q노드 풀업부(210)를 제4 트랜지스터(Tr) 및 제4-B 트랜지스터(Tr4-B)를 이용하여 구성한다. 또한 N-1번째 Carry 신호를 제4 트랜지스터(Tr)에 입력하고, N-2번째 Carry 신호를 제4-B 트랜지스터(Tr4-B)에 입력하며, 두 트랜지스터 사이에 캐패시터를 연결한다.
- [0068] 도 4는 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- [0069] 도 4에서는 도 3의 Q노드 풀업부(210)에 제4 트랜지스터(Tr4)의 하단에 다이오드 구조의 하단 트랜지스터를 더 구비하는 구조이다.
- [0070] 도 4의 회로 구조에 따르면, 트랜지스터(Tr)의 전류계산식에 따라, Q노드 풀업부(210)의 제4 트랜지스터(Tr4)의 전류능력은 입력 전압에 대하여, 선형 모드(linear mode)영역에서는 입력된 전압에 비례하고, 포화 모드(saturation mode) 영역에서는 입력된 전압의 제곱에 비례하도록 개선될 수 있다. 또한 도 4에서와 같이 제4 트랜지스터(Tr4)의 하단에 하단 트랜지스터(Tr)를 다이오드(diode) 구조로 연결함으로써, 제4 트랜지스터(Tr4)에 인가되는 전압 스트레스(stress) 감소로 인한, 산화물 반도체 게이트(OSG) 회로의 신뢰성을 개선할 수 있다.
- [0071] 도 5은 본 발명의 게이트 구동회로의 입출력 파형을 나타낸 그래프이다.
- [0072] 도 5에 따르면, 입력된 신호는 클럭(CK), 반전 클럭(CKB), 제N-2 캐리 신호(CR[n-2]), 제N-1 캐리 신호(CR[n-1])이고, 출력은 A노드, Q노드, B노드 및 게이트 출력신호(Gout [n])이다.
- [0073] 도 5에서와 Q 노드가 고전압으로 충전되며 종래 회로인 도 2의 경우와 비교하여 14V에서 30V이상으로 개선됨을 알 수 있다. 또한 Q노드와 B노드의 출력을 비교하면, Q노드 풀업부(210)에 인가되는 전압스트레스가 43V에서 20V로 감소함을 알 수 있다.
- [0074] 도 6은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- [0075] 도 6은 에 따르면, Q노드 풀업부(210)를 도 4의 형태와 동일하게 구성하되, 캐패시터 대신 별도의 트랜지스터(700)를 이용하여 구성된 회로를 나타낸다.
- [0076] 도 7은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- [0077] 도 7에 따르면, Q노드 풀업부(210)에 인가되는 전압 스트레스를 감소시키기 위해 N번째 캐리 신호를 피드백하여 제4 트랜지스터(Tr4)의 하단 노드에 연결할 수 있다. 이를 위해 피드백 트랜지스터(800)을 더 구비할 수 있다. 피드백 트랜지스터는 다이오드 방식으로 일측 단자는 제N 번째 캐리신호 단자에 연결되고, 타측 단자는 제4 트랜지스터(Tr4)의 하단 노드에 연결될 수 있다.
- [0078] 도 8은 본 발명의 또 다른 실시 예에 따른 게이트 구동회로의 회로도이다.
- [0079] 도 8에 따르면, N+2번째 캐리 신호 입력 단자(Carry[N+2])를 더 구비하고, 제17 트랜지스터(Tr17)의 게이트 단자에 N+2번째 캐리 신호를 입력하여 N+2구간까지 방전을 유지시킴으로써 캐리 노드의 리플(ripple)을 감소시킬 수 있다.
- [0080] 다양한 실시 예에서, 도 2 내지 9의 게이트 구동회로에서 사용된 제N 번째 캐리신호, 제N-1 번째 캐리신호 및 제N-2 번째 캐리신호는, 각각 제N 번째 게이트신호, 제N-1 번째 게이트신호 및 제N-2 번째 게이트신호로 대체될 수 있음을 명시한다.

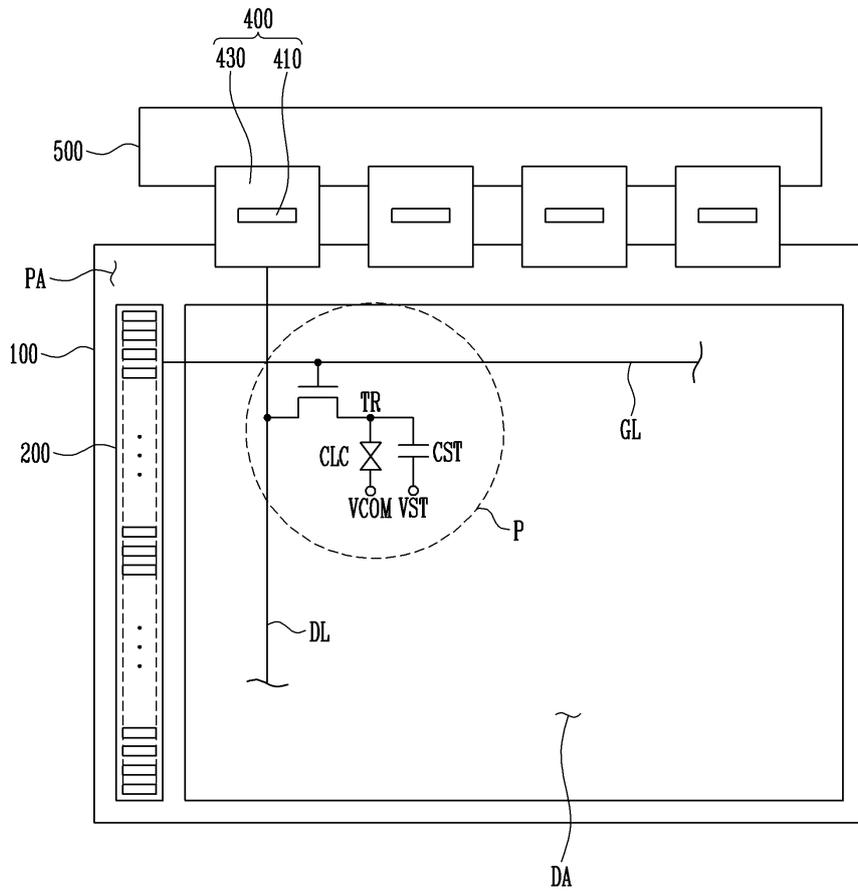
- [0081] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0082] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0083] 상술한 실시 예들에서, 모든 단계는 선택적으로 수행의 대상이 되거나 생략의 대상이 될 수 있다. 또한 각 실시 예에서 단계들은 반드시 순서대로 일어날 필요는 없으며, 뒤바뀔 수 있다. 한편, 본 명세서와 도면에 개시된 본 명세서의 실시 예들은 본 명세서의 기술 내용을 쉽게 설명하고 본 명세서의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 명세서의 범위를 한정하고자 하는 것은 아니다. 즉 본 명세서의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.
- [0084] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시 예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

부호의 설명

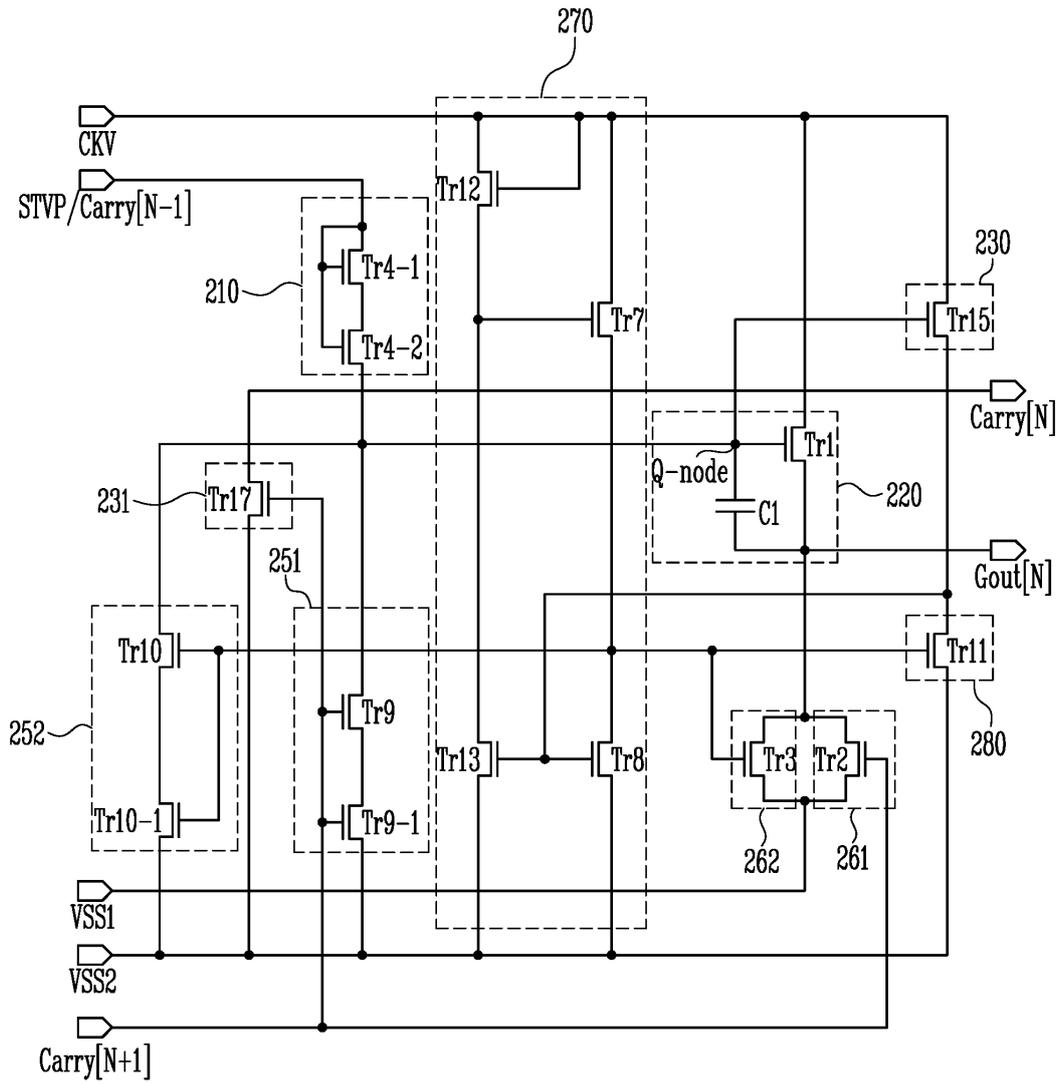
- [0085] 210: Q노드 풀업부
 220: 출력 풀업부
 230: 캐리부
 231: 캐리 풀다운부
 251: Q노드 풀다운부
 252: Q노드 유지부
 261: 출력 풀다운부
 262: 출력 유지부
 270: 인버터
 280: 캐리 유지부

도면

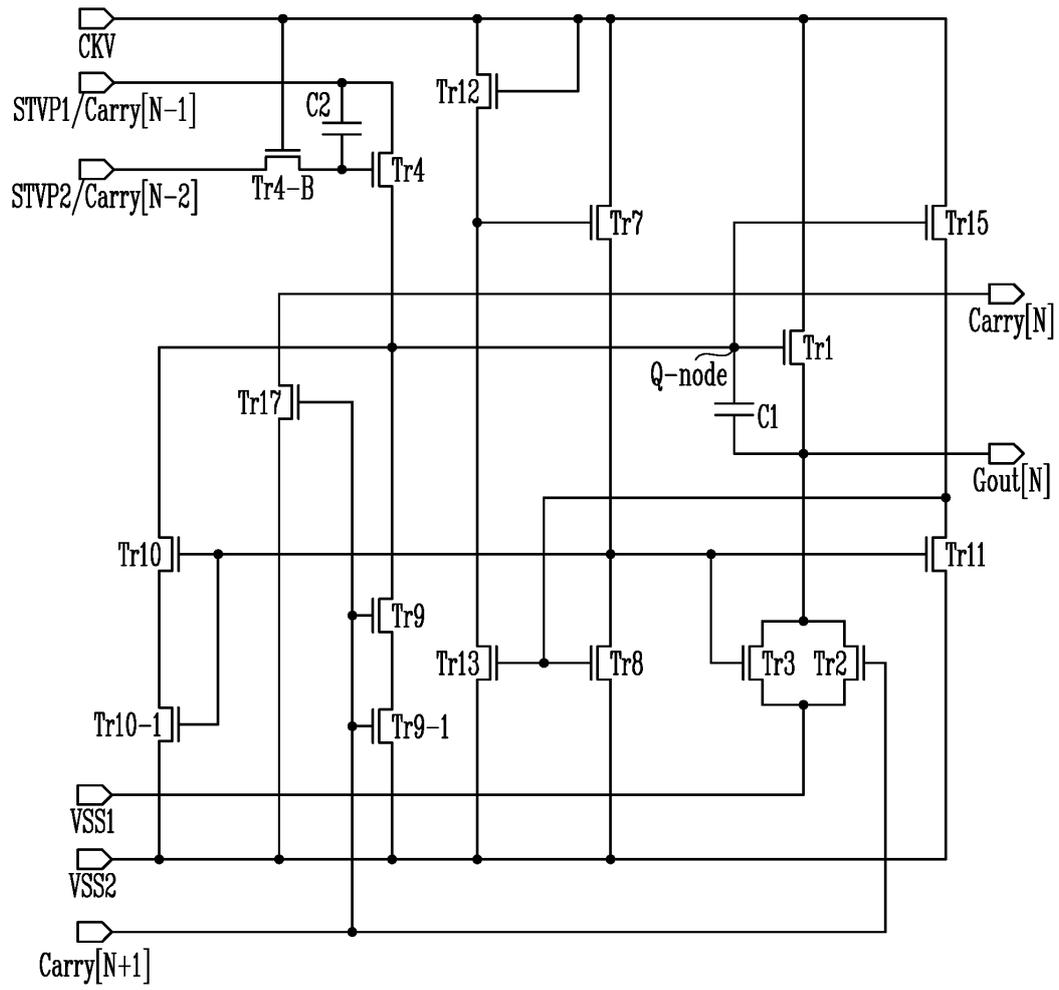
도면1



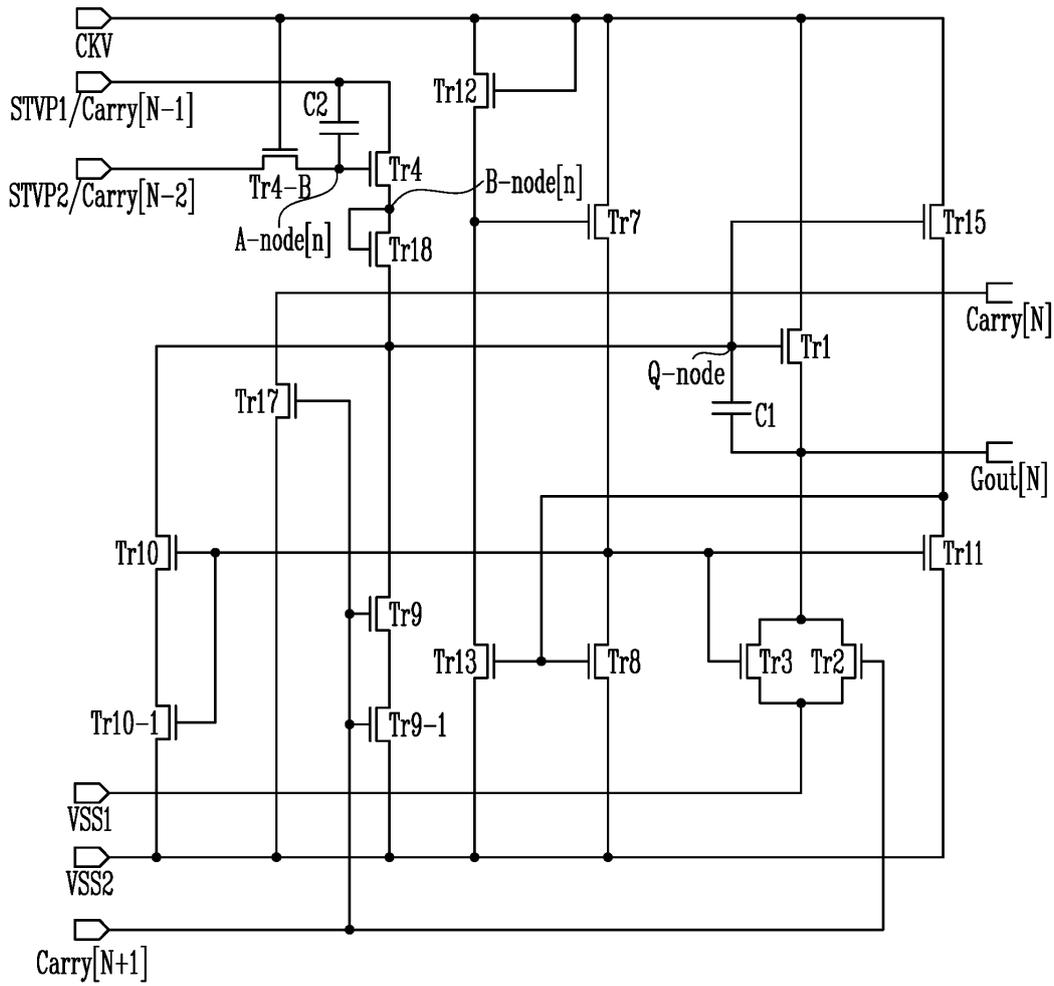
도면2



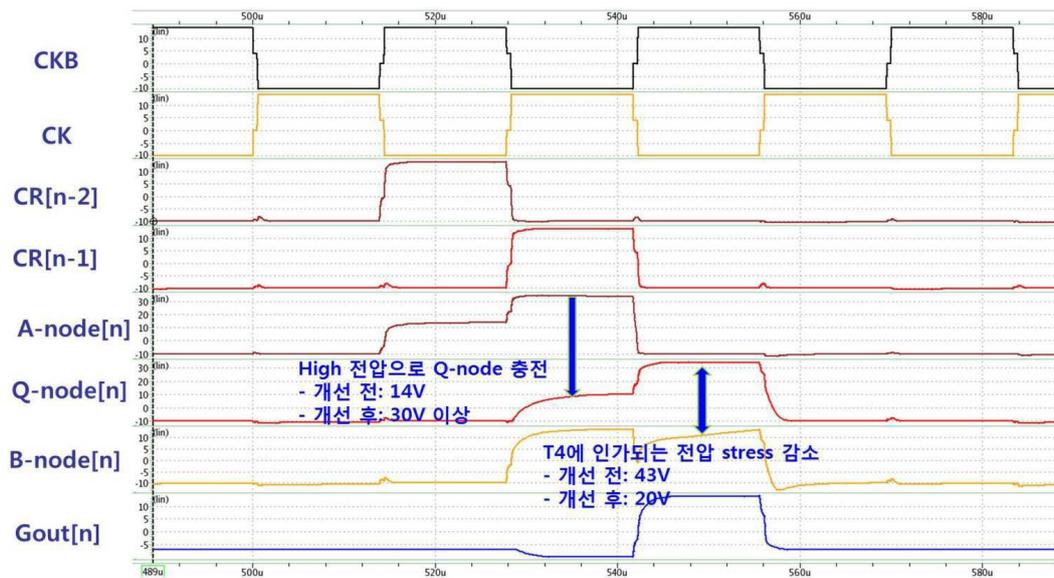
도면3



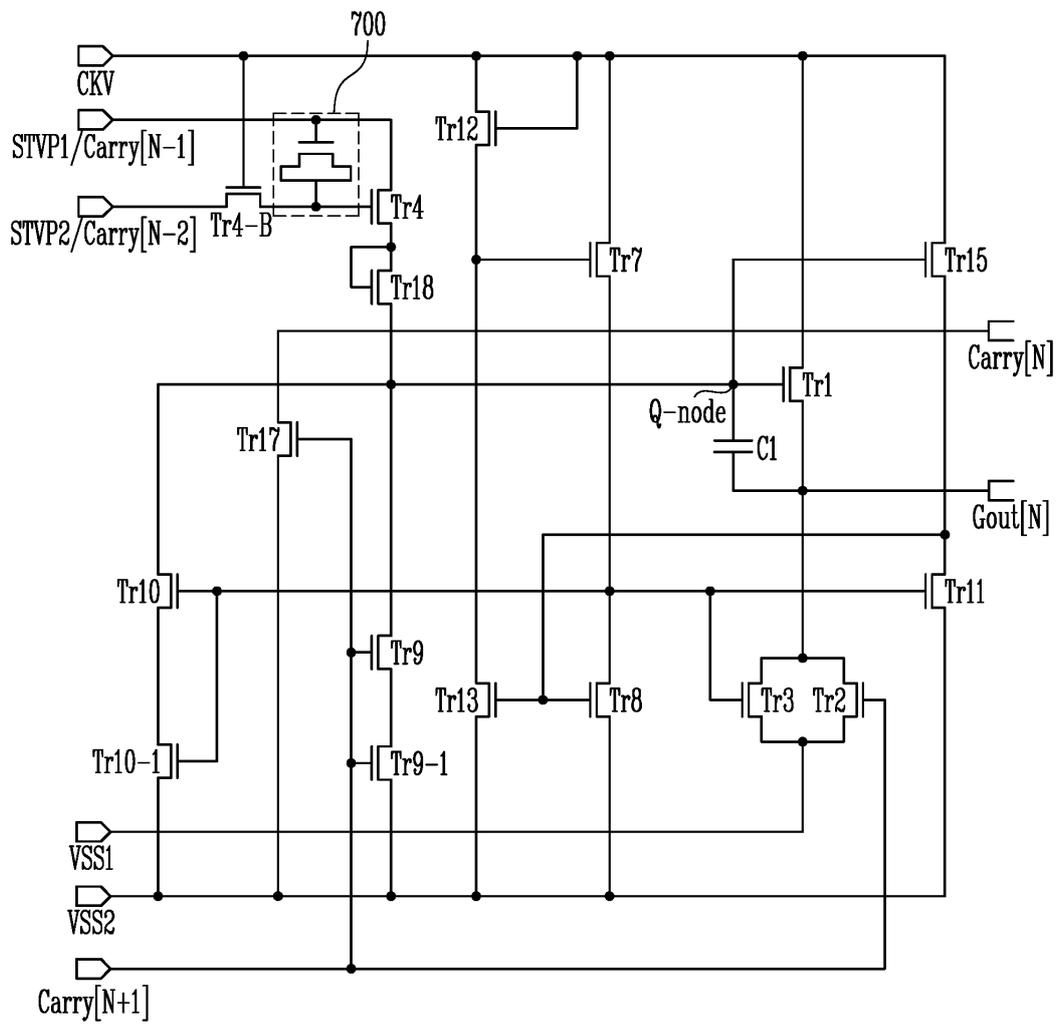
도면4



도면5



도면6



도면7

