



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년07월22일

(11) 등록번호 10-2280346

(24) 등록일자 2021년07월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) **G02F 1/1362** (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134309 (2021.01)
G02F 1/136227 (2013.01)
(21) 출원번호 10-2015-0012194
(22) 출원일자 2015년01월26일
심사청구일자 2020년01월07일
(65) 공개번호 10-2016-0092115
(43) 공개일자 2016년08월04일
(56) 선행기술조사문헌
KR1020130045535 A*
KR1020130096534 A*
KR1020130134567 A*
KR1020140078358 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
양건우
경상남도 진주시 평거로115번길 5 (신안동, 평거 1차현대아파트), 102동 1303호
김근우
경기도 성남시 분당구 백현로 227 (수내동, 푸른 마을쌍용아파트), 508동 1001호
(74) 대리인
특허법인위더피플

전체 청구항 수 : 총 19 항

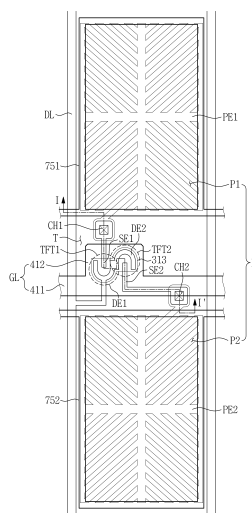
심사관 : 한상일

(54) 발명의 명칭 액정 표시장치

(57) 요약

본 발명은 개구율을 향상시키고, 유지 전압을 안정화할 수 있는 액정 표시장치에 관한 것으로, 제 1 기판; 제 1 기판과 대향하여 위치한 제 2 기판; 제 1 기판과 제 2 기판 사이에 위치한 액정층; 제 1 기판 상에 위치한 게이트 라인 및 데이터 라인; 게이트 라인과 중첩하는 반도체층; 게이트 라인 및 반도체층을 중첩하며, 데이터 라인에 연결된 제 1 드레인 전극; 게이트 라인 및 반도체층을 중첩하는 제 1 소스 전극; 제 1 소스 전극에 연결된 제 1 부화소 전극; 게이트 라인 및 반도체층을 중첩하며, 제 1 드레인 전극에 연결된 제 2 드레인 전극; 게이트 라인 및 반도체층을 중첩하는 제 2 소스 전극; 제 2 소스 전극에 연결된 제 2 부화소 전극을 포함하며; 제 2 소스 전극은 제 1 소스 전극보다 더 많이 상기 게이트 라인과 중첩한다.

대표도 - 도3



(52) CPC특허분류

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

(72) 발명자

김영승

경기도 용인시 기흥구 고매로43번길 32-2 (공세동,
불곡마을벽산블루밍아파트), 104동 206호

박수영

서울특별시 종로구 세검정로9길 81 (구기동), 301
호

전기찬

경기도 안양시 동안구 경수대로 430 (호계동,
호계e-편한세상아파트), 101동 2101호

박문수

경기도 수원시 영통구 태장로 45 (망포동, 망포마
을현대2차아이파크), 201동 704호

명세서

청구범위

청구항 1

제 1 기관;

상기 제 1 기관과 대향하여 위치한 제 2 기관;

상기 제 1 기관과 제 2 기관 사이에 위치한 액정층;

상기 제 1 기관 상에 위치한 게이트 라인 및 데이터 라인;

상기 게이트 라인과 중첩하는 반도체층;

상기 게이트 라인 및 반도체층을 중첩하며, 상기 데이터 라인에 연결된 제 1 드레인 전극;

상기 게이트 라인 및 반도체층을 중첩하는 제 1 소스 전극;

상기 제 1 소스 전극에 연결된 제 1 부화소 전극;

상기 게이트 라인 및 반도체층을 중첩하며, 제 1 드레인 전극에 연결된 제 2 드레인 전극;

상기 게이트 라인 및 반도체층을 중첩하는 제 2 소스 전극;

상기 제 2 소스 전극에 연결된 제 2 부화소 전극을 포함하며;

상기 제 2 소스 전극은 상기 제 1 소스 전극보다 더 많이 상기 게이트 라인과 중첩하며,

상기 제 2 소스 전극은 연장되어, 상기 제 2 부화소 전극과 직접 접촉하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 2 소스 전극은 상기 제 1 소스 전극보다 10% 내지 50% 더 많이 상기 게이트 라인과 중첩하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 라인은 서로 다른 두께의 선폴을 갖는 전극부 및 라인부를 포함하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1 드레인 전극은 상기 전극부와 중첩하는 액정 표시장치.

청구항 5

제 3 항에 있어서,

상기 제 2 드레인 전극은 상기 전극부와 중첩하는 액정 표시장치.

청구항 6

제 3 항에 있어서,

상기 제 1 소스 전극은 상기 전극부와 중첩하는 액정 표시장치.

청구항 7

제 3 항에 있어서,

상기 제 2 소스 전극은 상기 전극부 및 상기 라인부와 중첩하는 액정 표시장치.

청구항 8

제 3 항에 있어서,

상기 제 2 소스 전극은 상기 전극부와 중첩하고, 상기 제 2 부화소 전극은 상기 라인부와 중첩하는 액정 표시장치.

청구항 9

제 3 항에 있어서,

상기 전극부는 상기 라인부보다 더 두꺼운 선풍을 갖는 액정 표시장치.

청구항 10

제 1 항에 있어서,

상기 제 1 드레인 전극 및 제 2 드레인 전극은 각각 U자 형상을 갖는 액정 표시장치.

청구항 11

제 10 항에 있어서,

상기 제 1 드레인 전극의 만곡부는 상기 제 2 부화소 전극과 대향하고, 상기 제 2 드레인 전극의 만곡부는 제 1 부화소 전극과 대향하는 액정 표시장치.

청구항 12

제 10 항에 있어서,

상기 제 1 드레인 전극의 만곡부는 상기 제 2 부화소 전극과 대향하고, 상기 제 2 드레인 전극의 만곡부는 상기 제 1 드레인 전극의 측면과 대향하는 액정 표시장치.

청구항 13

제 10 항에 있어서,

상기 제 1 드레인 전극의 만곡부 및 제 2 드레인 전극의 만곡부는 상기 제 2 부화소 전극과 대향하는 액정 표시장치.

청구항 14

제 1 항에 있어서,

상기 제 1 부화소 전극과 중첩하는 제 1 유지 전극을 더 포함하는 액정 표시장치.

청구항 15

제 1 항에 있어서,

상기 제 2 부화소 전극과 중첩하는 제 2 유지 전극을 더 포함하는 액정 표시장치.

청구항 16

제 1 항에 있어서,

상기 제 1 부화소 전극은 상기 제 2 부화소 전극과 동일한 면적을 갖는 액정 표시장치.

청구항 17

제 1 항에 있어서,

상기 제 1 부화소 전극은,
제 1 줄기 전극; 및
상기 제 1 줄기 전극에서 연장된 제 1 가지 전극을 포함하는 액정 표시장치.

청구항 18

제 1 항에 있어서,
상기 제 2 부화소 전극은,
제 2 줄기 전극; 및
상기 제 2 줄기 전극에서 연장된 제 2 가지 전극을 포함하는 액정 표시장치.

청구항 19

제 1 항에 있어서,
상기 제 2 부화소 전극의 데이터 신호의 레벨은 상기 제 1 부화소 전극의 데이터 신호의 레벨보다 더 낮은 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 특히 개구율을 향상시키고, 유지 전압을 안정화할 수 있는 액정 표시장치에 대한 것이다.

배경 기술

[0002] 액정 표시장치(liquid crystal display, LCD)는 현재 가장 널리 사용되고 있는 평판 표시장치(flat panel display, FPD) 중 하나로서 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어진다. 액정 표시장치는 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시장치이다.

[0003] 시인성 개선을 위해 하나의 화소는 독립된 2개의 부화소 전극들을 포함할 수 있다. 이와 같은 경우, 각 부화소 전극으로 서로 다른 크기의 데이터 신호가 인가되어야 하는 바, 이를 위해 하나의 부화소 전극으로는 데이터 신호가 변조 없이 그대로 인가되고, 다른 하나의 부화소 전극으로는 그 데이터 신호가 분압되어 인가된다. 이를 위해, 화소는 전압 분압용 트랜지스터를 포함한다.

[0004] 그러나, 전압 분압용 트랜지스터로 인해 다음과 같은 문제점들이 발생된다.

[0005] 즉, 전압 분압용 트랜지스터는 화소 영역의 일부를 점유하는 바, 이로 인해 화소의 개구율이 감소된다. 게다가, 이 전압 분압용 트랜지스터가 턴-온될 때 데이터 라인과 유지 전극이 전기적으로 연결되기 때문에, 유지 전극의 유지 전압이 데이터 신호에 의해 변동될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 화소의 개구율을 증가시킴과 아울러 유지 전압의 변동을 최소화할 수 있는 액정 표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0007] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치는, 제 1 기판; 제 1 기판과 대향하여 위치한 제 2 기판; 제 1 기판과 제 2 기판 사이에 위치한 액정층; 제 1 기판 상에 위치한 게이트 라인 및 데이터 라인; 게이트 라인과 중첩하는 반도체층; 게이트 라인 및 반도체층을 중첩하며, 데이터 라인에 연결된 제 1 드레인 전

극; 게이트 라인 및 반도체층을 중첩하는 제 1 소스 전극; 제 1 소스 전극에 연결된 제 1 부화소 전극; 게이트 라인 및 반도체층을 중첩하며, 제 1 드레인 전극에 연결된 제 2 드레인 전극; 게이트 라인 및 반도체층을 중첩하는 제 2 소스 전극; 제 2 소스 전극에 연결된 제 2 부화소 전극을 포함하며; 제 2 소스 전극은 제 1 소스 전극보다 더 많이 상기 게이트 라인과 중첩한다.

- [0008] 제 2 소스 전극은 제 1 소스 전극보다 10% 내지 50% 더 많이 게이트 라인과 중첩한다.
- [0009] 게이트 라인은 서로 다른 두께의 선폭을 갖는 전극부 및 라인부를 포함한다.
- [0010] 제 1 드레인 전극은 전극부와 중첩한다.
- [0011] 제 2 드레인 전극은 전극부와 중첩한다.
- [0012] 제 1 소스 전극은 전극부와 중첩한다.
- [0013] 제 2 소스 전극은 전극부 및 라인부와 중첩한다.
- [0014] 제 2 소스 전극은 전극부와 중첩하고, 제 2 부화소 전극은 라인부와 중첩한다.
- [0015] 전극부는 라인부보다 더 두꺼운 선폭을 갖는다.
- [0016] 제 1 드레인 전극 및 제 2 드레인 전극은 각각 U자 형상을 갖는다.
- [0017] 제 1 드레인 전극의 만곡부는 제 2 부화소 전극과 대향하고, 제 2 드레인 전극의 만곡부는 제 1 부화소 전극과 대향한다.
- [0018] 제 1 드레인 전극의 만곡부는 제 2 부화소 전극과 대향하고, 제 2 드레인 전극의 만곡부는 제 1 드레인 전극의 측면과 대향한다.
- [0019] 제 1 드레인 전극의 만곡부 및 제 2 드레인 전극의 만곡부는 제 2 부화소 전극과 대향한다.
- [0020] 본 발명에 따른 액정 표시장치는 제 1 부화소 전극과 중첩하는 제 1 유지 전극을 더 포함한다.
- [0021] 본 발명에 따른 액정 표시장치는 제 2 부화소 전극과 중첩하는 제 2 유지 전극을 더 포함한다.
- [0022] 제 1 부화소 전극은 제 2 부화소 전극과 동일한 면적을 갖는다.
- [0023] 제 1 부화소 전극은, 제 1 줄기 전극; 및 제 1 줄기 전극에서 연장된 제 1 가지 전극을 포함한다.
- [0024] 제 2 부화소 전극은, 제 2 줄기 전극; 및 제 2 줄기 전극에서 연장된 제 2 가지 전극을 포함한다.

발명의 효과

- [0025] 본 발명에 따른 액정 표시장치는 다음과 같은 효과를 갖는다.
- [0026] 첫째, 종래와 같은 별도의 전압 분압용 트랜지스터 없이 기생 커패시터만으로 제 2 부화소 전극으로 인가되는 데이터 신호의 크기가 제어될 수 있다. 따라서, 화소의 개구율이 증가될 수 있다. 또한, 트랜지스터의 내부 저항이 아닌 기생 커패시터의 용량으로 데이터 신호의 크기가 제어되므로, 데이터 신호의 크기 제어가 더 용이하다.
- [0027] 둘째, 전술된 바와 같이 전압 분압용 트랜지스터가 사용되지 않으므로 데이터 라인과 유지 전극이 직접 연결되지 않는다. 그러므로, 유지 전압의 변동이 최소화된다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 블록 구성도이다.
- 도 2는 도 1에 도시된 표시패널의 상세 구성도이다.
- 도 3은 도 2에 도시된 하나의 화소에 대한 상세 구성도이다.
- 도 4는 도 3에서 제 1 부화소 전극만을 따로 나타낸 도면이다.
- 도 5는 도 3의 I-I'의 선을 따라 자른 단면도이다.
- 도 6은 도 3에 도시된 하나의 화소에 대한 등가 회로를 나타낸 도면이다.

도 7은 도 2에 도시된 하나의 화소에 대한 다른 상세 구성도이다.

도 8은 도 2에 도시된 하나의 화소에 대한 또 다른 상세 구성도이다.

도 9는 도 2에 도시된 하나의 화소에 대한 또 다른 상세 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0031] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0032] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0034] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0035] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 블록 구성도이고, 도 2는 도 1에 도시된 표시패널의 상세 구성도이다.
- [0036] 본 발명의 액정 표시장치는, 도 1에 도시된 바와 같이, 표시패널(133), 타이밍 컨트롤러(101), 게이트 드라이버(112), 데이터 드라이버(111), 백라이트 유닛(145) 및 직류-직류 변환부(177)를 포함한다.
- [0037] 표시패널(133)은 영상을 표시한다. 표시패널(133)은, 액정층(도 5의 333)과, 그리고 이 액정층(333)을 사이에 두고 서로 마주보는 제 1 기판(도 5의 301)과 제 2 기판(도 5의 302)을 포함한다.
- [0038] 제 1 기판(301)과 제 2 기판(302)의 서로 마주보는 면들 각각에 아래와 같은 구성 요소들이 배치될 수 있는 바,

이를 구체적으로 설명하면 다음과 같다.

- [0039] 제 1 기판(301) 상에, 도 2에 도시된 바와 같이, 복수의 게이트 라인들(GL1 내지 GLi)과, 이 게이트 라인들(GL1 내지 GLi)과 교차하는 복수의 데이터 라인들(DL1 내지 DLj)과, 그리고 게이트 라인들(GL1 내지 GLi)과 데이터 라인들(DL1 내지 DLj)에 접속된 박막 트랜지스터(도 3의 TFT)들이 배치된다.
- [0040] 한편, 제 1 기판(301)에 복수의 컬러필터(도 5의 354)들이 더 배치되고, 제 2 기판(302)에 블랙 매트릭스(도 5의 376)가 배치될 수 있다. 블랙 매트릭스(376)는, 제 2 기판(301) 중 표시패널(133)의 화소 영역(도 3의 P)들에 대응되는 부분들을 제외한 나머지 부분에 위치한다. 컬러필터(354)들은 화소 영역(P)에 위치한다. 컬러필터(354)들은 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터로 구분된다.
- [0041] 한편, 컬러필터들(354)은 제 1 기판(301) 대신 제 2 기판(302) 상에 위치할 수도 있다. 또한, 블랙 매트릭스(376)는 제 2 기판(302) 대신 제 1 기판(301) 상에 위치할 수 있다. 예를 들어, 컬러필터(354)들은 화소 영역(P)에 대응하게, 제 2 기판(302) 상에 위치할 수 있으며, 블랙 매트릭스(376)는 제 1 기판(301) 중 표시패널(133)의 화소 영역(P)들에 대응되는 부분들을 제외한 나머지 부분에 위치할 수 있다.
- [0042] 화소들(R, G, B)은 행렬 형태로 배열된다. 화소들(R, G, B)은 적색 영상을 표시하는 적색 화소(R)들, 녹색 영상을 표시하는 녹색 화소(G)들 및 청색 영상을 표시하는 청색 화소(B)들로 구분된다. 적색 화소(R)는 적색 컬러필터를 포함하고, 녹색 화소(G)는 녹색 컬러필터를 포함하고, 그리고 청색 화소(B)는 청색 컬러필터를 포함한다. 이때, 수평 방향으로 인접한 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)는 하나의 단위 영상을 표시하기 위한 단위 화소를 이룬다.
- [0043] 제 2 기판(302) 상에 공통 전극(도 5의 330)이 구비된다. 공통 전극(330)은 제 2 기판(302)의 전면(全面)에 형성된다. 공통 전극(330)은 외부로부터 공통 전압을 인가 받는다.
- [0044] 한편, 공통 전극(330)과 블랙 매트릭스 사이에 오버 코트층(도 5의 722)이 더 포함될 수 있다.
- [0045] 제 n 수평라인(n은 1 내지 i 중 어느 하나)을 따라 배열된 j개의 화소들(이하, 제 n 수평라인 화소들)은 제 1 내지 제 j 데이터 라인들(DL1 내지 DLj) 각각에 개별적으로 접속된다. 아울러, 이 제 n 수평라인 화소들은 제 n 게이트 라인에 공통으로 접속된다. 이에 따라, 제 n 수평라인 화소들은 제 n 게이트 신호를 공통으로 공급받는다. 즉, 동일 수평라인 상에 배열된 j개의 화소들은 모두 동일한 게이트 신호를 공급받지만, 서로 다른 수평라인 상에 위치한 화소들은 서로 다른 게이트 신호를 공급받는다. 예를 들어, 제 1 수평라인(HL1)에 위치한 적색 화소(R) 및 녹색 화소(G)는 모두 제 1 게이트 신호를 공급받는 반면, 제 2 수평라인(HL2)에 위치한 적색 화소(R) 및 녹색 화소(G)는 이들과는 다른 타이밍을 갖는 제 2 게이트 신호를 공급받는다.
- [0046] 타이밍 컨트롤러(101)는, 도시되지 않았지만, 시스템에 구비된 그래픽 컨트롤러로부터 출력된 수직동기신호(Vsync), 수평동기신호(Hsync), 영상 데이터 신호(DATA) 및 클럭신호(DCLK)를 공급받는다. 타이밍 컨트롤러(101)와 시스템 사이에 인터페이스회로(도시되지 않음)가 구비되는 바, 시스템으로부터 출력된 위 신호들은 인터페이스회로를 통해 타이밍 컨트롤러(101)로 입력된다. 인터페이스회로는 타이밍 컨트롤러(101)에 내장될 수도 있다.
- [0047] 도시되지 않았지만, 인터페이스회로는 LVDS(Low Voltage Differential Signaling) 수신부를 포함한다. 인터페이스회로는 시스템으로부터 출력된 수직동기신호(Vsync), 수평동기신호(Hsync), 영상 데이터 신호(DATA) 및 클럭신호(DCLK)의 전압 레벨을 낮추는 한편, 이들의 주파수를 높인다.
- [0048] 한편, 인터페이스회로로부터 타이밍 컨트롤러(101)로 입력되는 신호의 높은 고주파 성분으로 인하여 이들 사이에 전자과장해(Electromagnetic interference: EMI)가 발생할 수 있는 바, 이를 방지하기 위해 인터페이스회로와 타이밍 컨트롤러(101) 사이에 EMI필터(도시되지 않음)가 더 구비될 수 있다.
- [0049] 타이밍 컨트롤러(101)는 수직동기신호(Hsync), 수평동기신호(Hsync) 및 클럭신호(DCLK)를 이용하여 게이트 드라이버(112)를 제어하기 위한 게이트 제어신호와 데이터 드라이버(111)를 제어하기 위한 데이터 제어신호를 발생한다. 게이트 제어신호는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 신호(Gate Output Enable) 등을 포함한다. 데이터 제어신호는 소스 스타트 펄스(Source Start Pulse), 소스 쉬프트 클럭(Source Shift Clock), 소스 출력 신호(Source Output Enable), 극성신호(Polarity Signal) 등을 포함한다.
- [0050] 또한, 타이밍 컨트롤러(101)는 시스템을 통해 입력되는 영상 데이터 신호들(DATA)을 재정렬하고, 그리고 이 제

정렬된 영상 데이터 신호들(DATA')을 데이터 드라이버(111)에 공급한다.

- [0051] 한편, 타이밍 컨트롤러(101)는 시스템에 구비된 전원부로부터 출력된 구동 전원(VCC)에 의해 동작하는 바, 특히 이 구동 전원(VCC)은 타이밍 컨트롤러(101) 내부에 설치된 위상고정루프회로(Phase Lock Loop: PLL)의 전원 전압으로서 사용된다. 위상고정루프회로(PLL)는 타이밍 컨트롤러(101)에 입력되는 클럭신호(DCLK)를 발진기로부터 발생하는 기준 주파수와 비교한다. 그리고, 그 비교 결과 이들 사이에 오차가 있는 것으로 확인되면, 위상고정루프회로는 그 오차만큼 클럭신호의 주파수를 조정하여 샘플링 클럭신호를 발생한다. 이 샘플링 클럭신호는 영상 데이터 신호들(DATA')을 샘플링하기 위한 신호이다.
- [0052] 직류-직류 변환부(177)는 시스템을 통해 입력되는 구동 전원(VCC)을 승압 또는 감압하여 표시패널(133)에 필요한 전압들을 생성한다. 이를 위해, 직류-직류 변환부(177)는, 예를 들어, 이의 출력 단의 출력 전압을 스위칭하기 위한 출력 스위칭소자와, 그 출력 스위칭소자의 제어단자에 인가되는 제어신호의 듀티비(duty ratio)나 주파수를 제어하여 출력 전압을 승압하거나 감압시키기 위한 펄스폭 변조기(Pulse Width Modulator: PWM)를 포함할 수 있다. 여기서, 전술된 펄스폭 변조기 대신에 펄스주파수 변조기(Pulse Frequency Modulator: PFM)가 그 직류-직류 변환부(177)에 포함될 수 있다.
- [0053] 펄스폭 변조기는 전술된 제어신호의 듀티비를 높여 직류-직류 변환부(177)의 출력 전압을 높이거나, 그 제어신호의 듀티비를 낮추어 직류-직류 변환부(177)의 출력 전압을 낮춘다. 펄스주파수 변조기는 전술된 제어신호의 주파수를 높여 직류-직류 변환부(177)의 출력 전압을 높이거나, 제어신호의 주파수를 낮추어 직류-직류 변환부(177)의 출력 전압을 낮춘다. 직류-직류 변환부(177)의 출력 전압은 6[V] 이상의 기준 전압(VDD), 10단계 미만의 감마기준전압(GMA1-10), 2.5 내지 3.3V의 공통 전압, 15[V] 이상의 게이트 고전압, -4[V] 이하의 게이트 저전압을 포함한다.
- [0054] 감마기준전압(GMA1-10)은 기준 전압의 분압에 의해 발생된 전압이다. 기준 전압과 감마기준전압은 아날로그 감마전압으로서, 이들은 데이터 드라이버(111)에 공급된다. 공통 전압은 데이터 드라이버(111) 경유하여 표시패널(133)의 공통 전극(330)에 공급된다. 게이트 고전압은 박막 트랜지스터의 문턱전압 이상으로 설정된 게이트 신호의 하이논리전압이고, 그리고 게이트 저전압은 박막 트랜지스터의 오프전압으로 설정된 게이트 신호의 로우논리전압으로서, 이들은 게이트 드라이버(112)에 공급된다.
- [0055] 게이트 드라이버(112)는 타이밍 컨트롤러(101)로부터 제공된 게이트 제어신호(GCS)에 따라 게이트 신호들을 생성하고, 그 게이트 신호들을 복수의 게이트 라인들(GL1 내지 GLi)에 차례로 공급한다. 게이트 드라이버(112)는, 예를 들어, 게이트 쉬프트 클럭에 따라 게이트 스타트 펄스를 쉬프트 시켜 게이트 신호들을 발생시키는 쉬프트 레지스터로 구성될 수 있다. 쉬프트 레지스터는 복수의 스위칭소자들로 구성될 수 있다. 이 스위칭소자들은 표시 영역의 박막 트랜지스터와 동일한 공정으로 제 1 기판(301)의 상에 형성될 수 있다.
- [0056] 데이터 드라이버(111)는 타이밍 컨트롤러(101)로부터 영상 데이터 신호들(DATA') 및 데이터 제어신호(DCS)를 공급받는다. 데이터 드라이버(111)는 데이터 제어신호(DCS)에 따라 영상 데이터 신호들(DATA')을 샘플링한 후에, 매 수평기간마다 한 수평 라인에 해당하는 샘플링 영상 데이터 신호들을 래치하고 래치된 영상 데이터 신호들을 데이터 라인들(DL1 내지 DLj)에 공급한다. 즉, 데이터 드라이버(111)는 타이밍 컨트롤러(101)로부터의 영상 데이터 신호들(DATA')을 직류-직류 변환부(177)로부터 입력되는 감마기준전압들(GMA1-10)을 이용하여 아날로그 영상 데이터 신호들로 변환하여 데이터 라인들(DL1 내지 DLj)로 공급한다.
- [0057] 백라이트 유닛(145)은 표시패널(133)에 광을 제공한다. 이를 위해, 백라이트 유닛(145)은 복수의 광원 어레이들을 포함할 수 있다. 여기서, 각 광원 어레이는 적어도 하나의 광원을 구비할 수 있는 바, 광원은 적어도 하나의 발광 다이오드(Light Emitting Diode)가 포함된 발광 패키지(package)일 수 있다.
- [0058] 도 3은 도 2에 도시된 하나의 화소에 대한 상세 구성도이고, 도 4는 도 3에서 제 1 부화소 전극만을 따로 나타낸 도면이고, 도 5는 도 3의 I-I'의 선을 따라 자른 단면도이다.
- [0059] 하나의 화소는, 도 3 내지 도 5에 도시된 바와 같이, 제 1 박막 트랜지스터(TFT1), 제 2 박막 트랜지스터(TFT2), 제 1 유지 전극(751), 제 2 유지 전극(752), 컬러필터(354), 제 1 부화소 전극(PE1), 제 2 부화소 전극(PE2), 공통 전극(330) 및 액정층(333)을 포함한다. 여기서, 제 1 박막 트랜지스터(TFT1)는, 도 3 및 도 5에 도시된 바와 같이, 게이트 전극(412), 반도체층(313), 제 1 드레인 전극(DE1) 및 제 1 소스 전극(SE1)을 포함한다. 그리고, 제 2 박막 트랜지스터(TFT2)는, 도 3 및 도 5에 도시된 바와 같이, 게이트 전극(412), 반도체층(313), 제 2 드레인 전극(DE2) 및 제 2 소스 전극(SE2)을 포함한다.

- [0060] 한편, 각 화소의 공통 전극(333)은 일체로 구성되며, 각 화소의 액정층(333)은 일체로 구성된다.
- [0061] 도 3 및 도 5에 도시된 바와 같이, 게이트 라인(GL)은 제 1 기관(301) 상에 위치한다. 구체적으로, 게이트 라인(GL)은 제 1 기관(301)의 트랜지스터 영역(T)에 위치한다. 트랜지스터 영역(T)은 제 1 부화소 영역(P1)과 제 2 부화소 영역(P2) 사이에 위치한다. 게이트 라인(GL)은 서로 다른 선편을 갖는 라인부(411) 및 전극부(412)를 포함한다. 예를 들어, 전극부(412)가 라인부(411)보다 더 큰 선편을 가질 수 있다. 라인부(411) 및 전극부(412)는 일체로 구성된다. 전극부(412)는 전술된 제 1 및 제 2 박막 트랜지스터(TFT1, TFT2)의 각 게이트 전극이다. 한편, 도시되지 않았지만, 게이트 라인(GL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다. 게이트 라인(GL)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 또는, 이 게이트 라인(GL)은, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 한편, 게이트 라인(GL)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0062] 제 1 유지 전극(751)은 제 1 부화소 전극(PE1)을 둘러싼다. 이때, 제 1 유지 전극(751)은 제 1 부화소 전극(PE1)의 가장자리를 중첩한다. 제 1 유지 전극(751) 역시 전술된 게이트 라인(GL)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 게이트 라인(GL) 및 제 1 유지 전극(751)은 동일한 공정으로 동시에 만들어질 수 있다. 제 1 유지 전극(751)으로 유지 전압이 인가된다. 유지 전압은 공통 전압과 동일할 수 있다.
- [0063] 제 2 유지 전극(752)은 제 2 부화소 전극(PE2)을 둘러싼다. 이때, 제 2 유지 전극(752)은 제 2 부화소 전극(PE2)의 가장자리를 중첩한다. 제 2 유지 전극(752) 역시 전술된 게이트 라인(GL)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 게이트 라인(GL) 및 제 2 유지 전극(752)은 동일한 공정으로 동시에 만들어질 수 있다. 제 2 유지 전극(752)으로 유지 전압이 인가된다. 유지 전압은 공통 전압과 동일할 수 있다. 한편, 제 2 유지 전극(752)과 제 1 유지 전극(752)은 일체로 구성될 수 있다.
- [0064] 게이트 절연막(311)은 게이트 라인(GL), 제 1 유지 전극(751) 및 제 2 유지 전극(752) 상에 위치한다. 이때, 게이트 절연막(311)은 그 게이트 라인(GL), 제 1 유지 전극(751) 및 제 2 유지 전극(752)을 포함한 제 1 기관(301)의 전면(全面)에 형성된다. 게이트 절연막(311)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(311)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0065] 반도체층(313)은 게이트 절연막(311) 상에 위치한다. 이때, 반도체층(313)은 게이트 라인(GL)의 전극부(412), 즉 게이트 전극(412)과 적어도 일부 중첩한다. 반도체층(313)은 비정질 규소 또는 다결정 규소 등으로 만들어질 수 있다.
- [0066] 저항성 접촉층(315)은 반도체층(313) 상에 위치한다. 저항성 접촉층(315)은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉층(315)은 쌍을 이루어 반도체층(313) 상에 위치할 수 있다.
- [0067] 제 1 박막 트랜지스터(TFT1)에 포함된 제 1 드레인 전극(DE1) 및 제 1 소스 전극(SE1)과, 그리고 제 2 박막 트랜지스터(TFT2)에 포함된 제 2 드레인 전극(DE2) 및 제 2 소스 전극(SE2)은 저항성 접촉층(315) 상에 위치한다.
- [0068] 제 1 드레인 전극(DE1)은 데이터 라인(DL)으로부터 연장된 것으로, 도 3에 도시된 바와 같이, 이 제 1 드레인 전극(DE1)은 게이트 전극(412)을 향해 돌출된 형태를 갖는다. 이때, 제 1 드레인 전극(DE1)은 제 1 소스 전극(SE1)의 일부를 둘러싸는 형상을 이룰 수 있다. 제 1 드레인 전극(DE1)의 일부는 반도체층(313) 및 게이트 전극(412)과 중첩된다. 이때, 제 1 드레인 전극(DE1)의 다른 일부는 라인부(411)를 더 중첩할 수 있다. 제 1 드레인 전극(DE1)은 C자, 역 C자, U자 및 역 U자 중 어느 하나의 형태를 가질 수 있다. 도 3에는 U자 형상을 갖는 제 1 드레인 전극(DE1)이 도시되어 있는 바, 제 1 드레인 전극(DE1)의 만곡부는 제 2 부화소 전극(PE2)과 대향한다.
- [0069] 제 1 드레인 전극(DE1)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄(또는 알루미늄 합금) 상부막의 이중막, 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄(또는 알루미늄 합금) 중간막과 몰리브덴(또는 몰리브덴 합금) 상부막의 삼중막을 들 수 있다. 한편, 제 1 드레인 전극(DE1)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

- [0070] 제 1 소스 전극(SE1)의 일측은 게이트 전극(GE) 상에 위치한다. 제 1 소스 전극(SE1)의 일측은 게이트 전극(412) 및 반도체층(313)과 중첩된다. 제 1 소스 전극(SE1)의 타측은 제 1 부화소 전극(PE1)에 연결된다.
- [0071] 제 1 소스 전극(SE1) 역시 전술된 제 1 드레인 전극(DE1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 제 1 소스 전극(SE1)과 제 1 드레인 전극(DE1)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0072] 게이트 전극(412), 제 1 드레인 전극(DE1) 및 제 1 소스 전극(SE1)은 반도체층(313) 및 저항성 접촉층(315)과 함께 제 1 박막 트랜지스터(TFT1)를 이룬다. 이때 이 제 1 박막 트랜지스터(TFT1)의 채널(channel)은 제 1 드레인 전극(DE1)과 제 1 소스 전극(SE1) 사이의 반도체층(313) 부분에 위치한다. 채널 부분에 해당하는 반도체층(313) 부분은 다른 부분은 비하여 더 낮은 두께를 갖는다. 제 1 박막 트랜지스터(TFT1)는, 도 3에 도시된 바와 같이, 트랜지스터 영역(T)에 위치한다.
- [0073] 제 2 드레인 전극(DE2)은 제 1 드레인 전극(DE1)과 전기적으로 연결된다. 이를 위해 제 2 드레인 전극(DE2)과 제 1 드레인 전극(DE1)은 일체로 구성될 수 있다. 제 2 드레인 전극(DE2)은 제 2 소스 전극(SE2)의 일부를 둘러싸는 형상을 이룰 수 있다. 제 2 드레인 전극(DE2)의 적어도 일부는 반도체층(313) 및 게이트 전극(412)과 중첩된다. 제 2 드레인 전극(DE2)은 C자, 역 C자, U자 및 역 U자 중 어느 하나의 형태를 가질 수 있다. 도 3에는 역 U자 형상을 갖는 제 2 드레인 전극(DE2)이 도시되어 있는 바, 제 2 드레인 전극(DE2)의 만곡부는 제 1 부화소 전극(PE1)과 대향한다.
- [0074] 제 2 드레인 전극(DE2) 역시 전술된 제 1 드레인 전극(DE1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 제 2 드레인 전극(DE2)과 제 1 드레인 전극(DE1)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0075] 제 2 소스 전극(SE2)의 일측은 게이트 전극(GE) 상에 위치한다. 제 2 소스 전극(SE2)의 일측은 게이트 전극(412) 및 반도체층(313)과 중첩된다. 제 2 소스 전극(SE2)의 타측은 제 2 부화소 전극(PE2)에 연결된다. 여기서, 제 2 소스 전극(SE2)의 일측 및 타측을 제외한 제 2 소스 전극(SE2)의 나머지 부분은 라인부(411)와 중첩될 수 있다.
- [0076] 제 2 소스 전극(SE2) 역시 전술된 제 1 소스 전극(SE1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 제 2 소스 전극(SE2)과 제 1 소스 전극(SE1)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0077] 게이트 전극(412), 제 2 드레인 전극(DE2) 및 제 2 소스 전극(SE2)은 반도체층(313) 및 저항성 접촉층(315)과 함께 제 2 박막 트랜지스터(TFT2)를 이룬다. 이때 이 제 2 박막 트랜지스터(TFT2)의 채널은 제 2 드레인 전극(DE2)과 제 2 소스 전극(SE2) 사이의 반도체층(313) 부분에 위치한다. 채널 부분에 해당하는 반도체층(313) 부분은 다른 부분은 비하여 더 낮은 두께를 갖는다. 제 2 박막 트랜지스터(TFT2)는, 도 3에 도시된 바와 같이, 트랜지스터 영역(T)에 위치한다.
- [0078] 데이터 라인(DL)은 게이트 절연막(311) 상에 위치한다. 도시되지 않았지만, 데이터 라인(DL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다.
- [0079] 데이터 라인(DL)은 세로 방향으로 연장되어 게이트 라인(GL), 제 1 유지 전극(751) 및 제 2 유지 전극(752)과 교차한다. 도시되지 않았지만, 데이터 라인(DL)과 게이트 라인(GL)이 교차하는 곳에서 데이터 라인(DL)은 이의 다른 부분보다 더 작은 선폭을 가질 수 있다. 마찬가지로, 데이터 라인(DL)과 유지 전극(751 또는 752)이 교차하는 곳에서 데이터 라인(DL)은 이의 다른 부분에 비하여 더 작은 선폭을 가질 수 있다. 이에 따라, 데이터 라인(DL)과 게이트 라인(GL) 간의 기생 커패시턴스와, 그리고 데이터 라인(DL)과 유지 전극(751 또는 752) 간의 커패시턴스의 크기가 줄어들 수 있다. 데이터 라인(DL) 역시 전술된 제 1 드레인 전극(DE1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL)과 제 1 드레인 전극(DE1)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0080] 보호막(320)은 데이터 라인(DL), 제 1 드레인 전극(DE1), 제 1 소스 전극(SE1), 제 2 드레인 전극(DE2) 및 제 2 소스 전극(SE2) 상에 위치한다. 이때, 보호막(320)은 그 데이터 라인(DL), 제 1 드레인 전극(DE1), 제 1 소스 전극(SE1), 제 2 드레인 전극(DE2) 및 제 2 소스 전극(SE2)을 포함한 제 1 기판(301)의 전면(全面)에 형성된다. 보호막(320)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있다. 한편, 이 보호막(320)은 무기 절연물질로 만들어질 수도 있는 바, 이와 같은 경우 그 무기 절연물질로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다. 보호막(320)

은 또한, 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체층(313) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다. 보호막(320)의 두께는 약 5000Å 이상일 수 있고, 약 6000 Å 내지 약 8000 Å 일 수 있다.

- [0081] 보호막(320)은 이의 일부를 관통하는 하부 콘택홀을 갖는 바, 이 하부 콘택홀을 통해 제 1 및 제 2 소스 전극(SE1, SE2)의 일부가 노출된다.
- [0082] 도 5에 도시된 바와 같이, 컬러필터(354)는 보호막(320) 상에 구비된다. 컬러필터(354)는 제 1 부화소 영역(P1) 및 제 2 부화소 영역(P2)에 위치하는 바, 이때 컬러필터(354)의 가장자리는 게이트 라인(GL), 제 1 박막 트랜지스터(TFT1), 제 2 박막 트랜지스터(TFT2) 및 데이터 라인(DL) 상에 위치한다. 단, 컬러필터(354)는 제 1 소스 전극(SE1)과 제 1 화소 전극(PE1) 간의 연결부, 그리고 제 2 소스 전극(SE2)과 제 2 화소 전극(PE2) 간의 연결부를 중첩하지 않는다. 즉, 그 연결부들에 대응되는 보호막(350) 상에 컬러필터(354)가 형성되지 않는다. 한편, 컬러필터(354)의 가장자리는 이에 인접한 다른 컬러필터(354)의 가장자리와 중첩할 수 있다. 컬러필터(354)는 감광성 유기 물질로 이루어질 수 있다. 하나의 화소 영역을 이루는 제 1 부화소 영역(P1)과 제 2 부화소 영역(P2)에 동일한 색상의 컬러필터가 형성된다.
- [0083] 캡핑층(391)은 컬러필터(354) 상에 위치한다. 캡핑층(391)은 컬러필터(354)로부터 발생된 불순물의 확산을 차단한다. 캡핑층(391)은 질화 실리콘 또는 산화 실리콘 등으로 이루어질 수 있다. 캡핑층(391)은 이를 관통하는 상부 콘택홀들을 갖는 바, 하나의 상부 콘택홀은 제 1 소스 전극(SE1)을 노출시키는 하부 콘택홀의 바로 위에 위치한다. 이 상부 콘택홀과 하부 콘택홀이 연결되어 제 1 소스 콘택홀(CH1)을 이룬다. 다른 하나의 상부 콘택홀은 제 2 소스 전극(SE2)을 노출시키는 하부 콘택홀의 바로 위에 위치한다. 이 상부 콘택홀과 하부 콘택홀이 연결되어 제 2 소스 콘택홀(CH2)을 이룬다.
- [0084] 제 1 부화소 전극(PE1)은 제 1 부화소 영역(P1)에 구비된다. 이때, 도 5에 도시된 바와 같이, 제 1 부화소 전극(PE1)은 캡핑층(391) 상에 위치한다. 여기서, 도 4를 참조하여, 제 1 부화소 전극(PE1)에 대하여 구체적으로 설명하면 다음과 같다.
- [0085] 제 1 부화소 전극(PE1)은 줄기 전극(613) 및 복수의 가지 전극들(601a, 601b, 601c, 601d)을 포함한다. 줄기 전극(613)과 가지 전극들(601a, 601b, 601c, 601d)은 일체로 구성될 수 있다.
- [0086] 줄기 전극(613)은 제 1 부화소 영역(P1)을 복수의 도메인(domain)들로 분할한다. 예를 들어, 줄기 전극(613)은 서로 교차하는 수평부(611) 및 수직부(612)를 포함한다. 수평부(611)는 제 1 부화소 영역(P1)을 2개의 도메인들로 분할하며, 그리고 수직부(612)는 그 분할된 2개의 도메인들 각각을 또 다른 2개의 더 작은 도메인들로 분할한다. 수평부(611) 및 수직부(612)로 구성된 줄기 전극(613)에 의해 화소 영역(P)은 4개의 도메인들(A, B, C, D)로 나뉜다.
- [0087] 가지 전극들(601a, 601b, 601c, 601d)은 줄기 전극(613)에서 서로 다른 방향으로 연장된 제 1 내지 제 4 가지 전극들(601a, 601b, 601c, 601d)을 포함한다. 즉, 제 1 내지 제 4 가지 전극들(601a, 601b, 601c, 601d)은 줄기 전극(613)에서 각 도메인(A, B, C, D) 내로 연장된다. 예를 들어, 제 1 가지 전극(601a)은 제 1 도메인(A)에 위치하고, 제 2 가지 전극(601b)은 제 2 도메인(B)에 위치하고, 제 3 가지 전극(601c)은 제 3 도메인(C)에 위치하고, 그리고 제 4 가지 전극(601d)은 제 4 도메인(D)에 위치한다.
- [0088] 수직부(612)에 대하여 제 1 가지 전극(601a)과 제 2 가지 전극(601b)은 서로 대칭적인 형태를 이루며, 수직부(612)에 대하여 제 3 가지 전극(601c)과 제 4 가지 전극(601d)은 서로 대칭적인 형태를 이룬다. 또한, 수평부(611)에 대하여 제 1 가지 전극(601a)과 제 4 가지 전극(601d)은 서로 대칭적인 형태를 이루며, 수평부(611)에 대하여 제 2 가지 전극(601b)과 제 3 가지 전극(601c)은 서로 대칭적인 형태를 이룬다.
- [0089] 제 1 도메인(A)에 제 1 가지 전극(601a)이 복수로 구비될 수 있는 바, 이때 복수의 제 1 가지 전극(601a)들은 서로 평행하게 배열된다. 여기서, 제 1 가지 전극(601a)들 중 일부 가지 전극들은, 제 1 도메인(A)과 접하는 수평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 1 가지 전극(601a)들 중 나머지 가지 전극들은 제 1 도메인(A)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0090] 제 2 도메인(B)에 제 2 가지 전극(601b)이 복수로 구비될 수 있는 바, 이때 복수의 제 2 가지 전극(601b)들은 서로 평행하게 배열된다. 여기서, 제 2 가지 전극(601b)들 중 일부 가지 전극들은, 제 2 도메인(B)과 접하는 수평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 2 가지 전극(601b)들 중 나머지 가지 전극들은 제 2 도메인(B)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향

으로 연장된다.

- [0091] 제 3 도메인(C)에 제 3 가지 전극(601c)이 복수로 구비될 수 있는 바, 이때 복수의 제 3 가지 전극(601c)들은 서로 평행하게 배열된다. 여기서, 제 3 가지 전극(601c)들 중 일부 가지 전극들은, 제 3 도메인(C)과 접하는 수평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 3 가지 전극(601c)들 중 나머지 가지 전극들은 제 3 도메인(C)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0092] 제 4 도메인(D)에 제 4 가지 전극(601d)이 복수로 구비될 수 있는 바, 이때 복수의 제 4 가지 전극(601d)들은 서로 평행하게 배열된다. 여기서, 제 4 가지 전극(601d)들 중 일부 가지 전극들은, 제 4 도메인(D)과 접하는 수평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 4 가지 전극(601d)들 중 나머지 가지 전극들은 제 4 도메인(D)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0093] 한편, 전술된 줄기 전극(613)은 제 1 연결부(614a) 및 제 2 연결부(614b)를 더 포함할 수 있다. 제 1 연결부(614a)는 수평부(611)의 일측 끝단에 연결되며, 제 2 연결부(614b)는 수평부(611)의 타측 끝단에 연결된다. 제 1 연결부(614a) 및 제 2 연결부(614b)는 수직부(612)에 평행하게 배열될 수 있다. 제 1 연결부(614a) 및 제 2 연결부(614b)는 줄기 전극(613)과 일체로 구성될 수 있다.
- [0094] 제 1 도메인(A)에 위치한 일부 제 1 가지 전극(601a)들의 단부들과 제 4 도메인(D)에 위치한 일부 제 4 가지 전극(601d)들의 단부들은 제 2 연결부(614b)에 의해 서로 연결될 수 있다. 마찬가지로, 제 2 도메인(B)에 위치한 일부 제 2 가지 전극(601b)들의 단부들과 제 3 도메인(C)에 위치한 일부 제 3 가지 전극(601c)들의 단부들이 제 1 연결부(614a)에 의해 서로 연결될 수 있다.
- [0095] 제 1 부화소 전극(PE1)과 제 1 유지 전극(751)은 중첩될 수 있다. 예를 들어, 제 1 부화소 전극(PE1)의 가장자리가 제 1 유지 전극(751) 상에 위치할 수 있다.
- [0096] 제 2 부화소 전극(PE2)은 제 2 부화소 영역(P2)에 구비된다. 이때, 도 5에 도시된 바와 같이, 제 2 부화소 전극(PE2)은 캡핑층(391) 상에 위치한다. 제 2 부화소 전극(PE2)은 전술된 제 1 부화소 전극(PE1)과 실질적으로 동일한 구조를 갖는다. 즉, 제 2 부화소 전극(PE2)은, 제 2 부화소 영역을 복수의 도메인들로 분할하는 줄기 전극과, 그리고 그 줄기 전극에서 각 도메인 내로 연장된 가지 전극을 포함한다. 또한, 제 2 부화소 전극은 제 1 연결부 및 제 2 연결부를 더 포함할 수 있다. 제 2 부화소 전극에 포함된 줄기 전극, 가지 전극, 제 1 연결부 및 제 2 연결부는 전술된 제 1 부화소 전극에 포함된 그것들과 동일하므로, 이들에 대한 설명은 도 4 및 관련 내용을 참조한다.
- [0097] 제 2 부화소 전극(PE2)과 제 2 유지 전극(752)은 중첩될 수 있다. 예를 들어, 제 2 부화소 전극(PE2)의 가장자리가 제 2 유지 전극(752) 상에 위치할 수 있다.
- [0098] 한편, 도시되지 않았지만, 화소는 차폐 전극을 더 포함할 수 있다. 차폐 전극은 데이터 라인(DL)을 중첩하도록 캡핑층(391) 상에 위치한다. 차폐 전극은 제 1 부화소 전극(PE1)과 동일한 물질로 제조될 수 있다. 차폐 전극으로 공통 전압이 인가될 수 있다.
- [0099] 도 3 및 도 4에 도시된 바와 같이, 제 2 소스 전극(SE2)은 제 1 소스 전극(SE1)보다 더 많이 게이트 라인(GL)과 중첩한다. 즉, 제 1 소스 전극(SE1)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 1 중첩 면적)은 제 2 소스 전극(SE2)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 2 중첩 면적)보다 더 크다. 구체적인 예로서, 제 2 중첩 면적이 제 1 중첩 면적보다 10% 내지 50% 더 클 수 있다.
- [0100] 이와 같이 제 2 중첩 면적이 제 1 중첩 면적보다 더 클 경우, 제 1 박막 트랜지스터(TFT1)의 게이트 전극(412)과 제 1 소스 전극(SE1) 간 기생 커패시터(이하, 제 1 기생 커패시터)는 제 2 박막 트랜지스터(TFT2)의 게이트 전극(412)과 제 2 소스 전극(SE2) 간 기생 커패시터(이하, 제 2 기생 커패시터)보다 더 크게 된다. 이를 도 6을 통해 구체적으로 설명한다.
- [0101] 도 6은 도 3에 도시된 하나의 화소에 대한 등가 회로를 나타낸 도면이다.
- [0102] 하나의 화소는, 도 6에 도시된 바와 같이, 제 1 박막 트랜지스터(TFT1), 제 1 액정용량 커패시터(C1c1), 제 1 보조용량 커패시터(Cst1), 제 2 박막 트랜지스터(TFT2), 제 2 액정용량 커패시터(C1c2) 및 제 2 보조용량 커패시터(Cst2)를 포함한다.

- [0103] 제 1 박막 트랜지스터(TFT1)는 게이트 라인(GL)으로부터의 게이트 신호에 따라 제어되며, 데이터 라인(DL)과 제 1 부화소 전극(PE1) 사이에 접속된다. 제 1 박막 트랜지스터(TFT1)는 게이트 신호의 게이트 고전압에 의해 턴-온되어, 데이터 라인(DL)으로부터의 데이터 신호를 제 1 부화소 전극(PE1)으로 인가한다.
- [0104] 제 1 액정용량 커패시터(C1c1)는 서로 대향하여 위치한 제 1 부화소 전극(PE1)과 공통 전극(330)을 포함한다. 전술된 바와 같이, 공통 전극(330)으로 공통 전압(Vcom)이 인가된다.
- [0105] 제 1 보조용량 커패시터(C1c1)는 서로 대향하여 위치한 제 1 부화소 전극(PE1)과 제 1 유지 전극(751)을 포함한다. 전술된 바와 같이, 제 1 유지 전극(751)으로 유지 전압(Vcst)이 인가된다. 유지 전압(Vcst)은 공통 전압과 동일할 수 있다.
- [0106] 제 2 박막 트랜지스터(TFT2)는 게이트 라인(GL)으로부터의 게이트 신호에 따라 제어되며, 데이터 라인(DL)과 제 2 부화소 전극(PE2) 사이에 접속된다. 제 2 박막 트랜지스터(TFT2)는 게이트 신호의 게이트 고전압에 의해 턴-온되어, 데이터 라인(DL)으로부터의 데이터 신호를 제 2 부화소 전극(PE2)으로 인가한다.
- [0107] 제 2 액정용량 커패시터(C1c2)는 서로 대향하여 위치한 제 2 부화소 전극(PE2)과 공통 전극(330)을 포함한다.
- [0108] 제 2 보조용량 커패시터(C1c2)는 서로 대향하여 위치한 제 2 부화소 전극(PE2)과 제 2 유지 전극(752)을 포함한다. 전술된 바와 같이, 제 2 유지 전극(752)으로 유지 전압(Vcst)이 인가된다. 유지 전압(Vcst)은 공통 전압과 동일할 수 있다.
- [0109] 제 2 기생 커패시터(Cgs_kb)는 제 2 박막 트랜지스터(TFT2)의 게이트 전극(412)과 제 1 소스 전극(SE1) 사이에 접속된다. 전술된 바와 같이, 제 2 중첩 면적이 제 1 중첩 면적보다 더 클 경우, 제 2 기생 커패시터(Cgs_kb)는 제 1 기생 커패시터보다 더 큰 용량을 갖는다. 이에 따라, 제 2 부화소 전극(PE2)에 인가된 데이터 신호의 킥백 전압이 제 1 부화소 전극(PE1)에 인가된 데이터 신호의 킥백 전압보다 더 크게 된다. 게이트 신호가 게이트 고전압에서 게이트 저전압으로 하강할 때 이러한 게이트 신호의 천이(transition)에 영향을 받아 부화소 전극(제 1 부화소 전극 또는 제 2 부화소 전극)의 데이터 신호가 그 천이 방향으로 변화하는 바, 위의 킥백 전압은 그 데이터 신호의 변화량을 의미한다.
- [0110] 이를 아래의 수학적식을 통해 구체적으로 설명한다.
- [0111] [수학적식]
- [0112]
$$\Delta V_{kb} = (C_{Cgs_kb}/C_{Cgs_kb}+C_{C1c2}+C_{Cst2}) * \Delta V_g$$
- [0113] 위의 수학적식에서, ΔV_{kb} 는 제 2 부화소 전극(PE2)에 인가된 데이터 신호의 킥백 전압을, C_{Cgs_kb} 는 제 2 기생 커패시터(Cgs_kb)의 용량을, C_{C1c2} 는 제 2 액정용량 커패시터(C1c2)의 용량을, C_{Cst2} 는 제 2 보조용량 커패시터(Cst2)의 용량을, 그리고 ΔV_g 는 게이트 라인(GL)에 인가된 게이트 신호의 게이트 고전압과 게이트 저전압 간의 차를 의미한다.
- [0114] 위와 같은 수학적식에 따르면, 제 2 기생 커패시터(Cgs_kb)의 용량이 증가하면 킥백 전압(ΔV_{kb})도 증가한다. 제 1 기생 커패시터의 용량보다 제 2 기생 커패시터(Cgs_kb)의 용량이 크므로, 제 1 부화소 전극(PE1)에 인가된 데이터 신호에 대한 킥백 전압보다 제 2 부화소 전극(PE2)에 인가된 데이터 신호에 대한 킥백 전압(ΔV_{kb})이 더 크다. 따라서, 제 1 부화소 전극(PE1)과 제 2 부화소 전극(PE2)에 동일한 크기의 데이터 신호가 인가되더라도, 위 킥백 전압의 차이로 인해 제 2 부화소 전극(PE2)에 인가된 데이터 신호가 제 1 부화소 전극(PE2)에 인가된 데이터 신호보다 더 작은 값으로 유지될 수 있다. 이에 따라, 종래와 같이 별도의 전압 분압용 트랜지스터 없이도 제 2 부화소 전극(PE2)으로 인가되는 데이터 신호의 크기가 제어될 수 있다. 게다가, 전술된 전압 분압용 트랜지스터가 사용되지 않으므로 화소의 개구율이 증가한다. 아울러, 전술된 바와 같이 전압 분압용 트랜지스터가 사용되지 않으므로 데이터 라인과 유지 전극이 직접 연결되지 않는 바, 이에 따라 유지 전압의 변동이 최소화된다.
- [0115] 도 7은 도 2에 도시된 하나의 화소에 대한 다른 상세 구성도이다.
- [0116] 도 7의 화소 구조에 따르면, 제 1 드레인 전극(DE1)의 만곡부는 제 2 부화소 전극(PE2)과 대향하고, 제 2 드레인 전극(DE2)의 만곡부는 제 1 드레인 전극(DE1)의 측면과 대향한다. 예를 들어, 제 1 드레인 전극(DE1)은 U자 형상을 이루며, 제 2 드레인 전극(DE2)은 C자 형상을 이룰 수 있다.
- [0117] 도 7에 도시된 바와 같이, 제 1 소스 전극(SE1)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 1 중첩 면적)은 제 2 소스 전극(SE2)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 2 중첩 면적)과 서로 다르다. 예를 들어, 제 2

중첩 면적이 제 1 중첩 면적보다 더 크다. 구체적인 예로서, 제 2 중첩 면적이 제 1 중첩 면적보다 10% 내지 50% 더 클 수 있다.

- [0118] 도 7의 화소에 포함된 구성 요소들은 전술된 도 3 및 도 4에 도시된 구성 요소들과 실질적으로 동일하므로, 도 7에 도시된 구성 요소들에 대한 설명은 도 3, 도 4 및 관련 기재를 참조한다.
- [0119] 도 8은 도 2에 도시된 하나의 화소에 대한 또 다른 상세 구성도이다.
- [0120] 도 8의 화소 구조에 따르면, 제 1 드레인 전극(DE1)의 만곡부 및 제 2 드레인 전극(DE2)의 만곡부는 제 2 부화소 전극(PE2)과 대향한다. 예를 들어, 제 1 드레인 전극(DE1) 및 제 2 드레인 전극(DE2)은 모두 U자 형상을 이룰 수 있다. 여기서, 제 1 드레인 전극(DE1)의 만곡부와 제 2 드레인 전극(DE2)의 만곡부가, 데이터 라인(DL)으로부터 연장된 연결 전극(888)에 의해 서로 연결된다. 이 연결 전극(888)의 일측은 데이터 라인(DL)에 접속되고, 이 연결 전극(888)의 타측은 제 1 드레인 전극(DE1) 및 제 2 드레인 전극(DE2)에 연결된다.
- [0121] 도 8에 도시된 바와 같이, 제 1 소스 전극(SE1)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 1 중첩 면적)은 제 2 소스 전극(SE2)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 2 중첩 면적)과 서로 다르다. 예를 들어, 제 2 중첩 면적이 제 1 중첩 면적보다 더 크다. 구체적인 예로서, 제 2 중첩 면적이 제 1 중첩 면적보다 10% 내지 50% 더 클 수 있다.
- [0122] 도 8의 화소에 포함된 구성 요소들은 전술된 도 3 및 도 4에 도시된 구성 요소들과 실질적으로 동일하므로, 도 8에 도시된 구성 요소들에 대한 설명은 도 3, 도 4 및 관련 기재를 참조한다.
- [0123] 도 9는 도 2에 도시된 하나의 화소에 대한 또 다른 상세 구성도이다.
- [0124] 도 9의 화소 구조에 따르면, 제 1 드레인 전극(DE1)의 만곡부 및 제 2 드레인 전극(DE2)의 만곡부는 제 2 부화소 전극(PE2)과 대향한다. 예를 들어, 제 1 드레인 전극(DE1) 및 제 2 드레인 전극(DE2)은 모두 U자 형상을 이룰 수 있다. 여기서, 제 1 드레인 전극(DE1)의 측면과 제 2 드레인 전극(DE2)의 측면이 서로 연결된다.
- [0125] 또한, 도 9의 화소 구조에 따르면, 제 2 부화소 전극(PE2)의 일부가 트랜지스터 영역(T)으로 연장되어 제 2 소스 전극(SE2)에 연결된다.
- [0126] 도 9에 도시된 바와 같이, 제 1 소스 전극(SE1)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 1 중첩 면적)은 제 2 소스 전극(SE2)과 게이트 라인(GL) 간의 중첩 면적(이하, 제 2 중첩 면적)과 서로 다르다. 예를 들어, 제 2 중첩 면적이 제 1 중첩 면적보다 더 크다. 구체적인 예로서, 제 2 중첩 면적이 제 1 중첩 면적보다 10% 내지 50% 더 클 수 있다.
- [0127] 도 9의 화소에 포함된 구성 요소들은 전술된 도 3 및 도 4에 도시된 구성 요소들과 실질적으로 동일하므로, 도 9에 도시된 구성 요소들에 대한 설명은 도 3, 도 4 및 관련 기재를 참조한다.
- [0128] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

- [0129] TFT1: 제 1 박막 트랜지스터 TFT2: 제 2 박막 트랜지스터
GL: 게이트 라인 411: 라인부
412: 전극부 313: 반도체층
DE1: 제 1 드레인 전극 DE2: 제 2 드레인 전극
SE1: 제 1 소스 전극 SE2: 제 2 소스 전극
PE1P: 제 1 부화소 전극 PE2: 제 2 부화소 전극
P: 화소 영역 P1: 제 1 부화소 영역
P2: 제 2 부화소 영역 751: 제 1 유지 전극
752: 제 2 유지 전극 DL: 데이터 라인

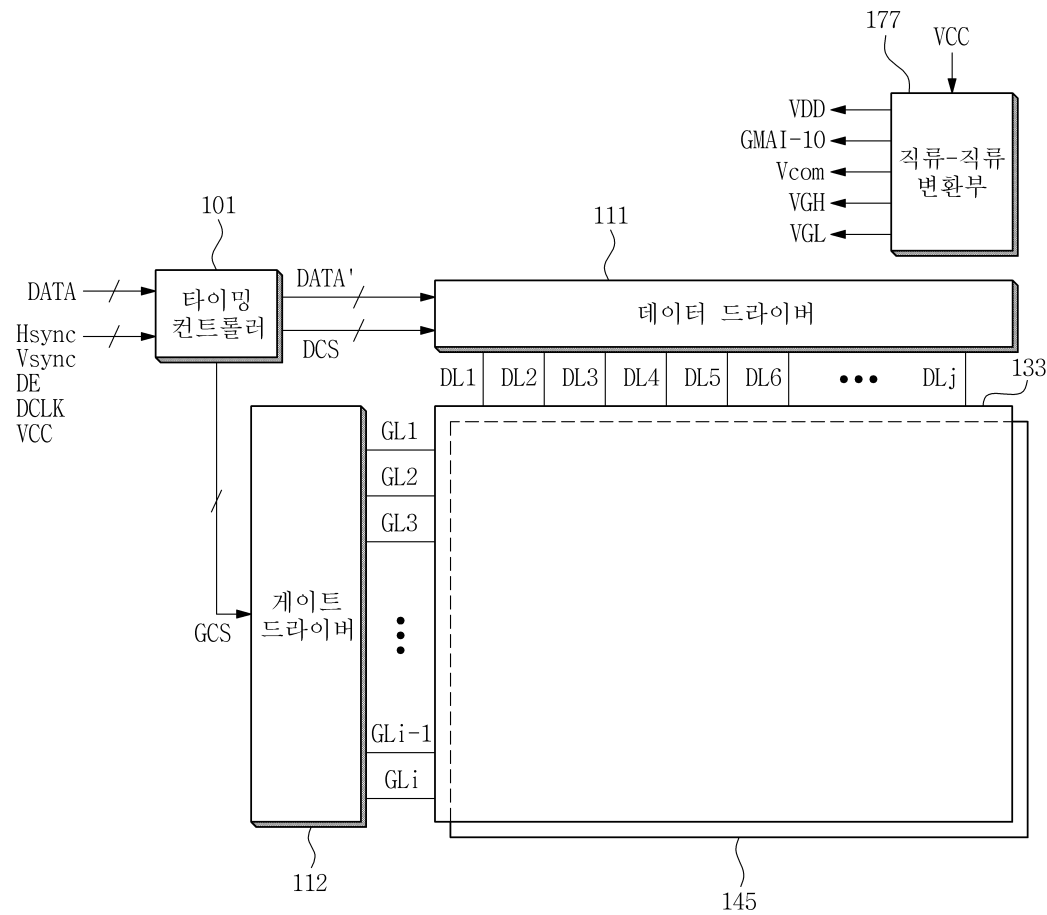
CH1: 제 1 소스 콘택홀

CH2: 제 2 소스 콘택홀

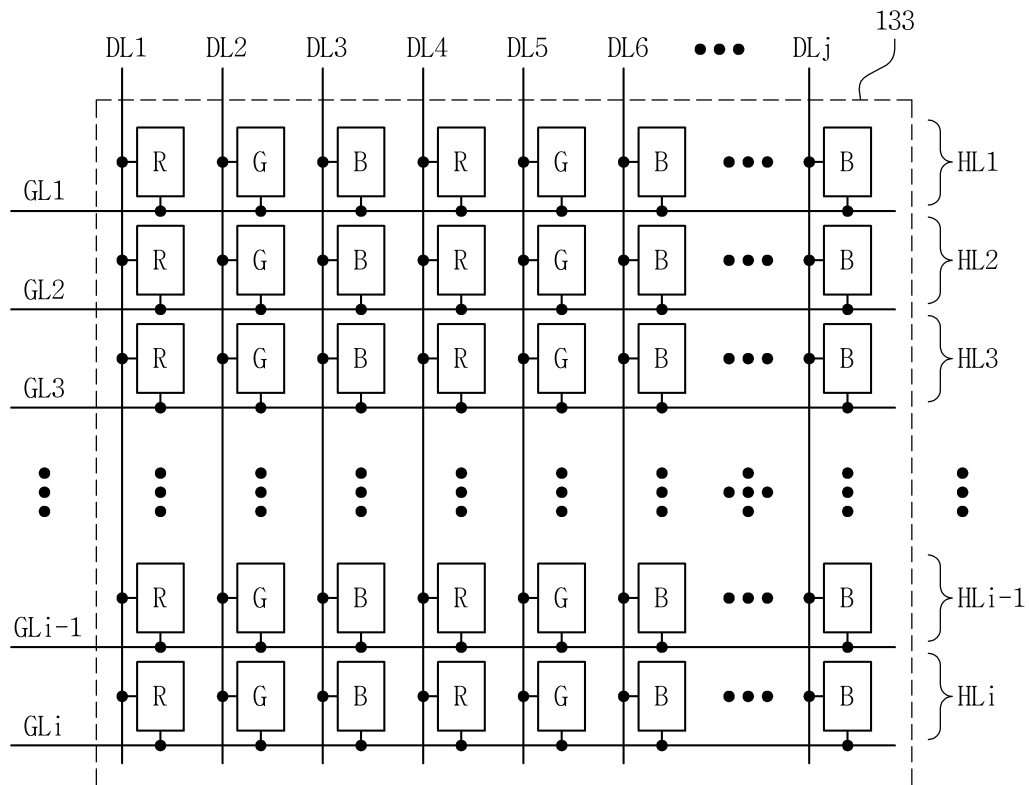
T: 트랜지스터 영역

도면

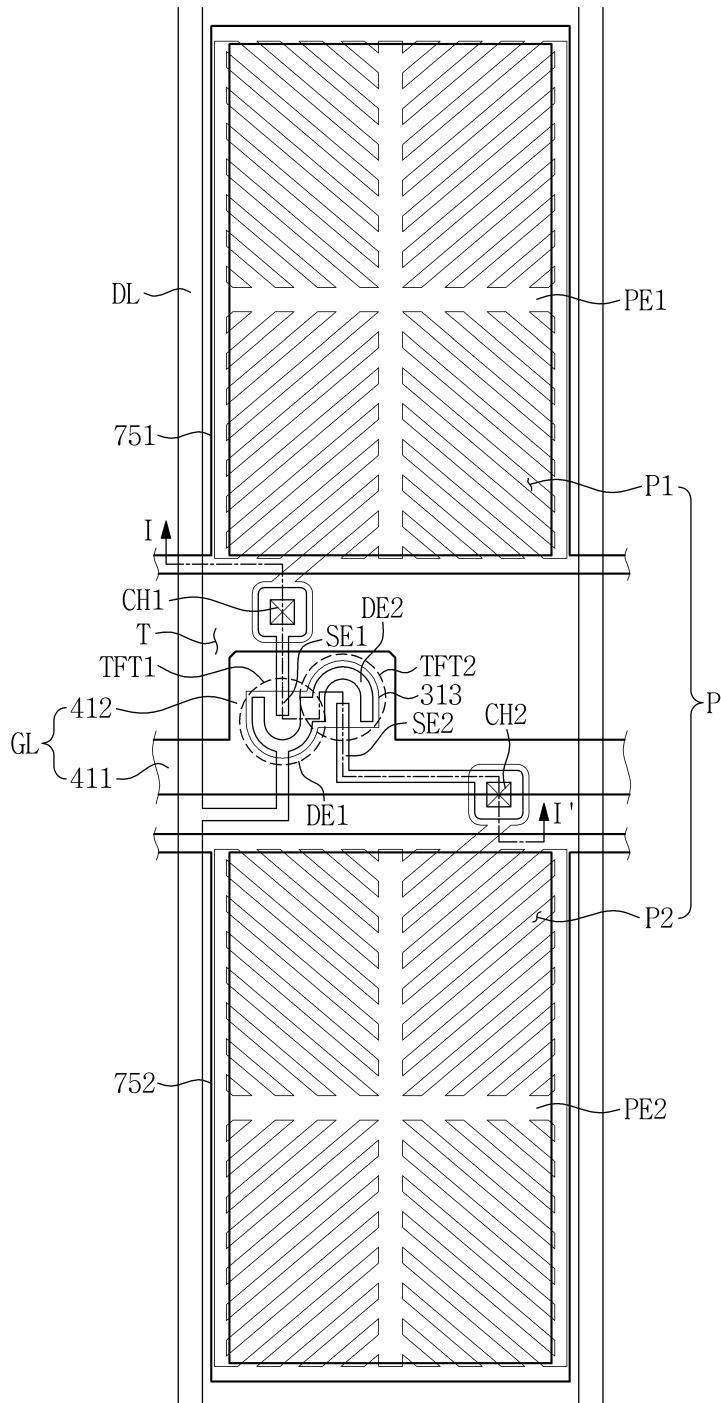
도면1



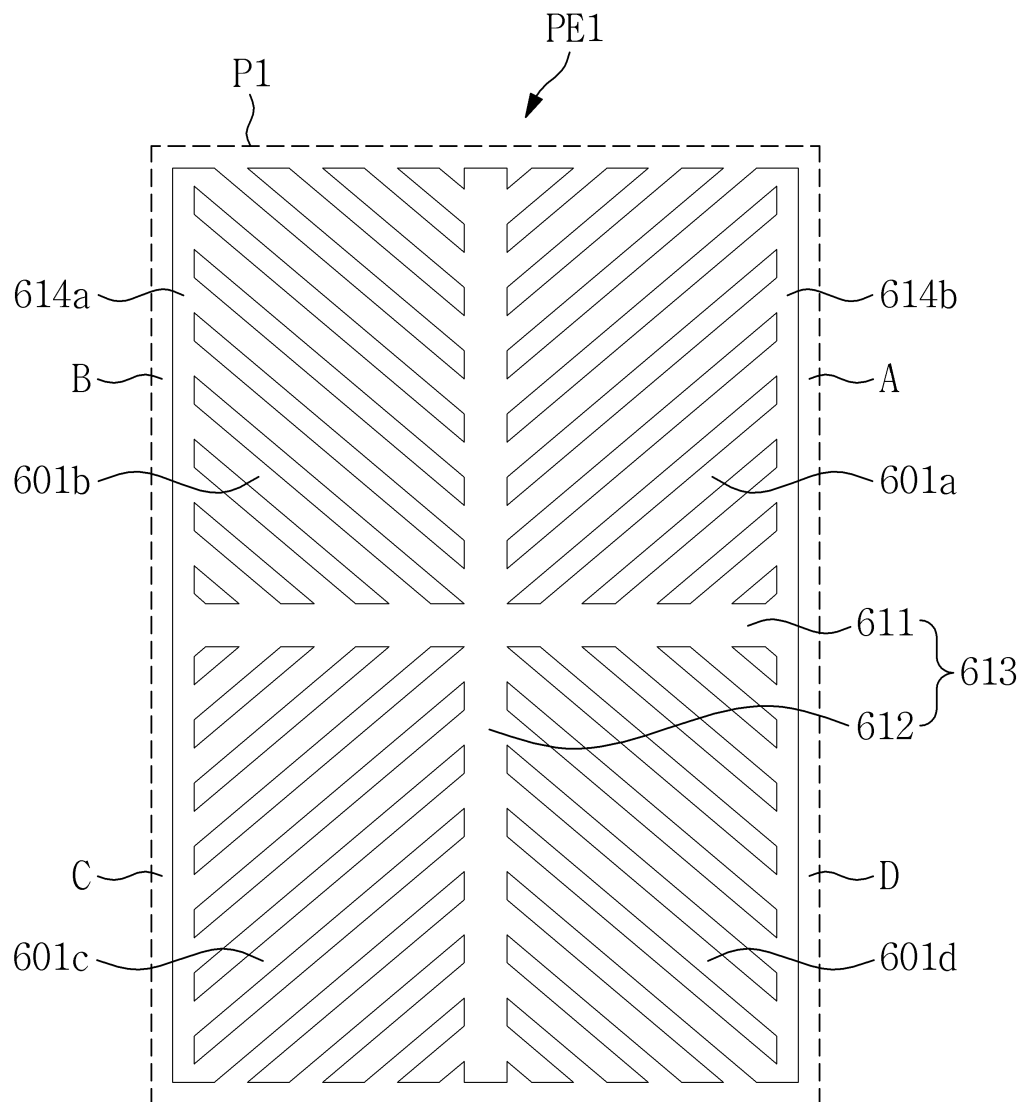
도면2



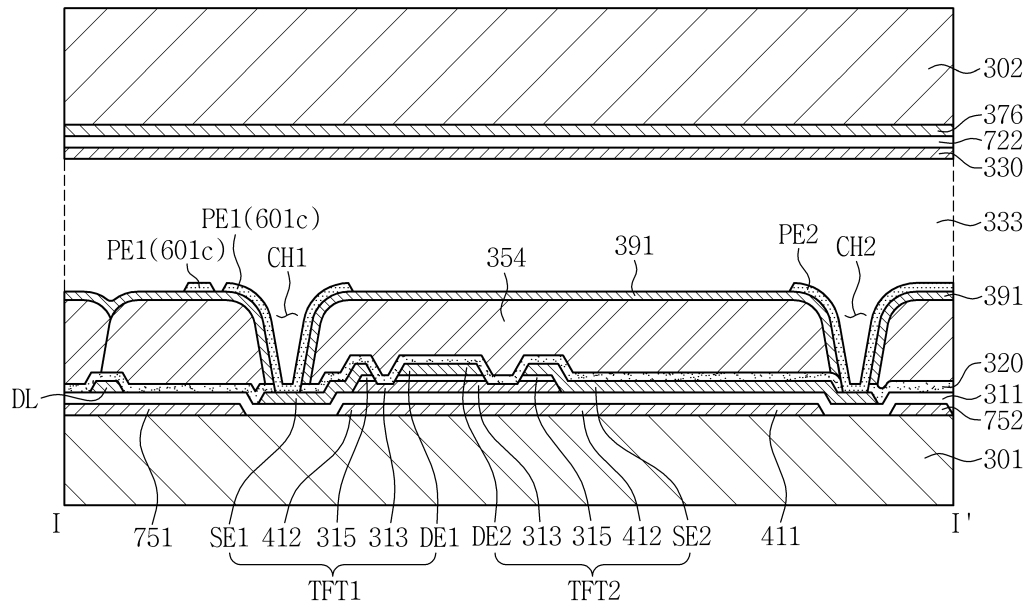
도면3



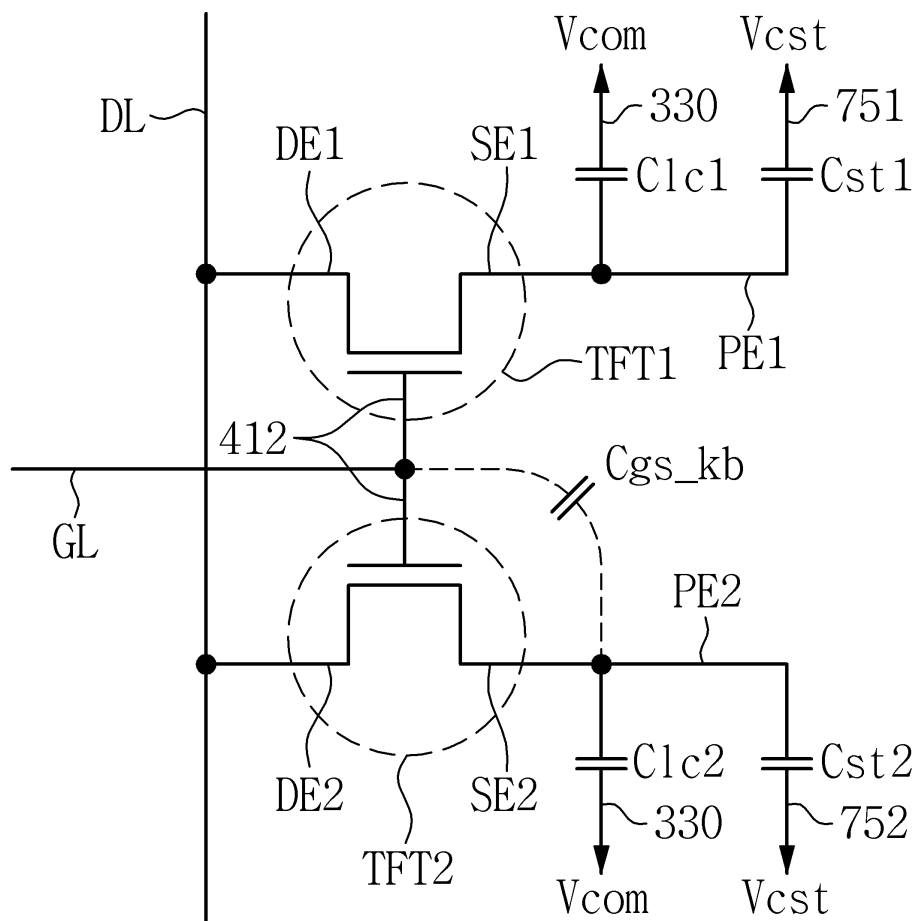
도면4



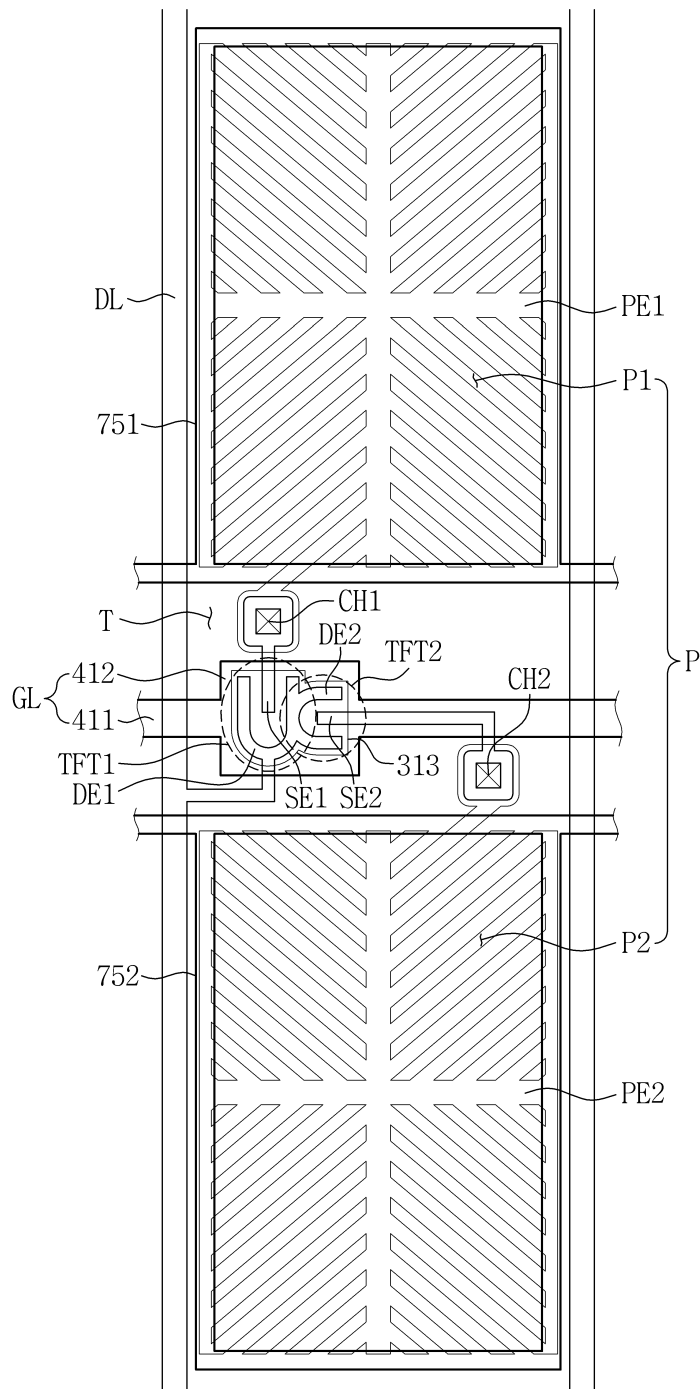
도면5



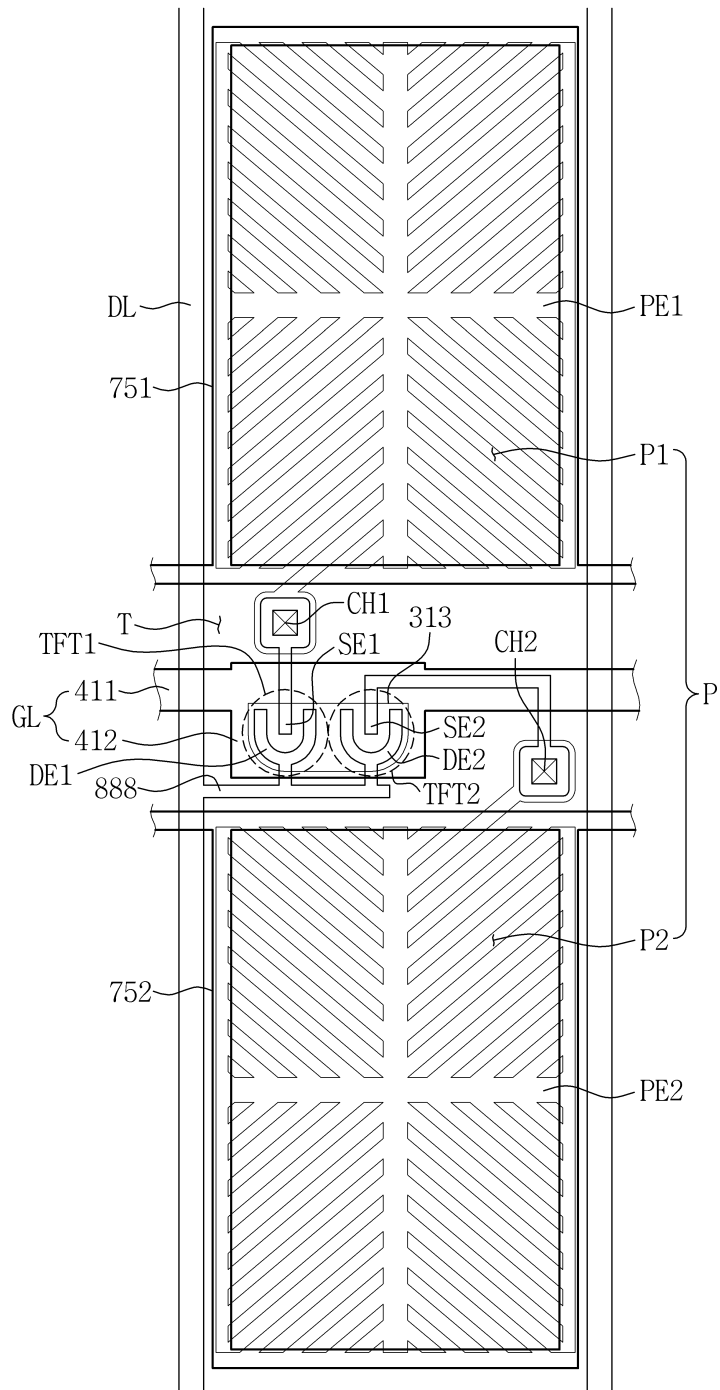
도면6



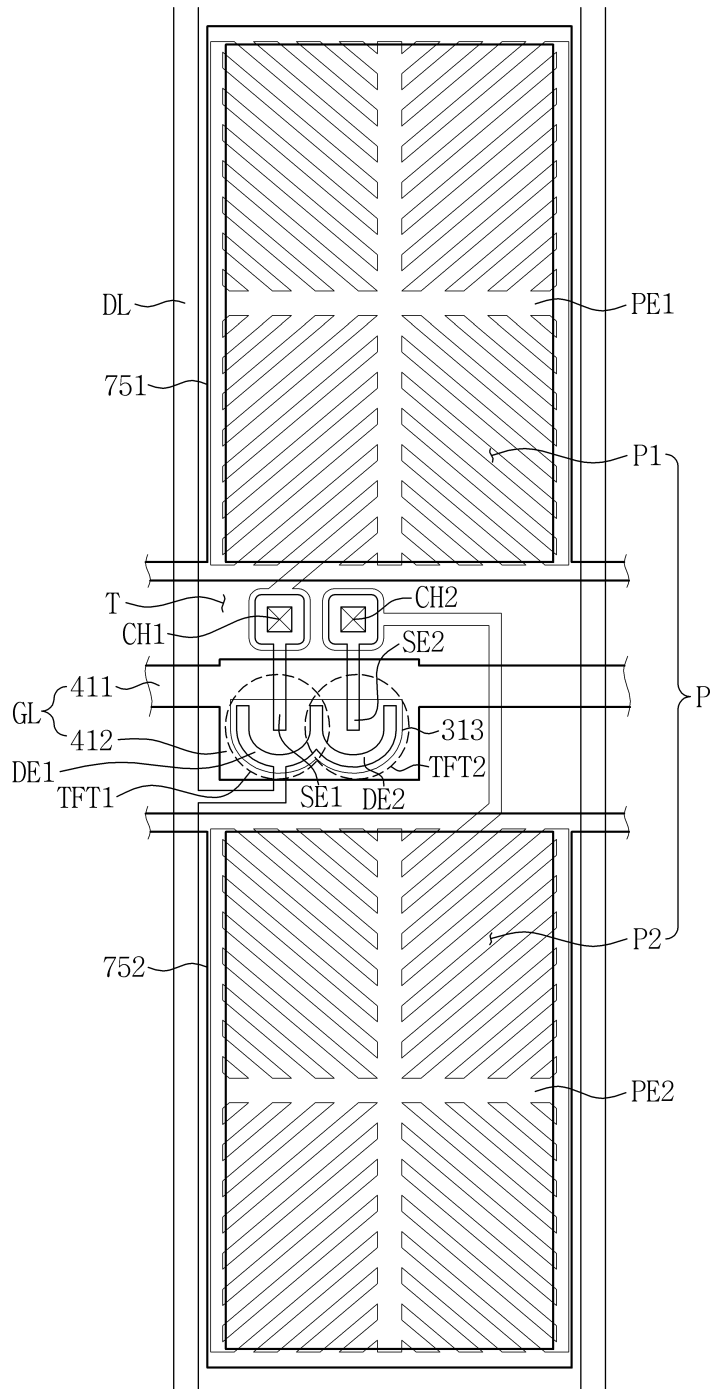
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 16

【변경전】

제 1 항에 있어서,

상기 제 1 부화소 전극은 상기 제 2 부화소 전극과 동일한 면적을 갖는 표시장치.

【변경후】

제 1 항에 있어서,

상기 제 1 부화소 전극은 상기 제 2 부화소 전극과 동일한 면적을 갖는 액정 표시장치.