



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월19일  
(11) 등록번호 10-2278804  
(24) 등록일자 2021년07월13일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)  
(21) 출원번호 10-2014-0194302  
(22) 출원일자 2014년12월30일  
심사청구일자 2019년12월17일  
(65) 공개번호 10-2016-0083347  
(43) 공개일자 2016년07월12일  
(56) 선행기술조사문헌  
KR1020080050039 A\*  
KR1020100020269 A\*  
KR1020120076712 A\*  
KR1020140030722 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
문태웅  
경기도 파주시 후곡로 50 421동 1801호 (금촌동, 후곡마을아파트)  
(74) 대리인  
네이트특허법인

전체 청구항 수 : 총 12 항

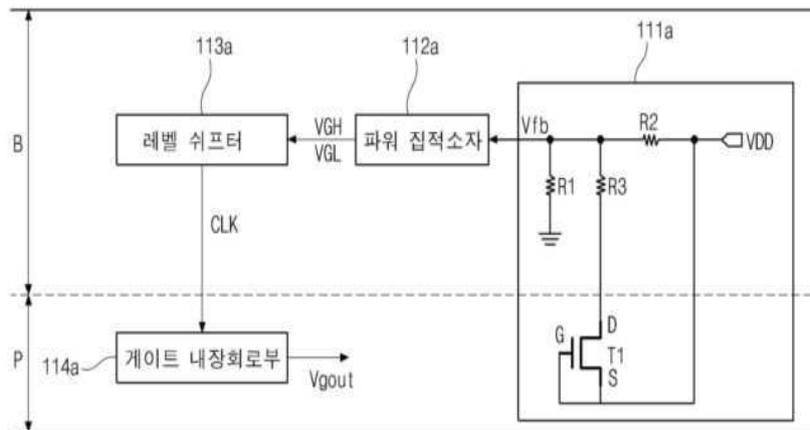
심사관 : 추장희

(54) 발명의 명칭 전원공급 회로 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은, 고온 환경에서 게이트 출력 저하로 인한 화질 불량을 방지하고, 소비전력을 저감하기 위하여, 클럭 신호가 앞서 출력된 클럭신호와 일정구간 중첩되는 제1구간과 중첩되지 않는 제2구간으로 구분되는 액정표시장치의 전원공급 회로에 있어서, 전원전압을 구동 초기와 말기에 각기 다른 저항비로 분압하여 가변된 제1피드백전압을 출력하는 제1피드백부와 상기 제1피드백전압에 의해 제1게이트 하이전압 및 제1게이트 로우전압을 출력하는 파워 집적소자와 상기 제1게이트 하이전압 및 제1게이트 로우전압을 차지 펌핑하여 제1클럭신호를 출력하는 레벨슈프터를 포함하는 액정표시장치의 전원공급 회로를 제공한다.

대표도 - 도2a



## 명세서

### 청구범위

#### 청구항 1

클럭신호가 앞서 출력된 클럭신호와 일정구간 중첩되는 제1구간과 중첩되지 않는 제2구간으로 구분되는 액정표시장치의 전원공급 회로에 있어서,

전원전압을 구동 초기와 말기에 각기 다른 저항비로 분압하여 가변된 제1피드백전압을 출력하는 제1피드백부;

상기 제1피드백전압에 의해 제1게이트 하이전압 및 제1게이트 로우전압을 출력하는 파워 집적소자; 및

상기 제1게이트 하이전압 및 제1게이트 로우전압을 차지 펌핑하여 제1클럭신호를 출력하는 레벨쉬프터

를 포함하고,

상기 구동 말기의 상기 제1클럭신호는 상기 구동 초기의 상기 제1클럭신호보다 높은 전압레벨을 갖는 액정표시장치의 전원공급 회로.

#### 청구항 2

제 1 항에 있어서,

상기 전원전압을 일정한 저항비로 분압하여 고정된 제2피드백전압을 출력하는 제2피드백부를 더 포함하고,

상기 제1구간에서 상기 제1클럭신호를 출력하고,

상기 제2구간에서 상기 파워 집적소자는 상기 제2피드백전압에 의해 제2게이트 하이전압 및 제2게이트로우전압을 출력하고, 상기 레벨쉬프터는 상기 제2게이트 하이전압 및 제2게이트로우전압을 차지 펌핑하여 제2클럭신호를 출력하는 액정표시장치의 전원공급 회로.

#### 청구항 3

제 2 항에 있어서,

상기 제2피드백 전압은 상기 제1피드백 전압보다 낮은 전압레벨인 액정표시장치의 전원공급 회로.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제1피드백부는 제1 내지 제3저항과 게이트전극 및 소스/드레인전극으로 이루어진 제1박막트랜지스터를 포함하고,

상기 제1 내지 제3저항의 일단은 상기 제1피드백전압의 출력단에 각각 연결되고, 상기 제1저항의 타단은 접지단에 연결되고, 상기 제2저항의 타단 및 상기 제1박막트랜지스터의 소스전극 및 게이트전극은 상기 전원전압의 입력단에 연결되고, 상기 제3저항의 타단은 상기 제1박막트랜지스터의 드레인전극에 연결되는 액정표시장치의 전원공급 회로.

#### 청구항 5

제 2 항에 있어서,

상기 제2피드백부는 제4 및 제5저항을 포함하고,

상기 제4 및 제5저항의 일단은 상기 제2피드백전압의 출력단에 각각 연결되고, 상기 제4저항의 타단은 접지단에 연결되고, 상기 제5저항의 타단은 상기 전원전압의 입력단에 연결되는 액정표시장치의 전원공급 회로.

#### 청구항 6

제 4 항에 있어서,

상기 제1피드백전압은 상기 제1박막트랜지스터에 흐르는 전류량에 의해 가변되는 액정표시장치의 전원공급 회로.

#### 청구항 7

제 6 항에 있어서,

상기 제1박막트랜지스터에는 상기 구동 초기에 최대 전류가 흐르고, 이후 점차 감소되어 상기 구동 말기에 최소 전류가 흐르는 액정표시장치의 전원공급 회로.

#### 청구항 8

제 4 항에 있어서,

상기 제1피드백부는, 상기 구동 초기에 상기 제1박막트랜지스터가 턴-온 되어 상기 전원전압을 상기 제1 내지 제3저항의 저항비에 의해 분압하여 상기 제1피드백전압을 생성하고, 상기 구동 말기에 상기 제1박막트랜지스터가 턴-오프 되어 상기 전원전압을 상기 제1 및 제2저항의 저항비에 의해 분압하여 상기 제1피드백전압을 생성하는 액정표시장치의 전원공급 회로.

#### 청구항 9

제 4 항에 있어서,

액정패널의 비표시영역에 배치되며 상기 제1 또는 제2클럭신호를 인가받아 게이트 배선에 게이트신호를 출력하는 게이트 내장회로부를 더 포함하고,

상기 제1박막트랜지스터는 상기 비표시영역에 배치되는 액정표시장치의 전원공급 회로.

#### 청구항 10

제 9 항의 전원공급 회로;

상기 게이트 배선과 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널;

상기 게이트 내장회로부를 포함하는 게이트 구동부;

상기 데이터 배선을 구동시키는 데이터 구동부; 및

상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 콘트롤러

를 더 포함하는 액정표시장치.

#### 청구항 11

클럭신호가 앞서 출력된 클럭신호와 일정구간 중첩되는 제1구간과 중첩되지 않는 제2구간으로 구분되는 액정표

시장치의 전원공급 회로에 있어서,

전원전압을 구동 초기와 구동 말기에 각기 다른 저항비로 분압하여 가변된 제1피드백전압을 출력하는 제1피드백부;

상기 전원전압을 일정한 저항비로 분압하여 상기 구동 초기와 상기 구동 말기에 고정된 제2피드백전압을 출력하는 제2피드백부;

상기 제1피드백전압에 의해 제1게이트 하이전압 및 제1게이트 로우전압을 출력하고, 상기 제2피드백전압에 의해 제2게이트 하이전압 및 제2게이트 로우전압을 출력하는 파워 집적소자; 및

상기 제1게이트 하이전압 및 상기 제1게이트 로우전압을 차지 펌핑하여 상기 제1구간에서 제1클럭신호를 출력하고, 상기 제2게이트 하이전압 및 상기 제2게이트 로우전압을 차지 펌핑하여 상기 제2구간에서 제2클럭신호를 출력하는 레벨슈프터

를 포함하고,

상기 구동말기의 상기 제1클럭신호는 상기 구동 초기의 상기 제1클럭신호보다 높은 전압레벨을 갖고,

상기 제2피드백 전압은 상기 제1피드백 전압보다 낮은 전압레벨인 액정표시장치의 전원공급 회로.

## 청구항 12

제 11 항에 있어서,

상기 제1피드백부는 제 1 내지 제3저항과 제1박막트랜지스터를 포함하고,

상기 제1 내지 제3저항의 일단은 상기 제1피드백압의 출력단에 각각 연결되고, 상기 제1저항의 타단은 접지단에 연결되고, 상기 제2저항의 타단 및 상기 제1박막트랜지스터의 소스전극 및 게이트전극은 상기 전원전압의 입력단에 연결되고, 상기 제3저항의 타단은 상기 제1박막트랜지스터의 드레인전극에 연결되고,

상기 제2피드백부는 제4 및 제5저항을 포함하고,

상기 제4 및 제5저항의 일단은 상기 제2피드백전압의 출력단에 각각 연결되고, 상기 제4저항의 타단은 상기 접지단에 연결되고, 상기 제5저항의 타단은 상기 전원전압의 입력단에 연결되는 액정표시장치의 전원공급 회로.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 전원공급 회로 및 이를 포함하는 액정표시장치에 관한 것으로, 특히, 고온 환경에서 게이트 출력 저하로 인한 화질 불량을 방지하고, 소비전력을 저감할 수 있는 액정표시장치의 전원공급 회로에 관한 것이다.

### 배경 기술

[0002] 액정표시장치(LCD: Liquid Crystal Display)는 액정의 광학적 이방성을 이용하여 화상을 표시하는 장치로서, 박형, 소형, 저소비전력 및 고화질 등의 장점이 있다.

[0003] 이와 같은 액정 표시장치는 매트릭스(matrix) 형태로 배열된 화소들에 화상정보를 개별적으로 공급하여, 그 화소들의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다.

[0004] 따라서, 액정 표시장치는 화상을 구현하는 최소 단위인 화소들이 액티브 매트릭스 형태로 배열되는 액정 패널과, 상기 액정 패널을 구동하기 위한 구동부를 구비하는데, 이 구동부는 타이밍 컨트롤러를 비롯하여 데이터 구동부와 게이트 구동부를 구비한다.

[0005] 또한, 액정표시장치는 스스로 발광하지 못하기 때문에 액정표시장치에 광을 공급하는 백라이트 유닛을 구비한다.

[0006] 또한, 액정표시장치는 시스템 각부에서 필요로 하는 직류전압을 공급하기 위해 직류/직류전압 변환 기능을 수행

하는 파워 집적소자(Power IC)를 구비하여 데이터 구동부의 구동전압을 공급하고, 시스템 각부에 전원전압(VDD)을 공급하며, 게이트 구동부에 게이트 로우 전압(VGL), 게이트 하이 전압(VGH)을 공급한다.

- [0007] 도 1은 종래의 액정표시장치의 전원공급 회로의 블록도이다.
- [0008] 도 1에 도시한 바와 같이, 종래의 액정표시장치의 전원공급 회로는 전원전압(VDD)을 소정 비율로 분압하여 그에 따른 피드백전압(Vfb)을 출력하는 피드백부(11)와 피드백전압(Vfb)을 참조하여 목표로 하는 레벨의 게이트 하이 전압(VGH) 및 게이트 로우전압(VGL)을 출력하는 파워 집적소자(12)와 파워 집적소자(12)에서 출력되는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펌핑하여, 클럭신호(CLK)를 게이트 내장회로부(14)에 공급하는 레벨슈프터(13)로 구성된다.
- [0009] 구체적으로, 피드백부(11)는 직렬 접속된 저항(R1, R2)을 이용하여 전원전압(VDD)을 소정 비율로 분압하여 그에 따른 피드백전압(Vfb)을 출력한다.
- [0010] 파워 집적소자(12)는 피드백전압(Vfb)을 근거로 하여, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 생성하여 출력한다.
- [0011] 레벨슈프터(13)는 파워 집적소자(12)에서 출력되는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펌핑하여 클럭신호(CLK)를 생성하여 게이트 내장회로부(14)에 공급한다.
- [0012] 게이트 내장회로부(14)는 게이트 배선(미도시)에 게이트 신호(Vgout)를 공급한다.
- [0013] 이 때, 피드백부(11), 파워 집적소자(12) 및 레벨슈프터(13)는 액정 패널 외부의 전원부(B)에 배치되며, 게이트 내장회로부(14)는 액정패널 내부의 비표시영역(P)에 배치된다.
- [0014] 앞서 설명한 바와 같이, 레벨슈프터(13)는 게이트 내장회로부(14)에 공급할 클럭신호(CLK)를 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 기준으로 생성한다.
- [0015] 그런데, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)의 레벨이 목표치보다 조금 낮게 출력되어 클럭신호(CLK)의 레벨이 목표치 이하로 출력되는 경우가 발생하여, 게이트 내장회로부(14) 내의 박막트랜지스터가 정상적으로 턴-온 되지 않아 화면 이상현상이 발생하는 문제점이 있었다.
- [0016] 더욱이, 아모퍼스 실리콘(a-si) 박막트랜지스터의 경우 고온환경에서 정상적으로 턴-온되지 않는 경우가 더욱 빈번하게 발생되어 화면 이상현상이 빈번하게 발생하는 문제점이 있었다.
- [0017] 이에 따라, 초기 구동시 저항(R1, R2) 값을 변경하고 전원전압(VDD)을 분압하여 피드백전압(Vfb)을 공급함으로써, 피드백 전압(Vfb)의 레벨을 높이거나, 레벨슈프터(13)에 의해 보다 높은 레벨의 게이트 하이전압(VGH)을 출력할 수 있지만, 이와 같이 적용하는 경우 소비전력이 상승되어 노트북과 같은 휴대용 기기의 액정패널에 적용하는데 어려움이 있었다.

**발명의 내용**

**해결하려는 과제**

- [0018] 본 발명은 이러한 문제를 해결하기 위해 안출된 것으로, 화면 이상현상을 방지하고 소비전력을 절감할 수 있는 전원공급 회로 및 이를 포함하는 액정표시장치를 제공하는 것을 그 목적으로 한다.

**과제의 해결 수단**

- [0019] 상기 목적을 달성하기 위한 본 발명은, 클럭신호가 앞서 출력된 클럭신호와 일정구간 중첩되는 제1구간과 중첩되지 않는 제2구간으로 구분되는 액정표시장치의 전원공급 회로에 있어서, 전원전압을 구동 초기와 말기에 각기 다른 저항비로 분압하여 가변된 제1피드백전압을 출력하는 제1피드백부와 상기 제1피드백전압에 의해 제1게이트 하이전압 및 제1게이트 로우전압을 출력하는 파워 집적소자와 상기 제1게이트 하이전압 및 제1게이트 로우전압을 차지 펌핑하여 제1클럭신호를 출력하는 레벨슈프터를 포함하는 액정표시장치의 전원공급 회로를 제공한다.
- [0020] 또한, 일정한 저항비로 분압하여 고정된 제2피드백전압을 출력하는 제2피드백부를 더 포함하고, 상기 제1구간에서 상기 제1클럭신호를 출력하고, 상기 제2구간에서 상기 파워 집적소자는 상기 제2피드백전압에 의해 제2게이

트 하이전압 및 제2게이트로우전압을 출력하고, 상기 레벨슈프터는 상기 제2게이트 하이전압 및 제2게이트로우전압을 차지 펄핑하여 제2클럭신호를 출력하는 액정표시장치의 전원공급 회로를 제공한다.

- [0021] 상기 제2피드백 전압은 상기 제1피드백 전압보다 낮은 전압레벨인 것을 특징으로 한다.
- [0022] 또한, 상기 제1피드백부는 제1 내지 제3저항과 게이트전극 및 소스/드레인전극으로 이루어진 제1박막트랜지스터를 포함하고, 상기 제1 내지 제3저항의 일단은 상기 피드백전압의 출력단에 각각 연결되고, 상기 제1저항의 타단은 접지단에 연결되고, 상기 제2저항의 타단 및 상기 제1박막트랜지스터의 소스전극 및 게이트전극은 상기 전원전압의 입력단에 연결되고, 상기 제3저항의 타단은 상기 제1박막트랜지스터의 드레인전극에 연결되는 것을 특징으로 한다.
- [0023] 또한, 상기 제2피드백부는 제4 및 제5저항을 포함하고, 상기 제4 및 제5저항의 일단은 상기 제2피드백전압의 출력단에 각각 연결되고, 상기 제4저항의 타단은 접지단에 연결되고, 상기 제5저항의 타단은 상기 전원전압의 입력단에 연결되는 것을 특징으로 한다.
- [0024] 또한, 상기 제1피드백전압은 상기 제1박막트랜지스터에 흐르는 전류량에 의해 가변되는 것을 특징으로 한다.
- [0025] 또한, 상기 제1박막트랜지스터에는 초기 구동시 최대 전류가 흐르고, 이후 점차 감소되어 말기 구동시 최소 전류가 흐르는 것을 특징으로 한다.
- [0026] 또한, 상기 제1피드백부는 초기 구동시 상기 제1박막트랜지스터가 턴-온 되어 상기 전원전압을 상기 제1 내지 제3저항의 저항비에 의해 분압하여 상기 피드백전압을 생성하고, 말기 구동시 상기 제1박막트랜지스터가 턴-오프 되어 상기 전원전압을 상기 제1 및 제2저항의 저항비에 의해 분압하여 상기 피드백전압을 생성하는 것을 특징으로 한다.
- [0027] 또한, 액정패널의 비표시영역에 배치되며 상기 제1 또는 제2클럭신호를 인가받아 게이트 배선에 게이트신호를 출력하는 게이트 내장회로부를 더 포함하고, 상기 제1박막트랜지스터는 상기 비표시영역에 배치되는 것을 특징으로 한다.
- [0028] 또한, 상기 게이트 배선과 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널과 상기 게이트 내장회로부를 포함하는 게이트 구동부와 상기 데이터 배선을 구동시키는 데이터 구동부 및 상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 콘트롤러를 더 포함하는 액정표시장치를 제공한다.

**발명의 효과**

- [0029] 본 발명에 따른 전원공급 회로 및 이를 포함하는 액정표시장치는 게이트 내장회로부 내의 박막트랜지스터의 성능 및 수명을 향상시킬 수 있다.
- [0030] 또한, 초기 구동시에는 낮은 피드백전압 및 게이트 하이전압에 의해 전원공급 회로에서 소모되는 소비전력을 줄일 수 있는 효과가 있다.
- [0031] 또한, 말기 구동시에는 높은 피드백전압 및 게이트 하이전압에 의해 클럭신호의 레벨이 목표치 이하로 출력되는 경우를 방지하여, 게이트 내장회로부 내의 박막트랜지스터가 정상적으로 턴-온 되지 않아 발생하는 화면 이상현상을 방지할 수 있다.
- [0032] 또한, 데이터전압 충전구간인 제2구간에서 피드백 전압 및 게이트 하이전압을 고정하여, 제2구간에서 킥백전압( $\Delta V_p$ )을 동일하게 하여 플리커, 잔상, 색편차등을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0033] 도 1은 종래의 액정표시장치의 전원공급 회로의 블록도이다.
- 도 2a는 본 발명의 제1실시예의 액정표시장치의 전원공급 회로의 블록도이다.
- 도 2b는 본 발명의 제2실시예의 액정표시장치의 전원공급 회로의 블록도이다.

도 3은 본 발명의 제1 및 제2실시예의 게이트 신호의 출력파형을 도시한 도면이다.

도 4는 본 발명의 제3실시예의 액정표시장치의 전원공급 회로의 블록도이다.

도 5는 본 발명의 제3실시예의 게이트 신호의 출력파형을 도시한 도면이다.

도 6은 본 발명의 제1 내지 제3실시예의 효과를 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0034] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0035] <제 1 실시예>
- [0036] 도 2a는 본 발명의 제1실시예의 액정표시장치의 전원공급 회로의 블록도이고, 도 3은 본 발명의 제1실시예의 게이트 신호의 출력파형을 도시한 도면이다.
- [0037] 도면에 도시한 바와 같이, 본 발명의 제1실시예의 액정표시장치의 전원공급 회로는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 피드백전압(Vfb)을 출력하는 피드백부(111a)와 피드백전압(Vfb)에 의해 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 출력하는 파워 집적소자(112a)와 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펌핑하여 클럭신호(CLK)를 출력하는 레벨슈프터(113a)를 포함한다.
- [0038] 피드백부(111a)는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 피드백전압(Vfb)을 출력한다.
- [0039] 또한, 피드백부(111a)는 전원전압(VDD)을 가변 피드백전압(Vfb)으로 분압하는 제1 내지 제3저항(R1~R3)과 게이트전극(G) 및 소스/드레인전극(S, D)으로 이루어진 제1박막트랜지스터(T1)를 포함한다.
- [0040] 이 때, 제1 내지 제3저항(R1~R3)의 일단은 피드백전압(Vfb)의 출력단에 각각 연결되고, 제1저항(R1)의 타단은 접지단에 연결되고, 제2저항(R2)의 타단 및 제1박막트랜지스터(T1)의 소스전극(S) 및 게이트전극(G)은 전원전압(VDD)의 입력단에 연결되고, 제3저항(R3)의 타단은 제1박막트랜지스터(T1)의 드레인전극(D)에 연결된다.
- [0041] 구체적으로, 피드백부(111a)에서 피드백전압(Vfb)을 가변하여 출력하는 방법에 대해 설명하겠다.
- [0042] 먼저, 제1박막트랜지스터(T1)에 흐르는 전류량에 의해 피드백전압(Vfb)이 가변되는데, 제1박막트랜지스터(T1)에는 초기 구동시 최대 전류가 흘러 제1 내지 제3저항(R1~R3)에 의해 전원전압(VDD)이 분압되어 피드백전압(Vfb)을 출력한다.
- [0043] 이후, 점차 감소되어 말기 구동시 최소 전류가 흘러 제1 및 제2저항(R1, R2)에 의해 전원전압(VDD)이 분압되어 피드백전압(Vfb)을 출력한다.
- [0044] 예를 들어, 피드백부(111a)는 초기 구동시 상기 제1박막트랜지스터(T1)가 턴-온 되어 전원전압(VDD)을 제1 내지 제3저항(R1~R3)의 저항비에 의해 분압하여 피드백전압(Vfb)을 생성하고, 말기 구동시 제1박막트랜지스터(T1)가 턴-오프 되어 전원전압(VDD)을 제1 및 제2저항(R1, R2)의 저항비에 의해 분압하여 피드백전압(Vfb)을 생성하게 된다.
- [0045] 파워 집적소자(112a)는 피드백부(111a)에서 출력된 가변 피드백전압(Vfb)을 근거로 하여, 가변된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 생성하여 출력한다.
- [0046] 레벨슈프터(113a)는 파워 집적소자(112a)에서 출력되는 가변 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펌핑하여 클럭신호(CLK)를 생성하여 출력한다.
- [0047] 또한, 본 발명의 제1실시예는 액정패널의 비표시영역(P)에 배치되며 레벨슈프터(113a)에서 출력된 클럭신호(CLK)를 인가받아 게이트 배선(미도시)에 게이트신호(Vgout)를 출력하는 게이트 내장회로부(114a)를 더 포함한다.
- [0048] 한편, 액정표시장치의 화소전극에 인가되는 데이터전압은 박막트랜지스터의 기생용량으로 인하여 발생하는 킥백전압(Kickback Voltage, 또는 Feed Through Voltage,  $\Delta V_p$ )에 의해 영향을 받는다.
- [0049] 상기 킥백전압( $\Delta V_p$ )은 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압에 비례한다.
- [0050] 도 3에 도시한 바와 같이, 본 발명의 제1실시예의 경우, 클럭신호(CLK)는 앞서 출력된 클럭신호(CLK)와 일정구

간 중첩되는 제1구간(P1)과 중첩되지 않는 제2구간(P2)으로 구분되며, 초기 구동시부터 말기 구동시까지 클럭신호(CLK)의 제1 및 제2구간(P1, P2)에서, 피드백전압(Vfb)이 가변되어 게이트 하이전압(VGH) 또는 게이트 로우전압(VGL)이 가변되면 킥백전압( $\Delta V_p$ )도 변동되게 된다.

- [0051] 이러한, 킥백전압( $\Delta V_p$ )의 변동으로 인하여 액정셀의 화소전극에 인가되는 데이터전압이 변동되어 표시화상에서 플리커, 잔상, 색편차등이 보일 수 있다.
- [0052] 도 6은 본 발명의 제1실시예의 효과를 설명하기 위한 도면이다.
- [0053] 도 6에 도시한 바와 같이, 그래프의 가로축은 시간(t)을 나타내고, 세로축은 게이트 하이전압(VGH)을 나타내고, 그래프 상에 나타난 직선 아래의 면적은 게이트 내장회로 내부의 박막트랜지스터가 받는 스트레스 정도를 나타낸다.
- [0054] 종래의 액정표시장치의 게이트 하이전압(VGH)의 출력파형(a)을 보면 전원공급 회로의 피드백부(도1의 11)는 초기 구동시부터 말기 구동시까지 지속적으로 높은 피드백전압(Vfb)을 출력하여, 파워 집적소자(도1의 12)도 초기 구동시부터 말기 구동시까지 지속적으로 높은 게이트 하이전압(VGH)을 출력하지만, 제1실시예의 액정표시장치의 게이트 하이전압(VGH)의 출력파형(b)을 보면, 피드백부(111a)가 초기 구동시에 낮은 피드백전압(Vfb)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 피드백전압(Vfb)을 출력하므로, 파워 집적소자(112a)도 초기 구동시에 낮은 게이트 하이전압(VGH)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 게이트 하이전압(VGH)을 출력하게 되어, 초기 구동시부터 말기 구동시까지 종래의 액정표시장치에 비해 X영역만큼 게이트 내장회로부(114a) 내의 박막트랜지스터에 인가되는 스트레스를 줄일 수 있다.
- [0055] 이에 따라, 게이트 내장회로부(114a) 내의 박막트랜지스터의 성능 및 수명을 향상시킬 수 있다.
- [0056] 또한, 초기 구동시에는 낮은 피드백전압(Vfb) 및 게이트 하이전압(VGH)에 의해 전원공급 회로에서 소모되는 소비전력을 줄일 수 있는 효과가 있다.
- [0057] 또한, 말기 구동시에는 높은 피드백전압(Vfb) 및 게이트 하이전압(VGH)에 의해 클럭신호(CLK)의 레벨이 목표치 이하로 출력되는 경우를 방지하여, 게이트 내장회로부(114a) 내의 박막트랜지스터가 정상적으로 턴-온 되지 않아 발생하는 화면 이상현상을 방지할 수 있다.
- [0058] 제1박막트랜지스터(T1)는 액정패널의 비표시영역(P)에 배치되는 것을 특징으로 한다.
- [0059] 구체적으로, 게이트 내장회로부(114a)에는 다수의 박막트랜지스터를 포함하고, 이들 박막트랜지스터는 액정패널의 표시영역의 박막트랜지스터와 함께 형성되는데, 제1박막트랜지스터(T1)를 별도로 전원공급부 영역(B)의 전원공급 회로에 구성하지 않고, 액정패널의 비표시영역(P)에 배치되어, 게이트 내장회로부(114a)의 박막트랜지스터와 함께 형성함으로써 제조 비용이 절감되는 효과가 있다.
- [0060] 도면에는 도시하지 않았지만, 본 발명의 제1실시예의 액정표시장치는 앞서 설명한 전원공급 회로와 게이트 배선과 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널과 게이트 내장회로부(114a)를 포함하는 게이트 구동부와 데이터 배선을 구동시키는 데이터 구동부와, 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 컨트롤러를 포함하여 이루어진다.
- [0061] <제 2 실시예>
- [0062] 도 2b는 본 발명의 제2실시예의 액정표시장치의 전원공급 회로의 블록도이고, 도 3은 본 발명의 제2실시예의 게이트 신호의 출력파형을 도시한 도면이다.
- [0063] 도면에 도시한 바와 같이, 본 발명의 제2실시예의 액정표시장치의 전원공급 회로는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 피드백전압(Vfb)을 출력하는 피드백부(111b)와 피드백전압(Vfb)에 의해 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 출력하는 파워 집적소자(112b)와 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펌핑하여 클럭신호(CLK)를 출력하는 레벨슈프터(113b)를 포함한다.
- [0064] 피드백부(111b)는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 피드백전압(Vfb)을 출력한다.
- [0065] 또한, 피드백부(111b)는 전원전압(VDD)을 가변 피드백전압(Vfb)으로 분압하는 제1 내지 제3저항(R1~R3)과 게이트전극(G) 및 소스/드레인전극(S, D)으로 이루어진 제1 및 제2박막트랜지스터(T1, T2)를 포함한다.
- [0066] 이 때, 제1 내지 제3저항(R1~R3)의 일단은 피드백전압(Vfb)의 출력단에 각각 연결되고, 제1저항(R1)의 타단은

접지단에 연결되고, 제3저항(R3)의 타단은 제1박막트랜지스터(T1)의 드레인전극(D)에 연결되고, 제1박막트랜지스터(T1)의 소스전극(S) 및 게이트전극(G)은 제2박막트랜지스터(T2)의 게이트전극(G) 및 드레인전극(D)에 연결되고, 제2저항(R2)의 타단 및 제2박막트랜지스터(T2)의 소스전극(S)은 전원전압(VDD)의 입력단에 연결된다.

- [0067] 즉, 제1 및 제2박막트랜지스터(T1, T2)는 종속 연결되며, 본 발명의 제2실시예는 이에 한하지 않으며, 셋 이상 다수의 박막 트랜지스터가 종속 연결될 수 있다.
- [0068] 구체적으로, 피드백부(111b)에서 피드백전압(Vfb)을 가변하여 출력하는 방법에 대해 설명하겠다.
- [0069] 먼저, 제1 및 제2박막트랜지스터(T1, T2)에 흐르는 전류량에 의해 피드백전압(Vfb)이 가변되는데, 제1 및 제2박막트랜지스터(T1, T2)에는 초기 구동시 최대 전류가 흘러 제1 내지 제3저항(R1~R3)에 의해 전원전압(VDD)이 분압되어 피드백전압(Vfb)을 출력한다.
- [0070] 이후, 점차 감소되어 말기 구동시 최소 전류가 흘러 제1 및 제2저항(R1, R2)에 의해 전원전압(VDD)이 분압되어 피드백전압(Vfb)을 출력한다.
- [0071] 예를 들어, 피드백부(111b)는 초기 구동시 상기 제1 및 제2박막트랜지스터(T1, T2)가 턴-온 되어 전원전압(VDD)을 제1 내지 제3저항(R1~R3)의 저항비에 의해 분압하여 피드백전압(Vfb)을 생성하고, 말기 구동시 제1 및 제2박막트랜지스터(T1, T2)가 턴-오프 되어 전원전압(VDD)을 제1 및 제2저항(R1, R2)의 저항비에 의해 분압하여 피드백전압(Vfb)을 생성하게 된다.
- [0072] 파워 집적소자(112b)는 피드백부(111b)에서 출력된 가변 피드백전압(Vfb)을 근거로 하여, 가변된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 생성하여 출력한다.
- [0073] 레벨슈프터(113b)는 파워 집적소자(112b)에서 출력되는 가변 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 차지 펄핑하여 클럭신호(CLK)를 생성하여 출력한다.
- [0074] 또한, 본 발명의 제2실시예는 액정패널의 비표시영역(P)에 배치되며 레벨슈프터(113b)에서 출력된 클럭신호(CLK)를 인가받아 게이트 배선(미도시)에 게이트신호(Vgout)를 출력하는 게이트 내장회로부(114b)를 더 포함한다.
- [0075] 한편, 액정표시장치의 화소전극에 인가되는 데이터전압은 박막트랜지스터의 기생용량으로 인하여 발생하는 킥백전압(Kickback Voltage, 또는 Feed Through Voltage,  $\Delta V_p$ )에 의해 영향을 받는다.
- [0076] 상기 킥백전압( $\Delta V_p$ )은 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압에 비례한다.
- [0077] 도 3에 도시한 바와 같이, 본 발명의 제2실시예의 경우, 클럭신호(CLK)는 앞서 출력된 클럭신호(CLK)와 일정구간 중첩되는 제1구간(P1)과 중첩되지 않는 제2구간(P2)으로 구분되며, 초기 구동시부터 말기 구동시까지 클럭신호(CLK)의 제1 및 제2구간(P1, P2)에서, 피드백전압(Vfb)이 가변되어 게이트 하이전압(VGH) 또는 게이트 로우전압(VGL)이 가변되면 킥백전압( $\Delta V_p$ )도 변동되게 된다.
- [0078] 이러한, 킥백전압( $\Delta V_p$ )의 변동으로 인하여 액정셀의 화소전극에 인가되는 데이터전압이 변동되어 표시화상에서 플리커, 잔상, 색편차등이 보일 수 있다.
- [0079] 도 6은 본 발명의 제2실시예의 효과를 설명하기 위한 도면이다.
- [0080] 도 6에 도시한 바와 같이, 그래프의 가로축은 시간(t)을 나타내고, 세로축은 게이트 하이전압(VGH)을 나타내고, 그래프 상에 나타난 직선 아래의 면적은 게이트 내장회로 내부의 박막트랜지스터가 받는 스트레스 정도를 나타낸다.
- [0081] 종래의 액정표시장치의 게이트 하이전압(VGH)의 출력과형(a)을 보면 전원공급 회로의 피드백부(도1의 11)는 초기 구동시부터 말기 구동시까지 지속적으로 높은 피드백전압(Vfb)을 출력하여, 파워 집적소자(도1의 12)도 초기 구동시부터 말기 구동시까지 지속적으로 높은 게이트 하이전압(VGH)을 출력하지만, 제2실시예의 액정표시장치의 게이트 하이전압(VGH)의 출력과형(b)을 보면, 피드백부(111b)가 초기 구동시에 낮은 피드백전압(Vfb)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 피드백전압(Vfb)을 출력하므로, 파워 집적소자(112b)도 초기 구동시에 낮은 게이트 하이전압(VGH)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 게이트 하이전압(VGH)을 출력하게 되어, 초기 구동시부터 말기 구동시까지 종래의 액정표시장치에 비해 X영역만큼 게이트 내장회로부(114b) 내의 박막트랜지스터에 인가되는 스트레스를 줄일 수 있다.
- [0082] 이에 따라, 게이트 내장회로부(114b) 내의 박막트랜지스터의 성능 및 수명을 향상시킬 수 있다.

- [0083] 또한, 초기 구동시에는 낮은 피드백전압(Vfb) 및 게이트 하이전압(VGH)에 의해 전원공급 회로에서 소모되는 소비전력을 줄일 수 있는 효과가 있다.
- [0084] 또한, 말기 구동시에는 높은 피드백전압(Vfb) 및 게이트 하이전압(VGH)에 의해 클럭신호(CLK)의 레벨이 목표치 이하로 출력되는 경우를 방지하여, 게이트 내장회로부(114b) 내의 박막트랜지스터가 정상적으로 턴-온 되지 않아 발생하는 화면 이상현상을 방지할 수 있다.
- [0085] 제1 및 제2박막트랜지스터(T1, T2)는 액정패널의 비표시영역(P)에 배치되는 것을 특징으로 한다.
- [0086] 구체적으로, 게이트 내장회로부(114b)에는 다수의 박막트랜지스터를 포함하고, 이들 박막트랜지스터는 액정패널의 표시영역의 박막트랜지스터와 함께 형성되는데, 제1 및 제2박막트랜지스터(T1, T2)를 별도로 전원공급부 영역(B)의 전원공급 회로에 구성하지 않고, 액정패널의 비표시영역(P)에 배치되어, 게이트 내장회로부(114b)의 박막트랜지스터와 함께 형성함으로써 제조 비용이 절감되는 효과가 있다.
- [0087] 도면에는 도시하지 않았지만, 본 발명의 제2실시예의 액정표시장치는 앞서 설명한 전원공급 회로와 게이트 배선과 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널과 게이트 내장회로부(114b)를 포함하는 게이트 구동부와 데이터 배선을 구동시키는 데이터 구동부와, 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 컨트롤러를 포함하여 이루어진다.
- [0088] <제 3 실시예>
- [0089] 도 4는 본 발명의 제3실시예의 액정표시장치의 전원공급 회로의 블록도이고, 도 5는 본 발명의 제3실시예의 게이트 신호의 출력파형을 도시한 도면이다.
- [0090] 도4에 도시한 바와 같이, 본 발명의 제3실시예의 액정표시장치의 전원공급 회로는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 제1피드백전압(Vfb1)을 출력하는 제1피드백부(211a)와 일정한 저항비로 분압하여 고정된 제2피드백전압(Vfb2)을 출력하는 제2피드백부(211b)와 제1피드백전압(Vfb1)에 의해 제1게이트 하이전압(VGH1) 및 제1게이트 로우전압(VGL1)을 출력하거나, 제2피드백전압(Vfb2)에 의해 제2게이트 하이전압(VGH2) 및 제2게이트로우전압(VGL2)을 출력하는 파워 집적소자(212)와 제1게이트 하이전압(VGH1) 및 제1게이트 로우전압(VGL1)을 차지 펌핑하여 제1클럭신호(CLK1)를 출력하거나, 제2게이트 하이전압(VGH2) 및 제2게이트로우전압(VGL2)을 차지 펌핑하여 제2클럭신호(CLK2)를 출력하는 레벨슈프터(213)를 포함한다.
- [0091] 제1피드백부(211a)는 전원전압(VDD)을 각기 다른 저항비로 분압하여 가변된 제1피드백전압(Vfb1)을 출력한다.
- [0092] 또한, 제1피드백부(211a)는 전원전압(VDD)을 가변된 제1피드백전압(Vfb1)으로 분압하는 제1 내지 제3저항(R1-R3)과 게이트전극(G) 및 소스/드레인전극(S, D)으로 이루어진 제1박막트랜지스터(T1)를 포함한다.
- [0093] 이 때, 제1 내지 제3저항(R1-R3)의 일단은 제1피드백전압(Vfb1)의 출력단에 각각 연결되고, 제1저항(R1)의 타단은 접지단에 연결되고, 제2저항(R2)의 타단 및 제1박막트랜지스터(T1)의 소스전극(S) 및 게이트전극(G)은 전원전압(VDD)의 입력단에 연결되고, 제3저항(R3)의 타단은 제1박막트랜지스터(T1)의 드레인전극(D)에 연결된다.
- [0094] 이 때, 클럭신호(CLK)는 앞서 출력된 클럭신호(CLK)와 일정구간 중첩되는 제1구간(P1)과 중첩되지 않는 제2구간(P2)으로 구분된다.
- [0095] 구체적으로, 제1구간(P1)에서 제1피드백부(211a)가 제1피드백전압(Vfb1)을 가변하여 출력하는 방법에 대해 설명하겠다.
- [0096] 먼저, 제1박막트랜지스터(T1)에 흐르는 전류량에 의해 제1피드백전압(Vfb1)이 가변되는데, 제1박막트랜지스터(T1)에는 초기 구동시 최대 전류가 흘러 제1 내지 제3저항(R1-R3)에 의해 전원전압(VDD)이 분압되어 제1피드백전압(Vfb1)을 출력한다.
- [0097] 이후, 점차 감소되어 말기 구동시 최소 전류가 흘러 제1 및 제2저항(R1, R2)에 의해 전원전압(VDD)이 분압되어 제1피드백전압(Vfb1)을 출력한다.
- [0098] 예를 들어, 제1구간(P1)에서 제1피드백부(211a)는 초기 구동시 상기 제1박막트랜지스터(T1)가 턴-온 되어 전원전압(VDD)을 제1 내지 제3저항(R1-R3)의 저항비에 의해 분압하여 제1피드백전압(Vfb1)을 생성하고, 말기 구동시 제1박막트랜지스터(T1)가 턴-오프 되어 전원전압(VDD)을 제1 및 제2저항(R1, R2)의 저항비에 의해 분압하여 제1피드백전압(Vfb1)을 생성하게 된다.

- [0099] 제1구간(P1)에서 파워 집적소자(212)는 제1피드백부(211a)에서 출력된 가변 제1피드백전압(Vfb1)을 근거로 하여, 가변된 제1게이트 하이전압(VGH1) 및 제1게이트 로우전압(VGL1)을 생성하여 출력한다.
- [0100] 제2피드백부(211b)는 제4 및 제5저항(R4, R5)을 포함하고, 제4 및 제5저항(R4, R5)의 일단은 제2피드백전압(Vfb2)의 출력단에 각각 연결되고, 제4저항(R4)의 타단은 접지단에 연결되고, 제5저항(R5)의 타단은 전원전압(VDD)의 입력단에 연결된다.
- [0101] 제2구간(P2)에서 제2피드백부(211b)는 직렬 접속된 저항(R4, R5)을 이용하여 전원전압(VDD)을 소정 비율로 분압하여 그에 따른 제2피드백전압(Vfb2)을 출력한다.
- [0102] 제2구간(P2)에서 파워 집적소자(212)는 제2피드백전압(Vfb2)을 근거로 하여, 제2게이트 하이전압(VGH2) 및 제2게이트 로우전압(VGL2)을 생성하여 출력한다.
- [0103] 레벨슈프터(213)는 제1 및 제2구간(P1, P2)에서 파워 집적소자(212)가 출력한, 가변된 제1게이트 하이전압(VGH1) 및 제1게이트 로우전압(VGL1)과 고정된 제2게이트 하이전압(VGH2) 및 제2게이트 로우전압(VGL2)을 차지 펌핑하여 각각 제1 또는 제2클럭신호(CLK1, CLK2)를 생성한다.
- [0104] 또한, 본 발명의 제3실시예는 액정패널의 비표시영역에 배치되며 레벨슈프터(213)로부터 제1 또는 제2클럭신호(CLK1, CLK2)를 인가받아 게이트 배선(미도시)에 게이트신호(Vgout)를 출력하는 게이트 내장회로부(214)를 더 포함한다.
- [0105] 한편, 액정표시장치의 화소전극에 인가되는 데이터전압은 박막트랜지스터의 기생용량으로 인하여 발생하는 킥백전압(Kickback Voltage, 또는 Feed Through Voltage,  $\Delta V_p$ )에 의해 영향을 받는다.
- [0106] 상기 킥백전압( $\Delta V_p$ )은 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압에 비례한다.
- [0107] 도 5에 도시한 바와 같이, 본 발명의 제3실시예의 클럭신호(CLK)는 앞서 출력된 클럭신호(CLK)와 일정구간 중첩되는 제1구간(P1)과 중첩되지 않는 제2구간(P2)으로 구분되며, 제1구간(P1)의 피드백 전압(Vfb) 및 게이트 하이전압(VGH)은 초기 및 말기 구동시 가변되고, 제2구간(P2)의 피드백 전압(Vfb) 및 게이트 하이전압(VGH)은 초기 및 말기 구동시 고정된다.
- [0108] 이 때, 제1구간(P1)과 제2구간(P2)을 검출하는 검출부(미도시)를 통해 제1구간(P1)에서는 제1피드백부(211a)를 선택하고, 제2구간(P2)에서는 제2피드백부(211b)를 선택한다.
- [0109] 이 때, 제2구간(P2)은 액정셀에 데이터 전압이 충전되는 구간으로, 제1구간(P1)에서 제1피드백 전압(Vfb1) 및 제1게이트 하이전압(VGH1)이 가변되더라도, 제2구간(P2)에서 제2피드백 전압(Vfb2) 및 제2게이트 하이전압(VGH2)이 고정되어, 제2구간(P2)에서 킥백전압( $\Delta V_p$ )이 동일하게 되어 플리커, 잔상, 색편차등을 방지할 수 있는 효과가 있다.
- [0110] 또한, 제2구간(P2)의 제2피드백 전압(Vfb2) 및 제2게이트 하이전압(VGH2)은 제1구간(P1)의 제1피드백 전압(Vfb1) 및 제1게이트 하이전압(VGH1)보다 낮은 전압레벨인 것을 특징으로 한다.
- [0111] 따라서, 제2구간(P2)에서 킥백전압( $\Delta V_p$ )이 낮게 되어 플리커, 잔상, 색편차등을 더욱더 방지할 수 있는 효과가 있다.
- [0112] 도 6은 본 발명의 제3실시예의 효과를 설명하기 위한 도면이다.
- [0113] 도 6에 도시한 바와 같이, 그래프의 가로축은 시간(t)을 나타내고, 세로축은 게이트 하이전압(VGH)을 나타내고, 그래프 상에 나타난 직선 아래의 면적은 게이트 내장회로 내부의 박막트랜지스터가 받는 스트레스 정도를 나타낸다.
- [0114] 여기서, 게이트 하이전압(VGH)은 제1구간(P1)에서의 제1게이트 하이전압(VGH1)을 의미한다.
- [0115] 종래의 액정표시장치의 게이트 하이전압(VGH)의 출력과형(a)을 보면 전원공급 회로의 피드백부(도1의 11)는 초기 구동시부터 말기 구동시까지 지속적으로 높은 피드백전압(Vfb)을 출력하여, 파워 집적소자(도1의 12)도 초기 구동시부터 말기 구동시까지 지속적으로 높은 게이트 하이전압(VGH)을 출력하지만, 제3실시예의 액정표시장치의 게이트 하이전압(VGH)의 출력과형(b)을 보면, 제1피드백부(211a)가 초기 구동시에 낮은 제1피드백전압(Vfb1)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 제1피드백전압(Vfb1)을 출력하므로, 파워 집적소자(212)도 초기 구동시에 낮은 제1게이트 하이전압(VGH1)을 출력하고 이후 점차 증가하여 말기 구동시에 높은 제1게이트 하이전압(VGH1)을 출력하게 되어, 초기 구동시부터 말기 구동시까지 종래의 액정표시장치에 비해 X영역만큼 게이

트 내장회로부(214) 내의 박막트랜지스터에 인가되는 스트레스를 줄일 수 있다.

[0116] 이에 따라, 게이트 내장회로부(214) 내의 박막트랜지스터의 성능 및 수명을 향상시킬 수 있다.

[0117] 또한, 초기 구동시에는 낮은 제1피드백전압(Vfb1) 및 제1게이트 하이전압(VGH1)에 의해 전원공급 회로에서 소모되는 소비전력을 줄일 수 있는 효과가 있다.

[0118] 또한, 말기 구동시에는 높은 제1피드백전압(Vfb1) 및 제1게이트 하이전압(VGH1)에 의해 클럭신호(CLK)의 레벨이 목표치 이하로 출력되는 경우를 방지하여, 게이트 내장회로부(214) 내의 박막트랜지스터가 정상적으로 턴-온되지 않아 발생하는 화면 이상현상을 방지할 수 있다.

[0119] 제1박막트랜지스터(T1)는 액정패널의 비표시영역(P)에 배치되는 것을 특징으로 한다.

[0120] 구체적으로, 게이트 내장회로부(214)에는 다수의 박막트랜지스터를 포함하고, 이들 박막트랜지스터는 액정패널의 표시영역의 박막트랜지스터와 함께 형성되는데, 제1박막트랜지스터(T1)를 별도로 전원공급부 영역(B)의 전원공급 회로에 구성하지 않고, 액정패널의 비표시영역(P)에 배치되어, 게이트 내장회로부(214)의 박막트랜지스터와 함께 형성함으로써 제조 비용이 절감되는 효과가 있다.

[0121] 도면에는 도시하지 않았지만, 본 발명의 제3실시예의 액정표시장치는 앞서 설명한 전원공급 회로와 게이트 배선과 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널과 게이트 내장회로부(214)를 포함하는 게이트 구동부와 데이터 배선을 구동시키는 데이터 구동부와, 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 컨트롤러를 포함하여 이루어진다.

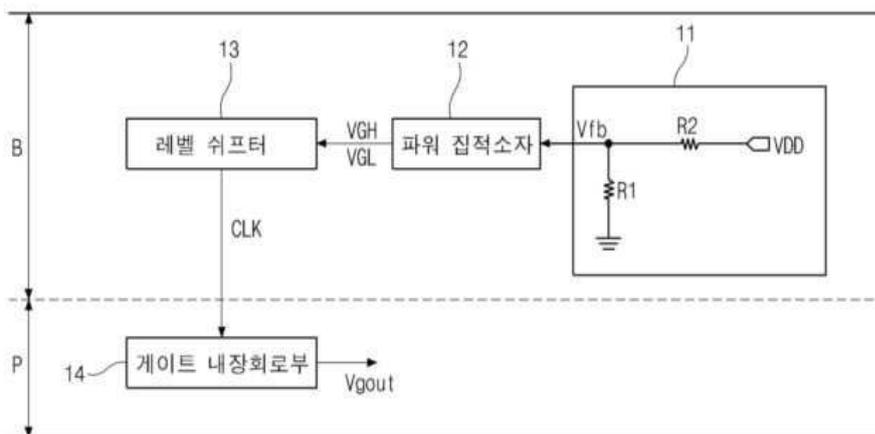
[0122] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

**부호의 설명**

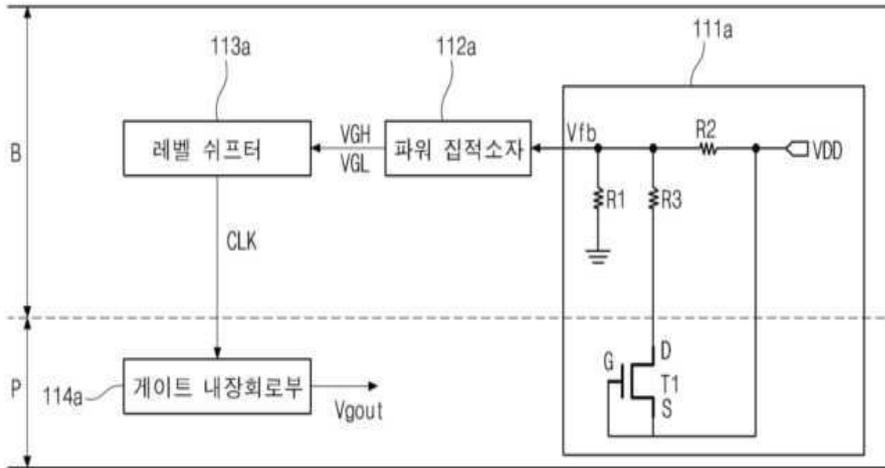
- [0123] 111 : 피드백부
- 112 : 파워 집적소자
- 113 : 레벨슈프터
- 114 : 게이트 내장회로부

**도면**

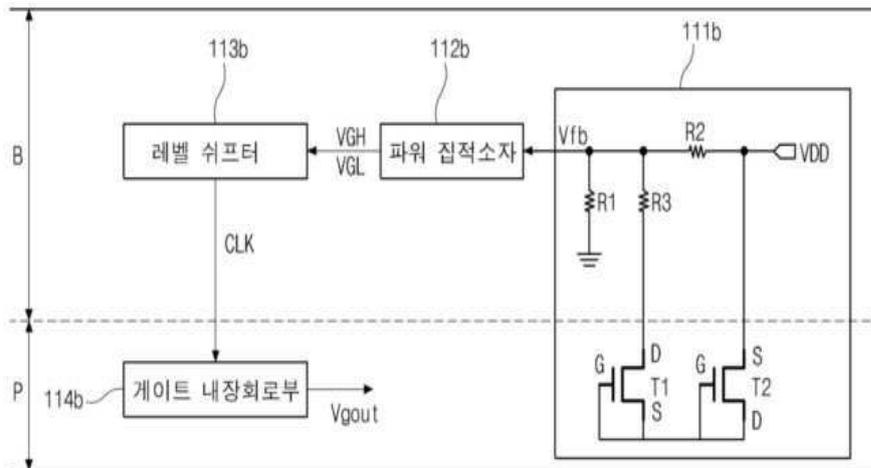
**도면1**



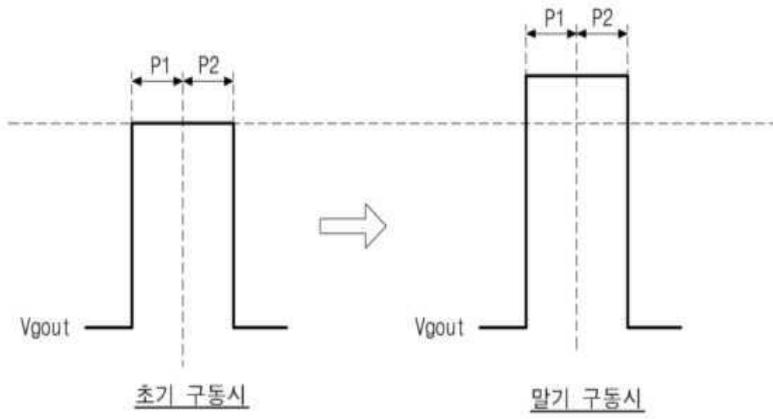
도면2a



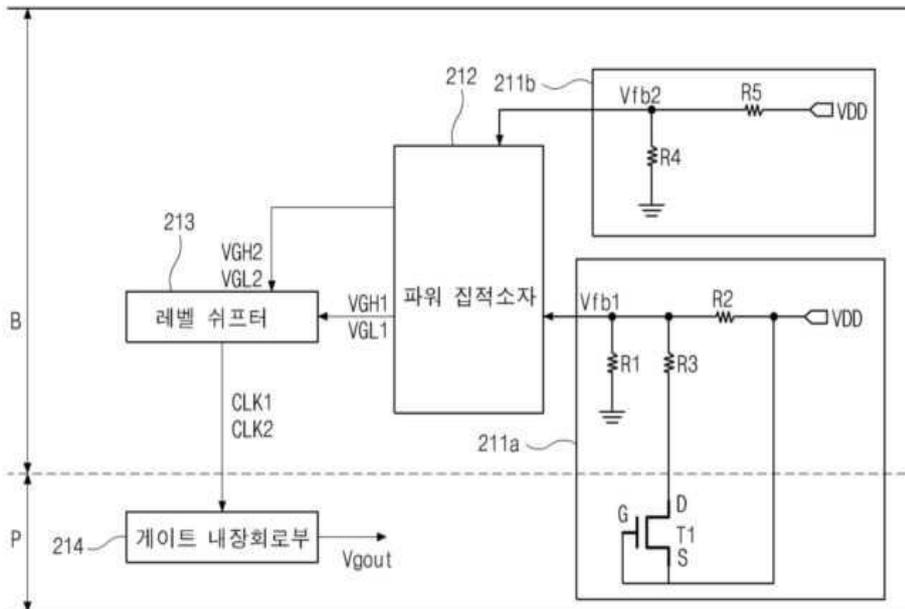
도면2b



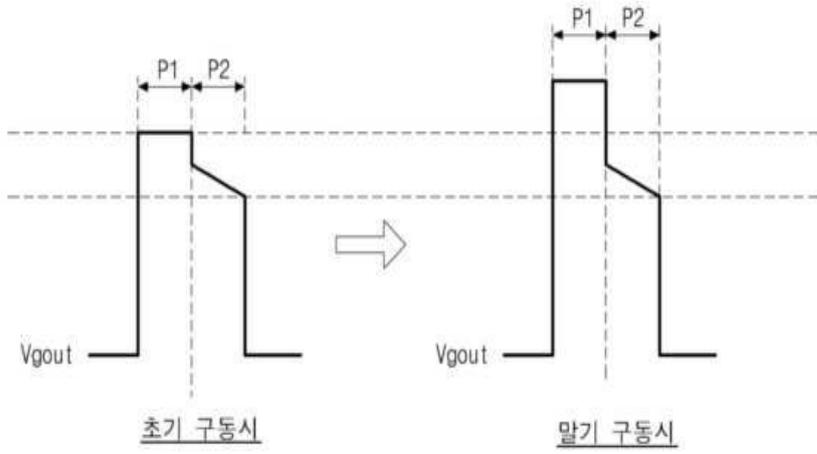
도면3



도면4



도면5



도면6

