(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월19일
(11) 등록번호 10-2278192
(24) 등록일자 2021년07월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/1362* (2006.01)
(21) 출원번호 10-2014-0119342
(22) 출원일자 2014년09월05일
심사청구일자 2019년08월06일
(65) 공개번호 10-2016-0029993
(43) 공개일자 2016년03월16일
(56) 선행기술조사문헌
KR1019960024598 A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
우창승
경기도 고양시 덕양구 고양대로1384번길 30 901동 1310호 (성사동,신원당9단지아파트)
홍순환
서울특별시 은평구 갈현로31길 21-1 (갈현동)
(74) 대리인
특허법인다나

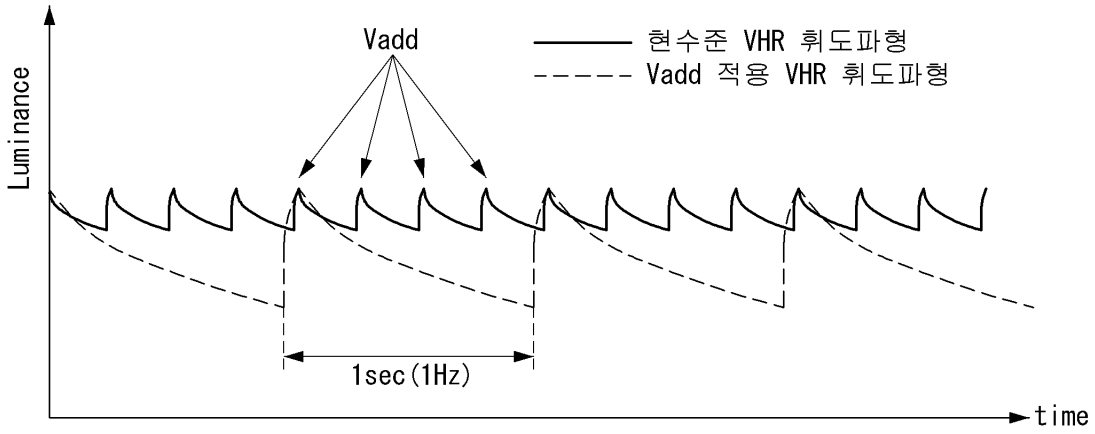
전체 청구항 수 : 총 7 항 심사관 : 이옥우

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명은 표시장치에 관한 것으로, 네가티브 액정과 스토리지 커패시터를 가지는 픽셀들; 및 저속 구동 모드에서 프레임 주파수를 낮추고 1 프레임 기간 동안 픽셀들의 스토리지 커패시터에 보상 전압을 1회 이상 공급하는 보상 전압 공급부를 포함하여 저속 구동 모드에서 휘도 변동 없는 영상을 구현할 수 있다.

대 표 도 - 도5



(56) 선행기술조사문헌
KR1019990044220 A
KR1020030084301 A
KR1020030089072 A
KR1020070082965 A
KR1020120053159 A

명 세 서

청구범위

청구항 1

네가티브 액정과 스토리지 커패시터를 가지는 픽셀들; 및

저속 구동 모드에서 프레임 주파수를 낮추고 1 프레임 기간 동안 상기 픽셀들의 스토리지 커패시터에 보상 전압을 1회 이상 공급하는 보상 전압 공급부를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 스토리지 커패시터는

데이터 라인을 따라 형성되는 보상 라인; 및

무기 보호막을 사이에 두고 상기 보상 라인에 중첩되고 픽셀 전극으로부터 연장된 픽셀 전극의 연장부를 포함하고,

상기 보상 전압이 상기 저속 구동 모드에서 상기 보상 라인에 공급되는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 보상 전압은 입력 영상의 데이터의 계조에 비례하여 가변되는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 픽셀들 각각은 산화물 TFT를 포함하는 액정표시장치.

청구항 5

제 2 항에 있어서,

노말 구동 모드에서 상기 프레임 주파수를 50Hz 이상의 일정한 주파수로 제어하고, 상기 보상 전압을 발생하지 않는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 노말 구동 모드에서 상기 보상 라인에 공통 전압이 공급되는 액정표시장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 픽셀들에 산화물 TFT가 형성된 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 저속 구동 모드를 갖는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 정지 화면에서 프레임 주파수(Frame rate 혹은 Frame frequency)를 낮추어 소비 전력을 낮추는 방법이 시도되고 있다. 그런데 프레임 주파수를 낮추면, 데이터 전압이 바뀔 때마다 휘도가 번쩍이는 현상이 보이거나 픽셀의 전압 방전 시간이 길어져 휘도가 업데이트 주기로 휘도가 깜빡이는 플리커 현상이 보일 수 있다. 따라서, 화질 저하로 인하여 액정표시장치의 프레임 주파수를 낮추기가 어렵다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 프레임 주파수를 낮추는 저속 구동 모드에서 픽셀의 휘도 변동이 없는 액정표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 네가티브 액정과 스토리지 커패시터를 가지는 픽셀들; 및 저속 구동 모드에서 프레임 주파수를 낮추고 1 프레임 기간 동안 픽셀들의 스토리지 커패시터에 보상 전압을 1회 이상 공급하는 보상 전압 공급부를 포함한다.

발명의 효과

[0007] 본 발명은 프레임 주파수를 낮추는 저속 구동 모드에서 픽셀의 스토리지 커패시터에 보상 전압을 공급하여 픽셀의 방전을 억제함으로써 저속 구동 모드에서 휘도 변동 없는 영상을 구현할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 보여 주는 흐름도이다.

도 3은 포지티브 액정을 적용한 액정표시장치의 경우에, 저속 구동 모드에서 휘도 변화를 보여 주는 파형도이다.

도 4는 네가티브 액정을 적용한 액정표시장치의 경우에, 저속 구동 모드에서 휘도 변화를 보여 주는 파형도이다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 저속 구동 모드에서 픽셀의 휘로를 보여 주는 파형도이다.

도 6은 픽셀을 보여 주는 평면도이다.

도 7은 도 6에서 선 "I-I'"을 따라 절취하여 픽셀의 단면 구조를 보여 주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0010] 도 1을 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동부(102, 104), 전원부(112) 등을 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0011] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다. 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과양을 조정한다.

[0012] 표시패널(100)의 하부 기판에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. TFT들은 서브 픽셀 마다 하나씩 형성되어 픽셀 전극(1)에 연결된다. TFT들은 비정질 실리콘(amorphose Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. 산화물 TFT는 오프 상태의 누설 전류가 매우 낮기 때문에 저속 구동 모드에서 픽셀들의 방전을 억제할 수 있다. 따라서, 저속 구동 모드를 고려하면 산화물 TFT가 바람직하다.

[0013] 표시패널(100)의 하부 기판에 형성된 TFT들은 비정질 실리콘(amorphose Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 화소 전극에 1:1로 연결된다.

[0014] 표시패널(100)의 상부 기판 상에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기판 상에 형성될 수 있다. 표시패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 배향막은 광배향막으로 구현될 수 있다.

[0015] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0016] 표시패널 구동부(102, 104)는 데이터 구동부(102)와 게이트 구동부(104)를 포함한다.

[0017] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 데이터 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결된다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)로부터 입력 영상의 디지털 비디오 데이터를 입력 받는다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)의 제어 하에 입력 영상의 디지털 비디오 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 소스 드라이브 IC들의 출력 전압은 데이터 라인들(S1~Sm)에 공급된다. 데이터 구동부(102)의 소스 드라이브 IC들은 저속 구동 모드에서 프레임 주파수가 낮아지므로 동작 주파수가 낮아진다.

[0018] 소스 드라이드 IC들 각각은 타이밍 콘트롤러(106)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시켜 데이터 라인들(S1~Sm)로 출력한다. 소스 드라이브 IC들은 데이터 라인들에 인가되는 데이터 전압의 극성을 1 프레임 기간 동안 유지한 후, 매 프레임마다 데이터전압의 극성을 반전시킬 수 있다.

[0019] 게이트 구동부(104)는 타이밍 콘트롤러(106)의 제어 하에 게이트 라인들(G1~Gn)에 데이터 전압에 동기되는 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(104)로부터 출력된 게이트 펄스는 픽셀들에 충전될 정극성/부극성 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 같은 제조 공정에서 픽셀 어레이와 함께 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. 게이트 구동부(104)는 저속 구동 모드에서 프레임 주파수가 낮아지므로 동작 주파수가 낮아진다.

[0020] 타이밍 콘트롤러(106)는 호스트 시스템(110)으로부터 수신된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(106)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(110)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭(CLK) 등을 포함한다. 타이밍 콘트롤러(106)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 콘트롤러(106)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다.

[0021] 타이밍 콘트롤러(106)는 노멀 구동 모드(Normal driving mode)에서 입력 영상의 프레임 주파수×N(N은 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(102, 104)의 동작 타이밍을 제어할 수 있다. 입력 영상의 프레임 주파수(frame rate)는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0022] 타이밍 콘트롤러(106)는 저속 구동 모드(Low frame rate driving mode)에서 프레임 주파수를 낮추어 소비 전력을 줄이고, 저속 구동 모드에서 픽셀들의 방전을 보상하기 위하여 표시패널 구동부(102, 104)를 제어하여 픽셀들에 매 프레임 기간 마다 소정의 보상 전압을 매 프레임 기간마다 1회 이상 공급한다. 저속 구동 모드에서 프레임 주파수는 30Hz ~ 1Hz 정도로 낮아질 수 있으나 이에 한정되지 않는다. 따라서, 저속 구동 모드에서 픽셀들의 데이터가 업데이트되는 주기인 프레임 기간이 늦어져 표시패널 구동부(102, 104)의 동작 주파수가 낮아진다.

[0023] 호스트 시스템(110)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0024] 전원부(112)는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널(100)의 구동에 필요한 전압들을 발생한다. 이 전압들은 고전위 전원전압(Vdd), 로직 전원전압(Vcc), 감마기준전압, 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공통전압(Vcom), 보상 전압(Vadd) 등을 포함한다. 고전위 전원전압(Vdd)은 표시패널(100)의 픽셀에 충전될 최대 데이터 전압이다. 로직 전원전압(Vcc)은 타이밍 콘트롤러(106), 데이터 구동부(102)의 소스 드라이브 IC들, 및 게이트 구동부(104)의 게이트 드라이브 IC들의 구동에 필요한 전압 전압이다. 게이트 하이전압(VGH)은 픽셀 어레이의 TFT들의 문턱전압 이상으로 설정된 게이트 펄스의 하이논리전압이고, 게이트 로우 전압(VGL)은 픽셀 어레이의 TFT들의 문턱 전압 보다 낮은 전압으로 설정된 게이트 펄스의 로우논리전압이다. 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)은 게이트 구동부(104)에 공급된다. 공통전압(Vcom)은 액정셀들(Clc)의 공통전극(2)에 공급된다. 감막기준전압은 고전위 전원전압(Vdd)의 분압으로 생성된다. 감마기준전압은 소스 드라이브 IC들에 공급된다. 소스 드라이브IC들은 감마기준저압을 분압하여 계조별 정극성/부극성 감마보상전압을 발생하고, 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환함으로써 데이터 전압을 출력한다.

[0025] 저속 구동 모드에서 픽셀들에 입력 영상의 데이터 전압 이외에 보상 전압(Vadd)이 공급된다. 보상 전압(Vadd)은 노말 구동 모드에서 픽셀들에 공급되지 않는다. 전원부(112)의 보상 전압 공급부는 저속 구동 모드에서 1 프레임 기간 동안 픽셀들의 스토리지 커패시터(Cst)에 보상 전압(Vadd)을 1회 이상 공급한다.

[0026] 보상 전압(Vadd)은 입력 영상 데이터의 계조에 따라 가변되는 전압으로 발생될 수 있다. 타이밍 콘트롤러(101)는 저속 구동 모드에서 매 프레임 기간 마다 입력 영상 데이터의 계조값에 따라 미리 설정된 보상 데이터를 선택한다. 전원부(112)는 타이밍 콘트롤러(101)로부터의 보상 데이터를 디지털-아날로그 변환기(Digital to Analog Converter, DAC)에 입력하여 계조에 따라 가변되는 보상 전압(Vadd)을 발생할 수 있다.

[0027] 도 2는 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 보여 주는 흐름도이다.

[0028] 도 2를 참조하면, 본 발명의 액정표시장치는 저속 구동 모드에서 프레임 주파수를 낮추고 픽셀들에 입력 영상의 데이터 전압(Vdata)과 보상 전압(Vadd)을 공급한다(S1 및 S2). 데이터 전압(Vdata)은 데이터 라인과 TFT를 통해 픽셀 전극(1)에 공급된다. 보상 전압(Vadd)은 데이터 라인과 TFT를 경유하지 않고 픽셀 전극(1)에 연결된 스토리지 커패시터(Cst)에 직접 공급된다.(S3) 보상 전압(Vadd)은 저속 구동 모드에서 길어진 1 프레임 기간 내에서 1 회 이상 픽셀들의 스토리지 커패시터(Cst)에 공급된다.

[0029] 타이밍 콘트롤러(106)는 입력 영상을 분석하여 정지 영상이 소정 시간 이상 반복될 때 동작 모드를 저속 구동 모드로 전환한다. 저속 구동 모드는 정지 영상에 한정되지 않고 미리 설정된 콘텐츠나 애플리케이션(application) 프로그램에서 선택될 수 있다.

[0030] 본 발명의 액정표시장치는 저속 구동 모드가 아니라면 노말 구동 모드로 동작하여 프레임 주파수를 50Hz 이상의 일정한 주파수로 제어하고, 보상 전압(Vadd)을 발생하지 않는다(S2). 노말 구동 모드에서 픽셀들에 추가 전(Vadd)이 공급되지 않는다.

[0031] 본원의 발명자들은 다양한 시료들에 대하여 저속 구동 모드에서 동작 특성을 실험한 결과, 저속 구동 모드에서 액정 재료와 TFT에 따라 픽셀들의 휘도 변화를 측정하였다. 그 결과, 포지티브(positive) 액정(nLC)에 비하여 네가티브(negative) 액정(nLC)이 저속 구동 모드에 적합하지만 네가티브 액정(nLC)에서도 픽셀들의 방전 문제를 개선할 필요가 있음을 확인하였다.

[0032] 포지티브 액정(pLC)을 적용한 액정표시장치의 경우에, 저속 구동 모드에서 픽셀들의 휘도 감소폭이 작지만 도 3과 같이 포지티브 액정(pLC)의 물성으로 인하여 데이터 전압(Vdata)의 극성이 반전될 때 화면 전체가 번쩍하는 현상이 보였다. 이는 포지티브 액정(pLC)의 변전성(flexoelectricity) 때문이다. 이에 비하여, 네가티브 액정(nLC)을 적용한 액정표시장치의 경우에, 저속 구동 모드에서 데이터 전압(Vdata)의 극성이 반전될 때 도 4와 같이 픽셀들의 방전양이 상대적으로 커 1 프레임 기간이 길어지면 픽셀들의 휘도 변화(ΔL)가 커져 1 프레임 기간 주기로 화면이 깜박이는 플리커 현상이 보였다. 본 발명은 액정층을 네가티브 액정(nLC)으로 구현하고 저속 구동 모드에서 네가티브 액정(nLC)의 과도한 방전을 방지하기 위하여 픽셀들의 스토리지 커패시터에 보상 전압(Vadd)을 공급한다.

[0033] 도 5는 본 발명의 실시예에 따른 액정표시장치의 저속 구동 모드에서 픽셀의 휘로를 보여 주는 파형도이다. 이 액정표시장치는 네가티브 액정(nLC)으로 이루어진 액정층과, 산화물 TFT를 포함한다.

[0034] 도 5를 참조하면, 본 발명의 액정표시장치는 저속 구동 모드에서 매 프레임 기간 마다 픽셀들의 스토리지 커패시터(Cst)에 보상 전압(Vadd)을 1회 이상 공급한다. 도 5의 예는 프레임 주파수를 1Hz의 프레임 주파수로 낮추고 보상 전압(Vadd)을 1 프레임 기간(1sec) 동안 4회 연속 공급한 예이지만 이에 한정되지 않는다. 예컨대, 보상 전압(Vadd)은 1 프레임 기간 내에서 1회 이상 8회 이하 픽셀들에 연속으로 공급될 수 있다.

[0035] 도 5에서 알 수 있는 바와 같이, 저속 구동 모드에서 보상 전압(Vadd)을 픽셀들의 스토리지 커패시터(Cst)에 공급하면 VHR(Voltage holding ratio)을 개선하여 픽셀의 휘도 변화를 줄일 수 있다. 실험 결과에 의하면, 보상 전압(Vadd)은 입력 영상의 데이터 전압(Vdata)의 계조에 따라 가변되어야만 저속 구동 모드에서 픽셀 전압의 왜곡 없이 픽셀의 휘도를 유지할 수 있다.

[0036] 보상 전압(Vadd)은 입력 영상 데이터의 계조에 비례하는 전압으로 설정될 수 있다. 예를 들어, 입력 영상 데이터의 계조값 X를 GX라 할 때, 보상 전압(Vadd)은아래의 표 1과 같이 공통 전압(Vcom)을 기준으로 그 보다 높은 전압으로 설정될 수 있다.

표 1

[0037]

데이터의 계조	보상전압
G256	Vcom + 0.975V
G191	Vcom + 0.516V
G127	Vcom + 0.210V
G63	Vcom + 0.045V

[0038] 보상 전압(Vadd)은 정극성 보상 전압과 부극성 보상 전압으로 나뉘어질 수 있다. 정극성 보상 전압은 정극성 데이터 전압이 충전된 픽셀의 스토리지 커패시터(Cst)에 공급되고, 표 1과 같은 공통 전압(Vcom) 보다 높은 전압으로 설정된다. 부극성 보상 전압은 부극성 데이터 전압이 충전된 픽셀의 스토리지 커패시터(Cst)에 공급되고, 공통 전압(Vcom) 보다 낮은 전압으로 설정된다. 정극성 보상 전압과 부극성 보상 전압 각각은 데이터의 계조에 비례하여 공통 전압과의 차이가 더 커진다.

[0039] 도 6은 픽셀을 보여 주는 평면도이다. 도 7은 도 6에서 선 "I-I'"을 따라 절취하여 픽셀의 단면 구조를 보여 주는 단면도이다. 도 6의 평면도에서, 데이터 라인은 생략되어 있다.

[0040] 도 6 및 도 7을 참조하면, 기판(SUBS) 상에 게이트 금속 패턴이 형성된다. 게이트 금속 패턴은 구리(Cu)로 형성될 수 있다. 게이트 금속 패턴은 게이트 라인(GL), 공통 전압 버스 라인(CBL), 보상 전압 버스 라인(ABL) 등을 포함한다. TFT의 게이트 전극(G)은 게이트 라인(GL)과 일체화되어 있다. 게이트 절연막(GI)은 게이트 금속 패턴을 덮는다. 게이트 절연막(GI)은 SiOx로 형성될 수 있다. 공통 전압 버스 라인(CBL)은 콘택홀(Contact

hole)을 통해 공통 전극(COM)과 연결되어 공통 전극(COM)에 공통 전압(Vcom)을 공급한다. 보상 전압 버스 라인(ABL)은 저속 구동 모드에서 콘택홀을 통해 보상 라인(AL)에 보상 전압(Vadd)을 공급한다.

[0041] TFT는 산화물 TFT로 형성될 수 있다. 산화물 반도체 패턴(ACT)은 TFT의 게이트 전극(G)과 중첩되도록 게이트 절연막(GI) 상에 형성된다. 산화물 반도체는 인듐-갈륨-아연 산화물(Indium-Galium-Zinc Oxide, IGZO)으로 선택될 수 있으나 이에 한정되지 않는다.

[0042] 게이트 절연막(GI) 상에 소스-드레인 금속 패턴이 형성된다. 소스-드레인 금속 패턴은 구리(Cu)로 형성될 수 있으나 이에 한정되지 않는다. 소스-드레인 금속 패턴은 데이터 라인, TFT의 소스 전극(S), TFT의 드레인 전극(D) 등을 포함한다. TFT의 소스 전극(S)과 드레인 전극(D)은 산화물 반도체 패턴(ACT)과 오믹 콘택(Ohmic contact)된다. TFT의 드레인 전극(D)은 데이터 라인(DL)에 일체화되어 있다. TFT의 소스 전극(S)은 제1 무기 보호막(PAS1), 유기 보호막(PAC) 및 제2 무기 보호막(PAS2)을 관통하는 콘택홀을 통해 픽셀 전극(PXL)과 연결된다.

[0043] 제1 무기 보호막(PAS1)은 소스-드레인 금속 패턴을 덮도록 게이트 절연막(GI) 상에 형성된다. 제1 무기 보호막(PAS1)은 SiOx로 형성될 수 있다. 제1 무기 보호막(PAC) 위에는 유기 보호막(PAC)이 형성된다. 유기 보호막(PAC)은 포토 아크릴(Photo-acryl)로 형성될 수 있다.

[0044] 유기 보호막(PAC) 상에는 보상 라인(AL)과 공통 전극(COM)이 형성된다. 보상 라인(AL)은 공통 전극(COM)과 동시에 형성되는 투명 전극 패턴과, 투명 전극 패턴 상에 적층된 금속 패턴(Madd)을 포함한다. 금속 패턴(Madd)은 구리(Cu)로 형성될 수 있으나 이에 한정되지 않는다. 투명 전극 패턴은 ITO(Indium-Tin Oxide)로 형성될 수 있다. 공통 전극(COM)은 보상 라인(AL)의 투명 전극 패턴과 같은 재료로 동시에 형성될 수 있다. 보상 라인(AL)과 공통 전극(COM)은 하프톤 마스크(half-tone mask)를 이용한 포토리소그래피(Photolithography) 공정으로 동시에 형성될 수 있다. 제2 무기 보호막(PAS2)은 보상 라인(AL)과 공통 전극(COM)을 덮는다. 제2 무기 보호막(PAS2)은 SiOx로 형성될 수 있다.

[0045] 보상 라인(AL)은 데이터 라인을 따라 형성된다. 보상 라인(AL)은 유기 보호막(PAC)을 사이에 두고 데이터 라인과 중첩된다. 또한, 보상 라인(AL)은 제2 무기 보호막(PAS2)을 사이에 두고 픽셀 전극(PXL)의 연장부(PXLa)와 중첩된다. 보상 라인(AL)과 픽셀 전극(PXL)의 연장부(PXLa) 사이에 스토리지 커패시터(Cst)가 형성된다. 픽셀 전극(PXL)과 그 연장부(PXLa)는 ITO와 같은 투명 전극으로 제2 무기 보호막(PAS2) 상에 형성된다.

[0046] 저속 구동 모드에서 보상 라인(AL)에 보상 전압(Vadd)이 공급되면, 픽셀들의 스토리지 커패시터(Cst)를 충전하여 픽셀들의 방전을 억제한다. 노말 구동 모드에서, 보상 라인(AL)에 공통 전압(Vcom)이 공급될 수 있다.

[0047] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0048]

SUBS : 기판 GI : 게이트 절연막

GL : 게이트 라인 ACT : 산화물 반도체 패턴

G : TFT의 게이트 전극 S, G : TFT의 소스 및 드레인 전극

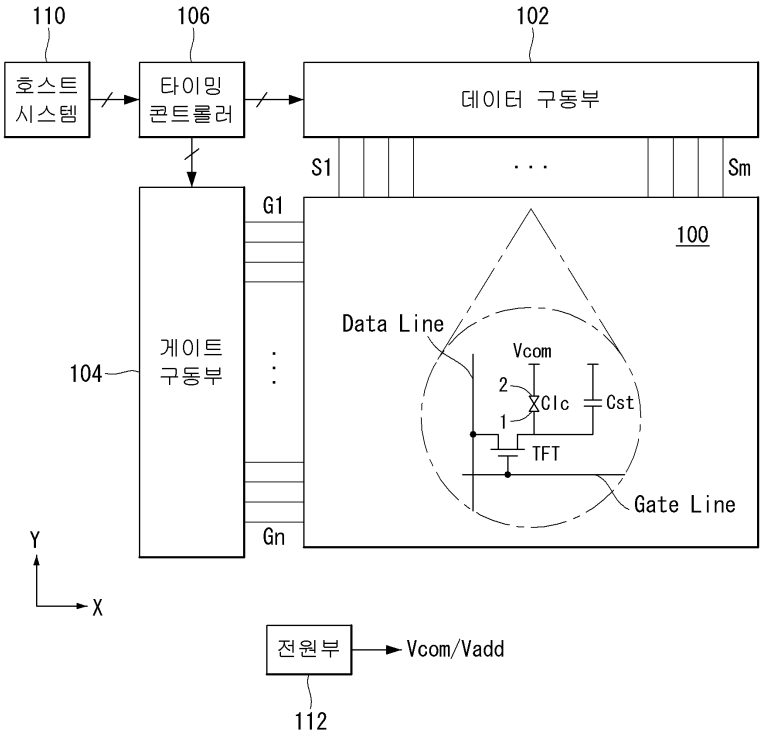
PAS1, PAS2 : 무기 보호막 PAC : 유기 보호막

COM : 공통 전극 PXL, PXLa : 픽셀 전극

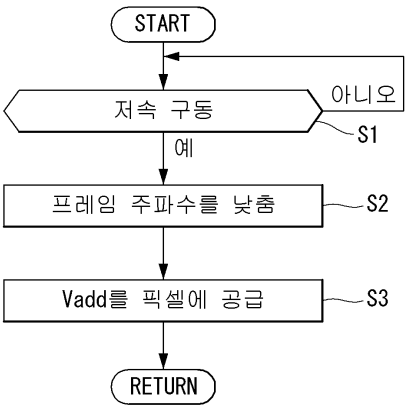
AL : 보상 라인

도면

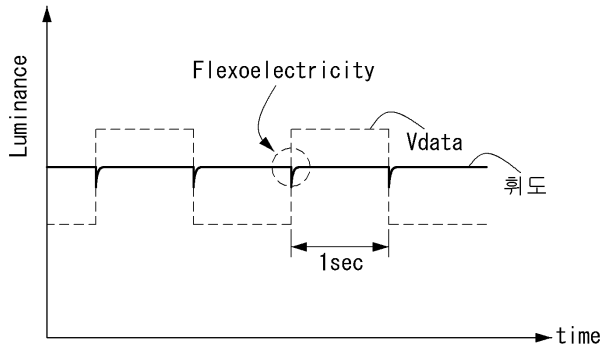
도면1


110
106
102
호스트 시스템
타이밍 콘트롤러
데이터 구동부
S1
Sm
G1
Gn
100
게이트 구동부
104
Data Line
Vcom
2
1
Clc
Cst
TFT
Gate Line
Y
X
전원부
Vcom/Vadd
112

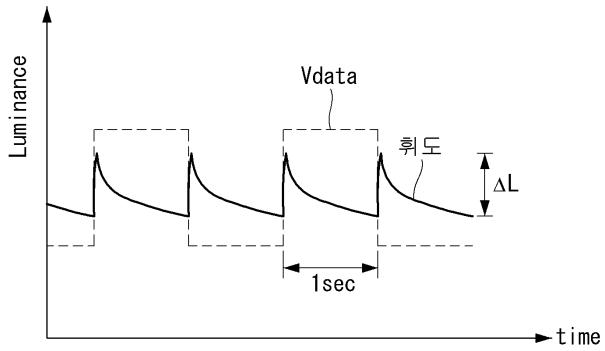
도면2


START
저속 구동
아니오
S1
예
프레임 주파수를 낮춤
S2
Vadd를 픽셀에 공급
S3
RETURN

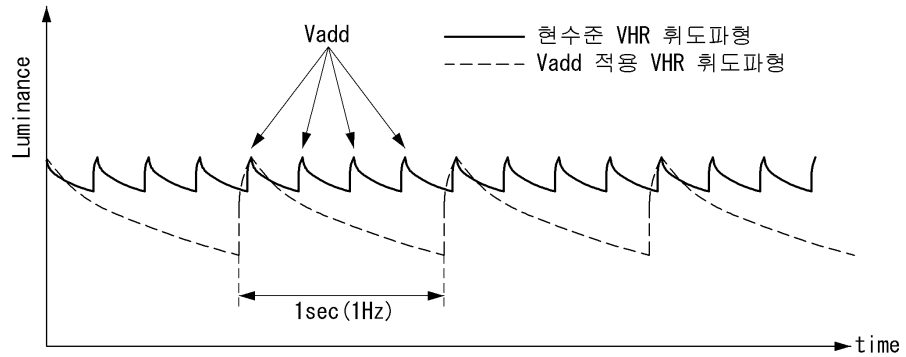
도면3


Luminance
Flexoelectricity
Vdata
휘도
1sec
time

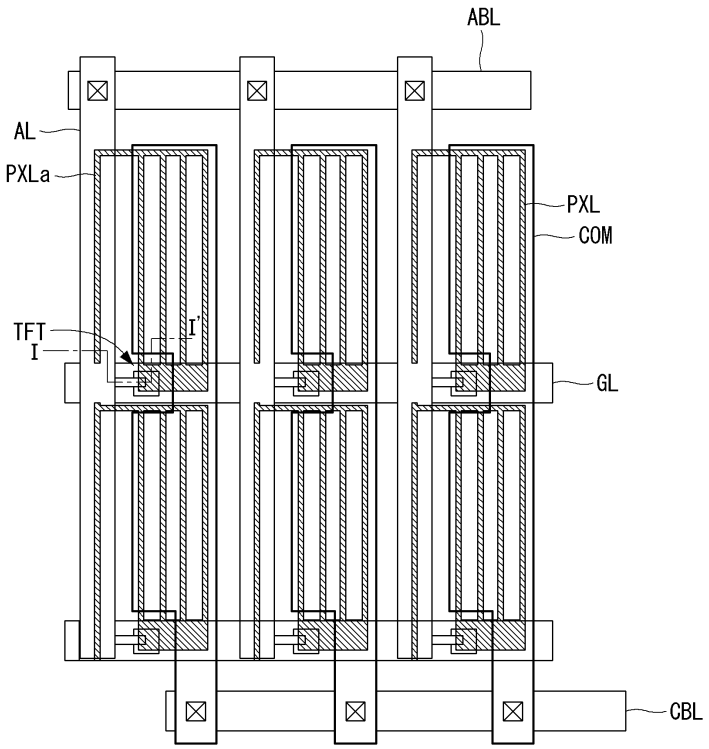
도면4


Luminance
Vdata
휘도
ΔL
1sec
time

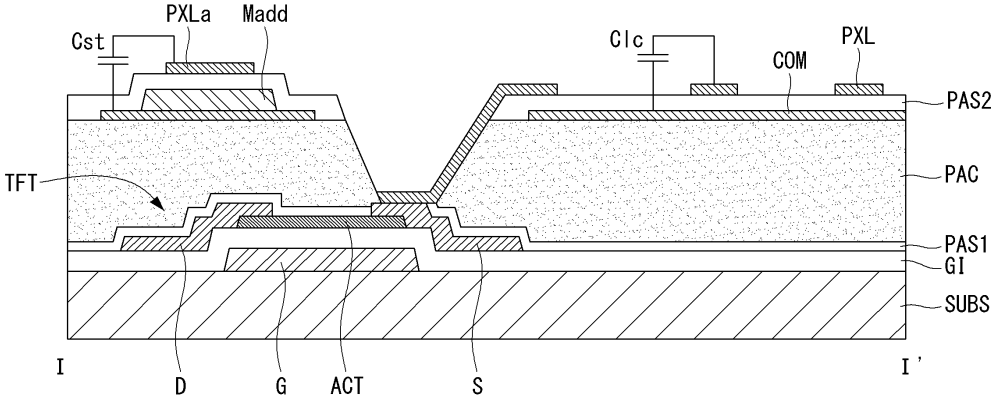
도면5


Luminance
Vadd
현수준 VHR 휘도파형
Vadd 적용 VHR 휘도파형
1sec(1Hz)
time

도면6


ABL
AL
PXLa
PXL
COM
TFT
I
I'
GL
CBL

도면7


PXLa
Madd
Cst
Clc
COM
PXL
PAS2
TFT
PAC
PAS1
GI
SUBS
I
D
G
ACT
S
I'