



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월06일
(11) 등록번호 10-2274583
(24) 등록일자 2021년07월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0167353
(22) 출원일자 2014년11월27일
심사청구일자 2019년11월27일
(65) 공개번호 10-2016-0063722
(43) 공개일자 2016년06월07일
(56) 선행기술조사문헌
JP2013251284 A*
WO2013011911 A1*
KR1020130024032 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김성수
전라북도 장수군 산서면 구암길 92
김영주
경기도 고양시 일산서구 일산로 487 후곡마을18단지아파트 1806동 801호
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 8 항

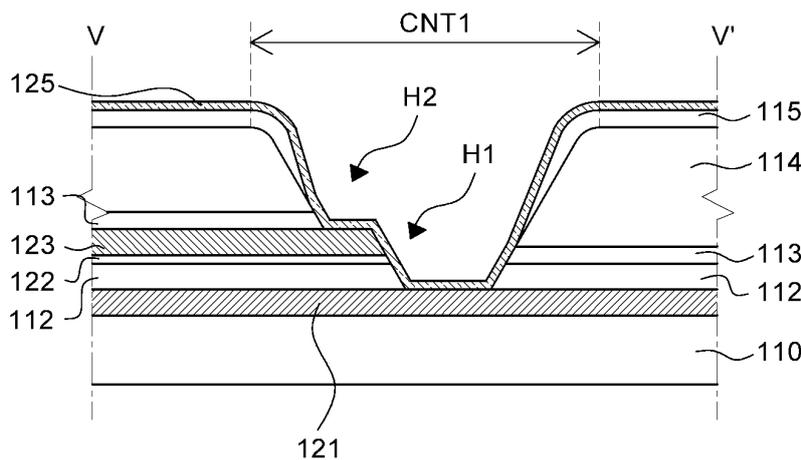
심사관 : 이우리

(54) 발명의 명칭 액정 표시 장치 및 이의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역과 표시 영역을 둘러싸는 베젤 영역을 갖는 기관, 박막 트랜지스터, 제1 금속층, 제2 금속층, 게이트 절연층, 평탄화층 및 도전층을 포함한다. 제1 금속층은 게이트 전극과 동일한 레벨에 배치되며, 게이트 절연층은 제1 금속층, 게이트 전극과 제1 금속층 상에 배치된다. 제2 금속층은 제1 금속층과 중첩하고, 소스 전극 및 드레인 전극과 동일한 레벨에 배치된다. 평탄화층은 제2 금속층 상에 배치되고, 제1 금속층의 상면과 제2 금속층의 상면을 노출시키는 홈을 포함한다. 도전층은 홈 내에서 제1 금속층의 상면과 제2 금속층의 상면에 걸쳐 배치되고, 제1 금속층과 제2 금속층을 전기적으로 연결시킨다. 이에 따라, 보다 얇은 베젤 영역을 갖는 액정 표시 장치를 제공할 수 있다.

대표도 - 도5



(72) 발명자

신미희

경기도 고양시 일산동구 백석로 153(백석동, 백송
마을 8단지) 805동 602호

김민경

경기도 과주시 월릉면 엘씨디로 201 정다운마을 A
동 1920호

명세서

청구범위

청구항 1

표시 영역과 표시 영역을 둘러싸는 베젤 영역을 갖는 기관;

상기 베젤 영역에서 상기 표시 영역으로 연장되는 복수의 데이터 배선;

상기 복수의 데이터 배선 사이에 배치되어 상기 복수의 데이터 배선과 연결되고 ESD 보호회로의 일부를 구성하는 박막 트랜지스터; 및

상기 복수의 데이터 배선과 교차하도록 배치되고, 상기 베젤 영역에서 상기 표시 영역으로 연장되는 Vcom 배선을 포함하는 Vcom 배선부;를 포함하고,

상기 박막 트랜지스터는 기관 상의 액티브층, 게이트 전극, 소스 전극 및 드레인 전극;

상기 기관 상에서 상기 베젤 영역에 배치되고, 상기 게이트 전극으로부터 연장되는 제1 금속층;

상기 제1 금속층 상의 제1 절연층;

상기 제1 금속층 상에 중첩되어 배치되고, 상기 소스 전극 또는 상기 드레인 전극으로부터 연장되는 제2 금속층;

상기 제2 금속층 상에 배치되고, 상기 제1 금속층의 상면과 상기 제2 금속층의 상면을 노출시키는 홀을 포함하는 제2 절연층; 및

상기 제2 절연층의 홀 내에서 상기 제1 금속층의 상면과 상기 제2 금속층의 상면에 접하도록 배치된 도전층을 포함하고,

상기 Vcom 배선부는 상기 제1 금속층으로 구성되고, 상기 표시 영역으로 연장되는 Vcom 배선,

상기 Vcom 배선 상의 게이트 절연층;

상기 게이트 절연층 상에서 상기 Vcom 배선과 중첩하면서 상기 소스 전극 및 상기 드레인 전극과 동일 레벨에 배치되며, Vcom 신호를 전달하고 상기 Vcom 배선과 중첩하는 개구부를 포함하는 제2 금속층;

상기 제2 금속층 상에 배치되고, 상기 개구부와 중첩하면서 상기 Vcom 배선 및 상기 제2 금속층을 노출시키는 컨택홀을 포함하는 제2 절연층; 및

상기 제2 절연층 상에 형성되며 상기 컨택홀을 통해 상기 Vcom 배선 및 상기 제2 금속층을 서로 연결시키는 도전층을 포함하는 것을 특징으로 하는, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 금속층은 상기 게이트 전극과 동일한 레벨에 배치되고,

상기 제2 금속층은 상기 소스 전극 및 드레인 전극과 동일한 레벨에 배치되고,

상기 제1 절연층은 상기 게이트 전극 상의 게이트 절연층이고,

상기 제2 절연층은 상기 박막 트랜지스터의 상부를 평탄화하는 평탄화층인 것을 특징으로 하는, 액정 표시 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제2 금속층과 동일한 레벨에 배치된 제1 배선,

상기 제2 금속층과 동일한 레벨에 배치되고, 상기 제1 배선과 적어도 일부가 평행한 제2 배선, 및

상기 제1 금속층과 동일한 레벨에 배치되고, 상기 제1 배선 및 상기 제2 배선과 교차하는 제3 배선을 포함하고,

상기 ESD 보호 회로는 상기 제1 배선 및 상기 제2 배선 사이에 배치되고,

상기 박막 트랜지스터는 상기 제1 배선 및 상기 제2 배선이 상기 제3 배선과 교차하는 부분에 배치된 것을 특징으로 하는, 액정 표시 장치.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 액티브층은 산화물 반도체로 이루어진 것을 특징으로 하는, 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 표시 영역에 배치되고, 화소를 구동시키도록 구성되고, 산화물 반도체로 이루어진 액티브층을 포함하는 구동 박막 트랜지스터를 더 포함하고,

상기 액티브층의 채널 길이는 상기 구동 박막 트랜지스터의 액티브층에서의 채널 길이보다 긴 것을 특징으로 하는, 액정 표시 장치.

청구항 9

제1항에 있어서,

상기 Vcom 배선부는 인접하는 두개의 게이트 배선 사이에 배치되는 것을 특징으로 하는, 액정 표시 장치.

청구항 10

삭제

청구항 11

제1항에 있어서,

상기 도전층은 상기 액티브층의 측면에 직접 접하는 것을 특징으로 하는, 액정 표시 장치.

청구항 12

제1항에 있어서,

상기 도전층은 상기 홀 내에서 상기 제1 금속층, 상기 게이트 절연층, 상기 액티브층 및 상기 제2 금속층 모두와 직접 접하는 것을 특징으로 하는, 액정 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 산화물 반도체를 사용하는 ESD(Electrostatic Discharge) 보호 회로에서 컨택홀의 개수를 감소시킴으로써 베젤 영역이 최소화된 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 액정층을 갖는 액정 표시 패널을 포함하는 표시 장치이다. 액정 표시 장치는 백라이트 유닛과 같은 광원으로부터의 빛에 대한 액정 표시 패널의 투과도를 조정함으로써 구동된다. 최근에는 높은 해상도와 낮은 전력 소모를 갖는 액정 표시 장치뿐만 아니라 얇은 두께를 가지는 동시에 베젤(bezel)이 최소화된 액정 표시 장치에 대한 수요가 증가하고 있다.

[0003] 액정 표시 장치에서의 박막 트랜지스터는 액티브층으로 사용되는 물질에 따라 비정질 실리콘(amorphous-silicon)을 사용하는 박막 트랜지스터, 다결정 실리콘(poly-silicon) 또는 저온폴리실리콘(LTPS; Low Temperature Polycrystalline Silicon)을 사용하는 박막 트랜지스터 및 산화물 반도체를 사용하는 박막 트랜지스터로 나뉜다.

[0004] 산화물 반도체를 사용하는 박막 트랜지스터는 비정질 실리콘을 사용하는 박막 트랜지스터 대비 전자 이동도가 높고, 누설 전류(leakage current)가 현저히 낮으며, 높은 신뢰성 테스트 조건을 만족한다. 이에 따라 산화물 반도체를 사용하는 액정 표시 장치에 대한 연구가 활발히 진행되고 있다.

[0005] [관련기술문헌]

[0006] 금속 산화물 반도체를 포함하는 박막 트랜지스터 기관 및 그 제조 방법 (한국특허출원번호 제2012-0039856호)

발명의 내용

해결하려는 과제

[0007] 본 발명의 발명자는 앞서 언급한 산화물 반도체의 우수한 특성, 특히, 높은 전자 이동도를 갖는 특성으로 인해서 오히려 베젤 영역이 증가되는 문제가 발생할 수 있다는 점에 대하여 인식하였다. 이에 대해 보다 구체적으로 설명하면, 액정 표시 장치의 베젤 영역에는 ESD(Electrostatic Discharge) 보호 회로가 배치된다. ESD 보호 회로를 구성하는 박막 트랜지스터에 산화물 반도체를 적용하는 경우, 외부에서 정전기가 유입되었을 때, 산화물 반도체의 높은 전자 이동도에 의해 ESD 보호 회로에 흐르는 전류가 증가되어 소비 전력이 증가되는 문제가 발생된다. 따라서, 산화물 반도체를 사용하는 ESD 보호 회로에서는 이러한 소비 전력 증가를 억제하기 위해 다른 반도체를 적용하는 것보다 더 긴 채널 길이를 가지도록 박막 트랜지스터가 설계되어야 한다. 이에 따라, ESD 보호 회로의 영역의 면적이 다른 반도체를 적용하는 것에 비해 증가하게 되며, 액정 표시 장치의 베젤 영역의 면적이 늘어나게 된다.

[0008] 한편, 액정 표시 장치의 제조 비용을 절감하기 위한 많은 연구가 수행되고 있다. 액정 표시 장치의 제조 비용을 절감하기 위해서 액정 표시 장치의 마스크를 감소시키는 시도가 있었다.

[0009] 액정 표시 장치는 도전성 층과 절연성 층을 포함하는 복수의 층으로 이루어지며, 도전성 층들은 절연성 층에 형성되는 컨택홀을 통해 서로 전기적으로 연결되는데, 제조 시 사용되는 마스크의 개수가 감소되면, 컨택홀을 원하는 위치에 형성할 수 없는 경우가 발생할 수 있다. 이를 보상하기 위해서, 컨택홀의 개수를 늘려 필요한 컨택홀들을 서로 잇는 브릿지(bridge) 구조를 통해 도전층들이 연결될 수 있다. 예를 들어, A 도전층과 B 도전층을 연결할 때, 마스크 감소에 의해 A 도전층과 B 도전층을 직접 접촉(Direct Contact)시키는 컨택홀을 형성할 수 없는 경우에는, A 도전층을 노출시키는 컨택홀과 B 도전층을 노출시키는 컨택홀을 C 도전층으로 연결하는 브릿지 구조를 적용할 수 있다. 그러나, 이러한 브릿지 구조를 적용하면, 컨택홀의 개수가 증가되고, 복수의 컨택홀

들 사이의 면적 또한 확보되어야 하므로, 액정 표시 장치의 베젤 영역은 더욱 늘어나게 된다.

- [0010] 앞서 설명한 ESD 보호 회로는, 소스 또는 드레인 전극과 게이트 전극이 연결된 복수의 박막 트랜지스터를 사용하여 구현되므로, 게이트 전극과 소스 전극을 전기적으로 연결하기 위한 콘택홀이 요구된다. 그러나, 제조 시 사용되는 마스크의 개수가 감소되면 전술한 게이트 전극과 소스 전극을 직접 접촉시키는 콘택홀을 형성할 수 없으므로, 더 많은 면적을 차지하는 브릿지 구조를 이용해야 한다.
- [0011] 즉, 산화물 반도체를 사용한 박막 트랜지스터를 적용하여 ESD 보호 회로를 구현하는 경우, 채널에 의해 베젤 증가가 필연적이거나, 사용되는 마스크 개수의 감소로 인해 브릿지 구조를 적용하면서 베젤 영역의 면적이 더 증가되는 문제가 발생하게 되었다.
- [0012] 따라서, 산화물 반도체를 사용한 박막 트랜지스터를 채용하는 동시에 제조 비용을 절감시키기 위해 마스크의 개수 또한 감소된 경우, 얇은 베젤 영역을 갖는 액정 표시 장치를 구현하는데 어려움이 있다.
- [0013] 본 발명의 발명자는 산화물 반도체를 채용하는 동시에, 저감된 마스크 개수를 이용하여 액정 표시 장치를 제조하더라도, 베젤 영역의 크기가 증가되지 않는 새로운 구조의 액정 표시 장치를 발명하였다.
- [0014] 이에 본 발명이 해결하고자 하는 과제는 저감된 마스크 개수를 이용하더라도 도전성 층들을 서로 연결시키기 위한 콘택홀의 개수를 감소시킴으로써 베젤 영역의 크기를 최소화할 수 있는 액정 표시 장치 및 이의 제조 방법을 제공하는 것이다.
- [0015] 또한, 본 발명의 해결하고자 하는 다른 과제는 ESD 보호 회로의 면적뿐만 아니라 Vcom 배선부의 면적도 최소화된 액정 표시 장치 및 이의 제조 방법을 제공하는 것이다.
- [0016] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0017] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정 표시 장치는 표시 영역과 표시 영역을 둘러싸는 베젤 영역을 갖는 기판, 제1 금속층, 제2 금속층, 제1 절연층, 제2 절연층 및 도전층을 포함한다. 제1 절연층은 제1 금속층 상에 배치된다. 제2 금속층은 제1 금속층과 중첩한다. 제2 절연층은 제2 금속층 상에 배치되고, 제1 금속층의 상면과 제2 금속층의 상면을 노출시키는 홀을 포함한다. 도전층은 홀 내에서 제1 금속층의 상면과 제2 금속층의 상면에 모두 접하도록 배치된다. 제2 절연층의 하나의 홀 내에서 제1 금속층과 제2 금속층이 도전층에 의해 전기적으로 연결되므로, 최소화된 마스크 수로 제조된 액정 표시 장치에서 평탄화층의 홀의 개수를 감소시켜 회로 영역의 면적을 감소시킬 수 있다. 이에 따라, 보다 얇은 베젤 영역을 갖는 액정 표시 장치를 제공할 수 있다.
- [0018] 본 발명의 다른 특징에 따르면, 액정 표시 장치는 기판 상의 액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함하고, 제1 금속층은 게이트 전극과 동일한 레벨에 배치되고, 제2 금속층은 소스 전극 및 드레인 전극과 동일한 레벨에 배치되고, 제1 절연층은 게이트 전극 상의 게이트 절연층이고, 제2 절연층은 박막 트랜지스터의 상부를 평탄화하는 평탄화층인 것을 특징으로 한다.
- [0019] 액정 표시 장치는 베젤 영역에 배치된 ESD (Electrostatic Discharge) 보호 회로를 더 포함하고, ESD 보호 회로는 박막 트랜지스터로 구성된 것을 특징으로 한다.
- [0020] 본 발명의 또 다른 특징에 따르면, 제1 금속층은 게이트 전극으로부터 연장되고, 제2 금속층은 소스 전극 또는 드레인 전극으로부터 연장된 것을 특징으로 한다.
- [0021] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는 제2 금속층과 동일한 레벨에 배치된 제1 배선, 제2 금속층과 동일한 레벨에 배치되고, 제1 배선과 적어도 일부가 평행한 제2 배선, 및 제1 금속층과 동일한 레벨에 배치되고, 제1 배선 및 제2 배선과 교차하는 제3 배선을 포함하고, ESD 보호 회로는 제1 배선 및 제2 배선 사이에 배치되고, 박막 트랜지스터는 제1 배선 및 제2 배선이 제3 배선과 교차하는 부분에 배치된 것을 특징으로 한다.
- [0022] 본 발명의 또 다른 특징에 따르면, 제1 금속층은 게이트 전극과 제3 배선과 연결되고, 제2 금속층은 소스 전극 또는 드레인 전극과 연결된 것을 특징으로 한다.
- [0023] 본 발명의 또 다른 특징에 따르면, 액티브층은 산화물 반도체로 이루어진 것을 특징으로 한다.
- [0024] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는 표시 영역에 배치되고, 화소를 구동시키도록 구성되고, 산

화물 반도체로 이루어진 액티브층을 포함하는 구동 박막 트랜지스터를 더 포함하고, 액티브층의 채널 길이는 구동 박막 트랜지스터의 액티브층에서의 채널 길이보다 긴 것을 특징으로 한다.

- [0025] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는 베젤 영역에 배치된 Vcom 배선부를 더 포함하고, Vcom 배선부는 제1 금속층, 제2 금속층 및 도전층으로 이루어진 것을 특징으로 한다.
- [0026] 본 발명의 또 다른 특징에 따르면, 액티브층은 제2 금속층 아래에 접하여 배치된 것을 특징으로 한다.
- [0027] 본 발명의 또 다른 특징에 따르면, 도전층은 액티브층의 측면에 직접 접하는 것을 특징으로 한다.
- [0028] 본 발명의 또 다른 특징에 따르면, 도전층은 홀 내에서 제1 금속층, 게이트 절연층, 액티브층 및 제2 금속층 모두와 직접 접하는 것을 특징으로 한다.
- [0029] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는 소스 전극 및 드레인 전극 상에 배치된 패시베이션층을 더 포함하고, 소스 전극과 드레인 전극 사이에서 패시베이션층은 액티브층에 직접 접하는 것을 특징으로 한다.
- [0030] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 기판 상에서, 게이트 전극과 제1 금속층을 동일한 레벨에 형성하는 단계, 게이트 전극과 제1 금속층 상에 게이트 절연층을 형성하는 단계, 제1 금속층과 일부 중첩하는 제2 금속층을 소스 전극 및 드레인 전극과 동일한 레벨에 형성하는 단계, 제2 금속층을 덮도록 패시베이션층을 형성하는 단계, 제2 금속층 상에 평탄화층을 형성하는 단계, 제1 금속층과 제2 금속층 위의 패시베이션층을 노출시키는 홀이 형성되도록 평탄화층의 일부를 제거하는 단계, 제1 금속층의 상면과 제2 금속층의 상면을 노출시키도록, 평탄화층의 홀에서 게이트 절연층 및 패시베이션층을 제거하는 단계, 홀 내에서 제1 금속층의 상면과 제2 금속층의 상면에 걸쳐 배치되고, 제1 금속층과 제2 금속층을 전기적으로 연결시키는 도전층을 형성하는 단계를 포함하는 것을 특징으로 한다. 최소화된 마스크 수로 액정 표시 장치가 제조되는 동시에 평탄화층의 하나의 홀 내에서 제1 금속층과 제2 금속층이 도전층에 의해 전기적으로 연결되므로, 평탄화층의 홀의 개수를 감소시켜 회로 영역의 면적을 감소시킬 수 있다. 이에 따라, 보다 얇은 베젤 영역을 갖는 액정 표시 장치를 최소화된 마스크의 개수를 사용하여 제공할 수 있다.
- [0031] 본 발명의 다른 특징에 따르면, 액정 표시 장치의 제조 방법은 제2 금속층을 형성하는 단계 전에, 게이트 절연층 상에 산화물 반도체로 이루어진 액티브층을 형성하는 단계를 더 포함하고, 소스 전극과 드레인 전극 사이에서 패시베이션층은 액티브층에 직접 접하는 것을 특징으로 한다.
- [0032] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0033] 본 발명에서는, 액정 표시 장치 제조시 사용되는 마스크의 개수가 감소된 액정 표시 장치의 구조에서 하나의 컨택홀을 이용한 브릿지 구조를 통해 제1 금속층과 제2 금속층을 전기적으로 연결함으로써, 2개의 컨택홀을 이용하여 브릿지 구조를 적용할 때와 같이 컨택홀들 사이의 면적이 확보될 필요가 없어진다. 이에 따라, 본 발명에서는 ESD 보호 회로와 같은 회로부의 면적이 감소하게 되어 액정 표시 장치의 베젤 영역의 면적이 감소될 수 있는 효과가 있다.
- [0034] 또한, 산화물 반도체를 사용하는 액정 표시 장치에서 ESD 보호 회로의 채널 길이가 늘어나더라도, 베젤 영역이 늘어나지 않는 액정 표시 장치를 제공할 수 있다.
- [0035] 또한, Vcom 배선부에서의 컨택홀의 크기가 감소되므로, 액정 표시 장치의 베젤 영역의 면적이 작아져, 베젤 영역이 최소화된 액정 표시 장치를 제공할 수 있다.
- [0036] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0037] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치에서 도 1의 영역 X에 대한 개략적인 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치에서의 ESD(electrostatic discharge)보호 회로의 개략적인 회로도이다.

도 4는 도 2와 도 3의 영역 Y에 대한 개략적인 확대 평면도이다.

도 5은 도 4의 선 V-V'에 따른 액정 표시 장치의 개략적인 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략적인 평면도이다.

도 7은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 개략적인 흐름도이다.

도 8a 내지 8f는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0039] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 ‘포함한다’, ‘갖는다’, ‘이루어진다’ 등이 사용되는 경우 ‘~만’이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0040] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0041] 위치 관계에 대한 설명일 경우, 예를 들어, ‘~상에’, ‘~상부에’, ‘~하부에’, ‘~옆에’ 등으로 두 부분의 위치 관계가 설명되는 경우, ‘바로’ 또는 ‘직접’이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0042] 소자 또는 층이 다른 소자 또는 층 “~상에 (on)”로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0043] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0044] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0045] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0046] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0047] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0048] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 평면도이다. 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치에서 도 1의 영역 X에 대한 개략적인 평면도이다. 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치에서의 ESD(electrostatic discharge)보호 회로의 개략적인 회로도이다. 도 2에서는 설명의 편의를 위해 도전성 또는 반도체 층들만을 도시하였다. 도 1 및 도 2를 참조하면, 액정 표시 장치(100)는 기판(110), 제1 데이터 배선(DL1), 제2 데이터 배선(DL2), Vcom 배선(150), 박막 트랜지스터들(TR1 내지 6) 및 그 전극들(S, D, G), 및 도전층(125)을 포함한다. 도 2에서의 박막 트랜지스터들(TR1 내지 6)은 도 3의 회로도의 박막 트랜지스터들(TR1 내지 6)에 대응한다.
- [0049] 기판(110)은 기판(110) 상에 형성된 다양한 엘리먼트들을 지지한다. 도 1을 참조하면, 기판(110)은 표시 영역

(AA), 베젤 영역(BA) 및 패드 영역(PA)을 갖는다. 표시 영역(AA)에는 액정층 및 액정층을 제어하기 위한 구성 요소들이 배치된다. 베젤 영역(BA)은 표시 영역(AA)을 둘러싸는 영역으로서 배선부 및 각종 회로들이 배치되는 영역이다. 패드 영역(PA)은 기관(110)의 일측에 배치되며 연성 인쇄 회로 기관(110)에 연결되는 패드부가 배치되는 영역이다. 도 1의 영역 X에는 패드 영역(PA)에서 표시 영역(AA)으로 연장되는 복수의 데이터 배선들 및 데이터 배선들에 연결된 ESD(electrostatic discharge) 보호 회로가 배치된다. 그러나, 이에 제한되지 않고, ESD 보호 회로는 게이트 배선들에 연결될 수도 있다. ESD 보호 회로는 인가되는 정전기가 표시 영역(AA)까지 인가되지 않게 하여 표시 영역(AA) 내의 구성 요소들을 보호하기 위한 회로이며, 복수의 박막 트랜지스터(TR1 내지 6)로 구성될 수 있다.

[0050] 복수의 박막 트랜지스터(TR1 내지 6)는 액티브층(122), 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)을 포함한다. 액티브층(122)은 산화물 반도체로 이루어질 수 있다. 액티브층(122)은 소스 전극(S)과 드레인 전극(D) 사이에서 채널을 형성하며, 그 외의 영역에서는 소스 전극(S) 및 드레인 전극(D)과 중첩되어 형성된다. ESD 보호 회로의 박막 트랜지스터(TR1 내지 6)의 채널 길이는 정전기가 더 쉽게 방출되도록 표시 영역(AA)의 구동 박막 트랜지스터의 채널 길이보다 길다. 또한, 산화물 반도체는 다른 실리콘 반도체에 비하여 월등하게 높은 전자 이동도를 가지므로, 회로에 흐르는 전류가 증가되며 이에 따라 ESD 보호 회로에서의 소비 전력이 증가된다. 산화물 반도체를 사용하는 ESD 보호회로에서는 이러한 소비 전력 증가를 억제하기 위해 채널의 길이를 다른 실리콘 반도체에 비하여 더 길게 형성하여야 한다. 이에 따라, 산화물 반도체를 액티브층(122)으로 하는 박막 트랜지스터(TR1 내지 6)로 ESD 보호 회로를 구성하게 되면, ESD 보호 회로의 면적은 채널 길이에 대응하여 증가할 수 있다. 이에 따라 ESD 보호 회로의 면적을 감소시키기 위해서는 액티브층(122) 이외의 구성 요소들의 크기를 감소시킬 것이 요구된다. 본 발명의 일 실시예에 따른 액정 표시 장치(100)에서는 컨택홀의 개수를 최소화함으로써, ESD 보호 회로의 면적을 감소시키고 나아가 베젤 영역(BA)의 면적을 감소시킬 수 있다. 이하에서는 도 2와 도 3을 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치(100)에서의 구성 요소들과 제1 컨택홀(CNT1)을 통한 연결 관계를 설명한다.

[0051] 도 2를 참조하면, 제1 데이터 배선(DL1) 및 제1 데이터 배선(DL1)과 적어도 일부가 평행한 제2 데이터 배선(DL2)이 배치된다. 제1 데이터 배선(DL1) 및 제2 데이터 배선(DL2) 중 다른 일부는 박막 트랜지스터(TR1, TR2, TR5, TR6)의 전극을 구성하기 위해 박막 트랜지스터(TR1, TR2, TR5, TR6)를 향해 연장된다. Vcom 배선(150)은 제1 데이터 배선(DL1) 및 제2 데이터 배선(DL2)과 교차하도록 배치된다. 박막 트랜지스터들(TR1 내지 6)로 구성된 ESD 보호 회로는 제1 데이터 배선(DL1) 및 제2 데이터 배선(DL2) 사이에 배치된다.

[0052] 도 3을 참조하면, 제1 박막 트랜지스터(TR1)의 소스 전극(S), 제2 박막 트랜지스터(TR2)의 드레인 전극(D) 및 제1 데이터 배선(DL1)은 제1 박막 트랜지스터(TR1)의 게이트 전극(G)과 연결된다. 도 2에서 제1 박막 트랜지스터(TR1)의 소스 전극(S), 제2 박막 트랜지스터(TR2)의 드레인 전극(D) 및 제1 데이터 배선(DL1)은 서로 동일한 레벨에 배치되나, 제1 박막 트랜지스터(TR1)의 게이트 전극(G)과는 상이한 레벨에 배치되며, 제1 컨택홀(CNT1)을 통해 서로 전기적으로 연결된다.

[0053] 제1 컨택홀(CNT1)은 도전층(125)을 통해 게이트 전극(G) 레벨의 금속층과 소스 전극(S) 또는 드레인 전극(D) 레벨의 금속층이 연결되는 하나의 컨택홀이다. 제1 컨택홀(CNT1)을 통해 연결되는, 제1 박막 트랜지스터(TR1)의 게이트 전극(G)과 제1 박막 트랜지스터(TR1)의 소스 전극(S)은 서로 중첩된다. 제1 박막 트랜지스터(TR1)의 게이트 전극(G)과 제1 박막 트랜지스터(TR1)의 소스 전극(S)은 서로 중첩된 상태에서 서로 연결되므로, 제1 컨택홀(CNT1)의 크기가 최소화될 수 있다. 도전층(125)은 액정 표시 장치(100)의 픽셀 전극과 동일한 레벨에 배치되나, 이에 제한되지 않고, 액정 표시 장치(100)의 구조에 따라 공통 전극과 동일한 레벨에 배치될 수도 있다.

[0054] 제1 박막 트랜지스터(TR1)의 드레인 전극(D), 제2 박막 트랜지스터(TR2)의 게이트 전극(G)과 같이, 게이트 전극(G) 레벨의 금속층과 소스 전극(S) 또는 드레인 전극(D) 레벨의 금속층이 중첩하지 않는 경우에는, 제2 컨택홀(CNT2) 및 제3 컨택홀(CNT3)을 통하는 브릿지 구조가 채용된다. 제2 컨택홀(CNT2)은 소스 또는 드레인 전극(D)의 상면을 노출시키며, 제3 컨택홀(CNT3)은 게이트 전극(G)의 상면을 노출시킨다. 도전층(125)은 제2 컨택홀(CNT2)에서 노출된 제1 박막 트랜지스터(TR1)의 드레인 전극(D)과 제3 컨택홀(CNT3)에서 노출된 제2 박막 트랜지스터(TR2)의 게이트 전극(G)을 전기적으로 연결시킨다. 도 3에서는 제2 컨택홀(CNT2)과 제3 컨택홀(CNT3)을 통해 게이트 전극(G)과 소스 전극(S) 및 드레인 전극(D)을 연결하는 구성이 도시되나, 이에 제한되지 않고, 게이트 전극(G)과 동일한 레벨의 금속층과 소스 전극(S) 및 드레인 전극(D)과 동일한 레벨의 금속층은 제1 컨택홀(CNT1)을 통해 연결될 수 있다. 예를 들어, 제1 박막 트랜지스터(TR1)의 드레인 전극(D)으로부터 금속층이 연장되어 제2 박막 트랜지스터(TR2)의 게이트 전극(G)과 중첩되고, 드레인 전극(D)으로부터 연장된 금속층과 제2 박

막 트랜지스터(TR2)의 게이트 전극(G)이 제1 콘택홀(CNT1)을 통해 연결될 수도 있다.

- [0055] 한편, 종래의 액정 표시 장치에서와 같이 제1 박막 트랜지스터(TR1)의 게이트 전극(G)과 제1 박막 트랜지스터(TR1)의 소스 전극(S) 각각에 제3 콘택홀(CNT3) 및 제2 콘택홀(CNT2)을 형성하고, 도전층(125)을 통해 이들을 연결시킬 수도 있다. 그러나, 콘택홀들(CNT2, CNT3) 사이에는 일정 길이 이상의 마진(margin)이 요구되므로, 복수의 콘택홀(CNT2, CNT3)을 이용하는 브릿지 구조는 박막 트랜지스터의 형성 영역을 증가시킨다.
- [0056] 특히, 제3 박막 트랜지스터(TR3)의 드레인 전극(D) 및 제3 박막 트랜지스터(TR3)와 제4 박막 트랜지스터(TR4)의 게이트 전극(G)에 2개의 콘택홀(CNT2, CNT3)을 이용하는 브릿지 구조를 적용하면, ESD 보호 회로의 면적이 크게 증가된다. 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치(100)에서는 하나의 제1 콘택홀(CNT1)을 통해 게이트 전극(G) 과 소스 전극(S) 또는 드레인 전극(D)이 전기적으로 연결된다. 이하에서는 제1 콘택홀(CNT1)에 대해서 보다 구체적으로 설명한다.
- [0057] 도 4는 도 2 및 도 3의 영역 Y에 대한 개략적인 확대 평면도이다. 도 5은 도 4의 선 V-V'에 따른 액정 표시 장치의 개략적인 단면도이다. 제1 데이터 배선(DL1) 및 제2 데이터 배선(DL2)이 Vcom 배선(150)과 교차하는 부분에는 제3 박막 트랜지스터 및 제4 박막 트랜지스터가 배치된다. 제3 박막 트랜지스터의 게이트 전극 및 드레인 전극, 제2 박막 트랜지스터의 드레인 전극, 제4 박막 트랜지스터의 게이트 전극 및 드레인 전극과 전기적으로 연결된다. 제1 금속층(121)은 Vcom 배선(150)으로부터 연장되며, 제2 금속층(123)은 제3 박막 트랜지스터의 드레인 전극으로부터 연장된다.
- [0058] 도 5에서, 기판(110) 상에 제1 금속층(121)이 배치되고, 제1 금속층(121) 상에는 게이트 절연층(112)이 배치된다. 게이트 절연층(112)은 제1 절연층으로 지칭될 수도 있다. 게이트 절연층(112)은 제1 금속층(121)의 상면의 일부를 노출시키는 개구부(H1)를 갖는다. 게이트 절연층(112) 상에는 액티브층(122) 및 제2 금속층(123)이 차례로 배치된다. 즉, 액티브층(122)은 제2 금속층(123) 아래에 접하여 배치된다.
- [0059] 또한, 제2 금속층(123)의 일부는 제1 금속층(121)과 중첩한다. 제2 금속층(123) 상에는 패시베이션층(113)이 배치된다. 패시베이션층(113) 상에는 평탄화층(114)이 배치된다. 평탄화층(114)은 제2 절연층으로 지칭될 수도 있다. 평탄화층(114)의 상부에는 공통 전극이 배치될 수도 있다. 공통 전극이 배치되는 경우, 공통 전극은 적어도 산화물 반도체로 이루어진 액티브층(122)에 의해 형성되는 채널 영역을 덮도록 배치될 수 있다. 평탄화층(114) 상에는 상부 절연층(115)이 배치되며, 상부 절연층(115)은 패시베이션층(113)과 실질적으로 동일한 영역에 형성된다. 패시베이션층(113), 평탄화층(114) 및 상부 절연층(115)은 제1 금속층(121)의 상면 및 제2 금속층(123)의 상면의 일부를 노출시키는 개구부(H2)를 갖는다. 즉, 제1 콘택홀(CNT1)은 게이트 절연층(112)의 개구부(H1)와 패시베이션층(113), 평탄화층(114) 및 상부 절연층(115)의 개구부(H2)가 하나로 합쳐진 형상을 갖는다.
- [0060] 도전층(125)은 제1 콘택홀(CNT1) 내에서 노출된 제1 금속층(121)의 상면과 제2 금속층(123)의 상면에 걸쳐 배치되어 제1 금속층(121)의 상면과 제2 금속층(123)의 상면을 전기적으로 연결시킨다. 도전층(125)은 제2 금속층(123)의 상면으로부터 연장되어 제2 금속층(123), 액티브층(122) 및 게이트 절연층(112)의 측면을 따라 제1 금속층(121)의 상면을 덮도록 형성된다. 즉, 도전층(125)은 제1 콘택홀(CNT1) 내에서 제1 금속층(121), 게이트 절연층(112), 액티브층(122) 및 제2 금속층(123) 모두와 직접 접한다. 이러한 구조는 본 발명의 일 실시예에 따른 액정 표시 장치(100)가 저감된 수의 마스크를 사용하기 때문이며, 이에 대해서는 도 7 및 도 8a 내지 8f에서 보다 구체적으로 설명된다.
- [0061] 본 발명의 일 실시예에 따른 액정 표시 장치(100)에서는 하나의 제1 콘택홀(CNT1) 내에서 제1 금속층(121)과 제2 금속층(123)이 도전층(125)에 의해 전기적으로 연결되므로, 콘택홀의 면적이 감소되고 콘택홀 사이의 공정 마진이 요구되지 않는다. 이에 따라, ESD 보호 회로의 면적을 감소시킬 수 있어, 보다 얇은 베젤 영역을 갖는 액정 표시 장치(100)가 제공될 수 있다.
- [0062] 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략적인 평면도이다. 도 6은 액정 표시 장치(600)의 베젤 영역에 배치된 Vcom 배선부를 나타내고, 도 5에 도시된 제1 콘택홀(CNT1)을 ESD 보호 회로와는 상이한 Vcom 배선부에 적용한 다른 실시예가 도시된다. Vcom 배선부에 적용된 제1 콘택홀(CNT1)의 단면도는 도 5의 제1 콘택홀(CNT1)의 단면도와 실질적으로 동일하므로 생략된다.
- [0063] Vcom 배선부에는 표시 영역으로 연장되는 복수의 게이트 배선(620)이 배치된다. 또한, 제1 금속층(640)은 복수의 게이트 배선(620)과 동일한 레벨에 배치된다. 제1 금속층(640)은 복수의 게이트 배선(620) 사이에 배치되며 복수의 게이트 배선(620)과 평행하게 배치된다. 제1 금속층(640)은 표시 영역으로 Vcom 신호를 인가하는 추가 Vcom 배선일 수 있다. 제1 금속층(640) 상에는 게이트 절연층이 배치된다. 게이트 절연층 상에는 소스 전극 및

드레인 전극과 동일한 레벨에 배치되는 제2 금속층(630)이 배치된다. 제2 금속층(630)은 제1 금속층(640)과 게이트 배선(620)에 중첩하도록 소스 전극 및 드레인 전극과 동일한 레벨에 형성된다. 제2 금속층(630)은 Vcom 신호를 전달한다. 제2 금속층(630)의 Vcom 신호를 제1 금속층(640)으로 전달하기 위해 제2 금속층(630)과 제1 금속층(640)이 제1 컨택홀(CNT1)을 통해 연결된다.

[0064] 제2 금속층(630)은 복수의 개구부(630a)를 갖는다. 복수의 개구부(630a)는 제1 금속층(640)의 상면을 노출시킨다. 제2 금속층(630) 상에는, 도면에 도시되진 않았으나, 패시베이션층, 평탄화층 및 상부 절연층 등과 같은 절연층이 배치된다. 패시베이션층, 평탄화층 및 상부 절연층은 제1 금속층(640)의 상면 및 제2 금속층(630)의 상면의 일부를 노출시키는 개구부를 갖는다. 즉, 제1 컨택홀(CNT1)은 복수의 개구부(630a)와 패시베이션층, 평탄화층 및 상부 절연층의 개구부가 하나로 합쳐진 형상을 갖는다. 제2 금속층(630)의 개구부(630a)에 의해 노출되는 제1 금속층(640)의 상면 및 제2 금속층(630)의 상면은 도전층(625)을 통해 전기적으로 연결된다.

[0065] 본 발명의 다른 실시예에 따른 액정 표시 장치(600)에서는 제1 금속층(640)과 제2 금속층(630)의 전기적 연결이 하나의 제1 컨택홀(CNT1)을 통해 이루어지므로, Vcom 배선부의 면적이 감소될 수 있다. 이에 따라, 보다 얇은 베젤을 갖는 액정 표시 장치(600)가 구현될 수 있다.

[0066] 도 7은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 개략적인 흐름도이다. 도 8a 내지 8f는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정 단면도들이다.

[0067] 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 액정 표시 장치에 사용되는 마스크의 개수를 감소시키기 위해, 복수의 층을 동시에 패터닝하도록 구성된다. 복수의 층을 동시에 패터닝하는 액정 표시 제조 방법을 사용하면, 컨택홀의 개수를 최소화함으로써, 베젤 영역이 저감된 액정 표시 장치를 구현할 수 있다.

[0068] 먼저, 기판(110) 상에 게이트 전극과 제1 금속층(121)이 동일한 레벨에 형성된다(S710). 도 8a를 참조하면, 기판(110) 상에 제1 금속층(121)이 형성된다. 도면에 도시되지 않았으나, 제1 금속층(121)은 패터닝될 수 있다. 게이트 전극과 제1 금속층(121) 상에 게이트 절연층(812)이 형성된다(S720). 게이트 절연층(812)은 패터닝되지 않은 상태로 기판(110) 전면에 배치된다.

[0069] 제1 금속층(121)과 일부 중첩하는 제2 금속층(123)은 소스 전극 및 드레인 전극과 동일한 레벨에 형성된다(S730). 도 8b를 참조하면, 제2 금속층(123)과 액티브층(122)이 패터닝되어 배치된다. 일 실시예에서, 액티브층(122)과 제2 금속층(123)이 순차적으로 전면에서 증착되고, 하프톤(half-tone) 마스크를 사용하여 소스 전극과 드레인 전극 사이에서는 액티브층(122) 위에 제2 금속층(123)이 형성되지 않도록 포토레지스트 공정이 수행될 수도 있다. 이러한 공정을 따르면, 마스크의 개수를 감소시킬 수 있으나, 도 8b에서와 같이 액티브층(122)이 제2 금속층(123) 아래에 접하는 구조가 나타난다.

[0070] 그러나, 액티브층(122)의 형성은 하프톤 마스크를 사용하는 공정에 제한되지 않고, 에치 스타퍼(etch stopper)를 사용하는 공정 또는 액티브층(122)을 패터닝하는 공정을 사용할 수도 있다.

[0071] 제2 금속층(123)을 덮도록 패시베이션층(813)이 형성된다(S740). 도 8c를 참조하면, 패시베이션층(813)은 패터닝되지 않은 상태로 기판(110) 전면에 형성된다. 패시베이션층(813)은 액티브층(122)이 하프톤 마스크를 사용하는 공정으로 형성되는 경우, 액티브층(122)과 직접 접한다. 다음으로, 제2 금속층(123) 상에 평탄화층(114)이 형성되고(S750), 제1 금속층(121)과 제2 금속층(123) 위의 패시베이션층(813)을 노출시키도록 평탄화층(114)의 일부가 제거된다(S760). 또한, 평탄화층(114) 상에는 공통 전극이 배치될 수도 있으며, 공통 전극을 다른 도전성 물질 예를 들어, 픽셀 전극과 절연시키기 위해 홀이 형성된 평탄화층(114) 상부에 상부 절연층(815)이 배치될 수 있다. 그러나, 이에 제한되지 않고, 액정 표시 장치(100)의 픽셀 구조에 따라, 픽셀 전극과 공통 전극은 동일한 평면에 배치될 수도 있으며, 픽셀 전극이 공통 전극의 아래에 배치될 수도 있다.

[0072] 상부 절연층(815)이 배치되는 경우, 도 8d에서와 같이 상부 절연층(815)은 기판(110) 전면에 배치된다. 다음으로, 제1 금속층(121)의 상면과 제2 금속층(123)의 상면을 노출시키도록, 평탄화층(114)의 홀에서 게이트 절연층(812) 및 패시베이션층(813)이 제거된다(S770). 그리고, 평탄화층(114)의 홀 내에서 제1 금속층(121)의 상면과 제2 금속층(123)의 상면에 걸쳐 배치되고, 제1 금속층(121)과 제2 금속층(123)을 전기적으로 연결시키는 도전층(125)이 형성된다(S780).

[0073] 도 8d를 참조하면, 게이트 절연층(812), 패시베이션층(813) 및 상부 절연층(815) 모두는 기판(110) 전면에 배치된다. 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법에서는 게이트 절연층(812), 패시베이션층(813) 및 상부 절연층(815) 중 적어도 2 이상의 층들의 일부를 한번에 제거함으로써 마스크의 개수를 저감시킬 수 있

다.

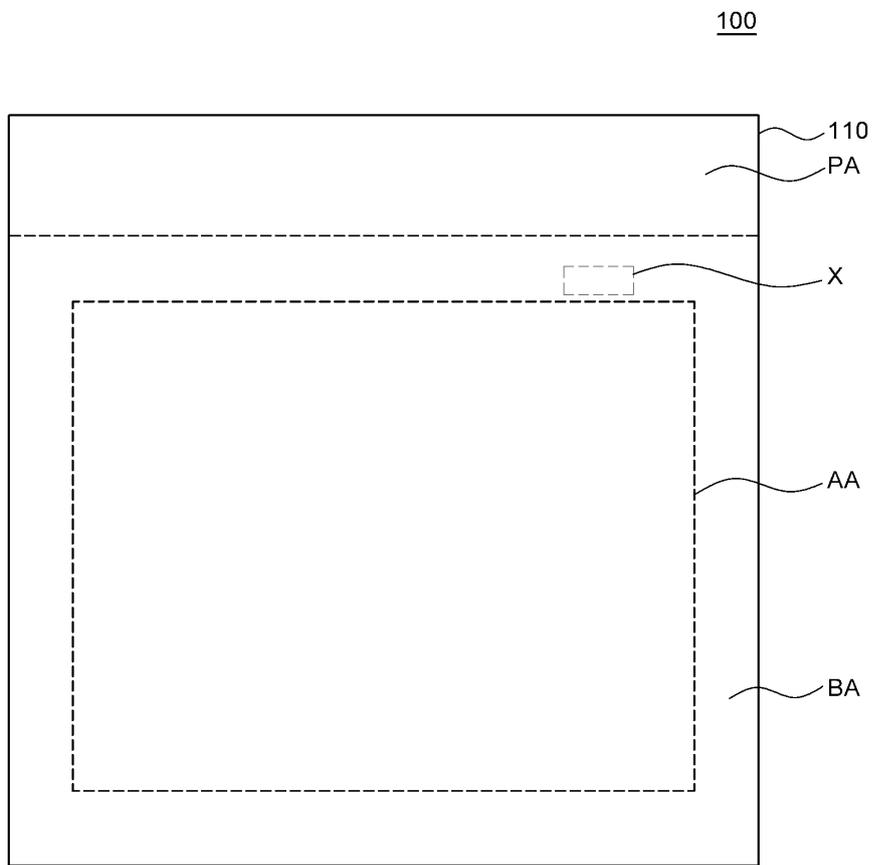
- [0074] 특히, 게이트 절연층(812)이 한번에 제거되는 2 이상의 층들에 포함되는 경우, 제1 금속층(121)과 제2 금속층(123)을 직접 연결시키는 게이트 절연층(812)의 개구부를 형성할 수 없게 된다. 따라서, 다수의 층을 동시에 패터닝하는 액정 표시 장치의 제조 방법에서는 제1 금속층(121)과 제2 금속층(123)이 서로 직접 연결될 수 없다. 이에 따라, 종래에는 제1 금속층(121)의 상부와 제2 금속층(123)의 상부 각각을 별도의 홀을 통해 노출시킨 후, 제1 금속층(121)의 상부와 제2 금속층(123)의 상부를 도전층(125)을 통해 전기적으로 연결시키는 구조를 이용하였다. 그러나, 홀들 각각은 요구되는 최소 면적을 가지며, 홀들 사이에도 마진이 요구되므로, 이러한 구조가 베젤 영역에 배치되는 경우, 베젤 영역의 면적이 증가되었다.
- [0075] 그러나, 도 8e 및 도 8f를 참조하면, 게이트 절연층(112), 패시베이션층(113) 및 상부 절연층(115)을 한번에 제거하더라도, 제1 금속층(121)과 제2 금속층(123)을 중첩하여 배치됨으로써, 하나의 제1 컨택홀(CNT1) 내에서 제1 금속층(121)의 상부와 제2 금속층(123)의 상부를 도전층(125)으로 연결시킬 수 있다.
- [0076] 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서는, 최소화된 마스크 수로 액정 표시 장치가 제조되는 동시에 평탄화층(114)의 하나의 컨택홀 내에서 제1 금속층(121)과 제2 금속층(123)이 도전층(125)에 의해 전기적으로 연결되므로, 마스크의 수를 최소한으로 유지하면서, 평탄화층(114)의 홀의 개수를 감소시켜 베젤 영역의 면적을 감소시킬 수 있다. 즉, 보다 얇은 베젤 영역을 갖는 액정 표시 장치를 최소화된 마스크의 개수를 사용하여 제공할 수 있다.
- [0077] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

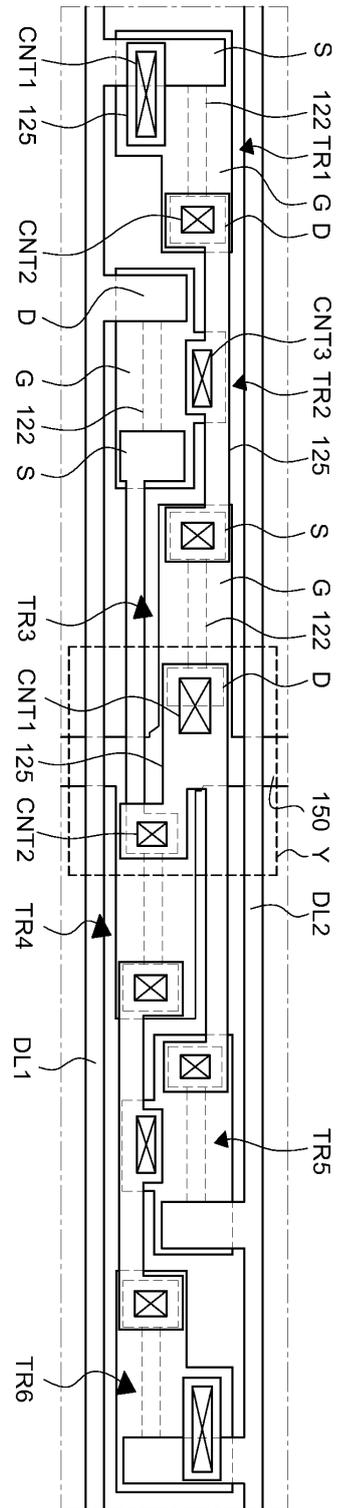
- [0078] 100, 600 : 액정 표시 장치
- 110 : 기판
- 112, 812 : 게이트 절연층
- 113, 813 : 패시베이션층
- 114 : 평탄화층
- 115, 815 : 상부 절연층
- 121, 640 : 제1 금속층
- 122 : 액티브층
- 123, 630 : 제2 금속층
- 124 : 공통 전극
- 125, 625 : 도전층
- DL1 : 제1 데이터 배선
- DL2 : 제2 데이터 배선
- 150 : Vcom 배선
- 630a : 개구부
- 620 : 게이트 배선

도면

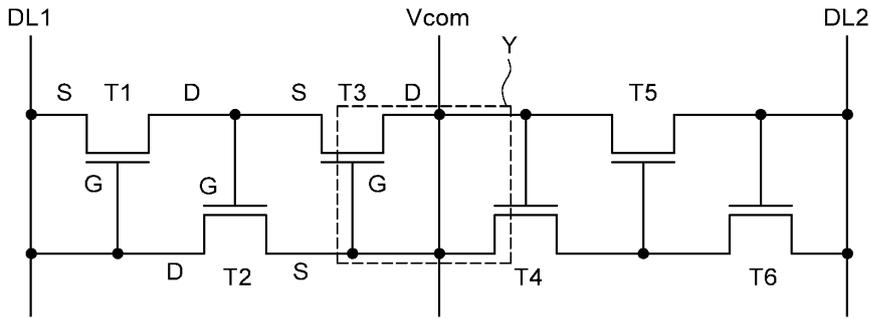
도면1



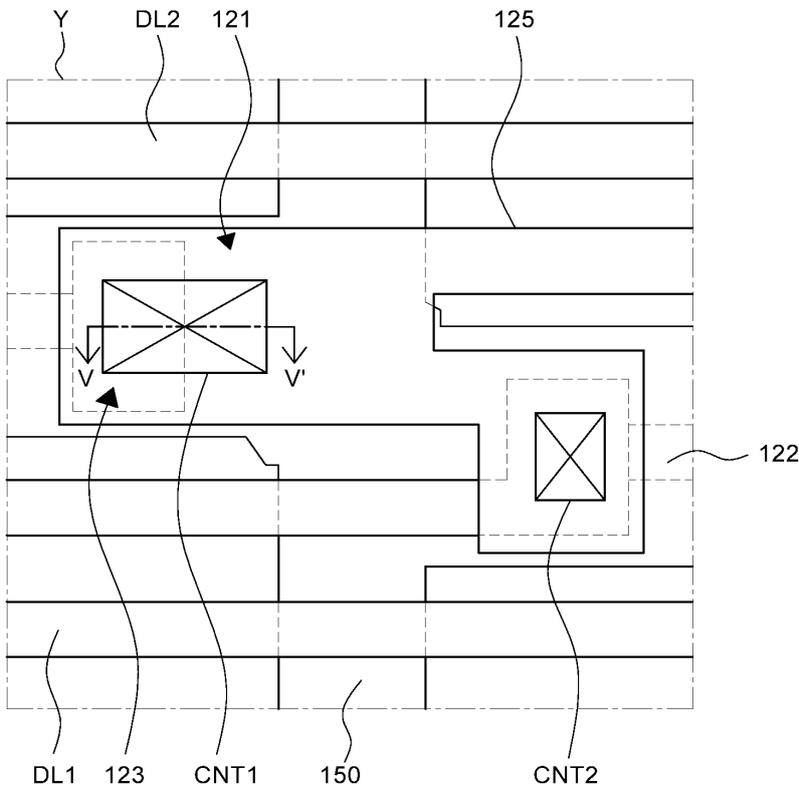
도면2



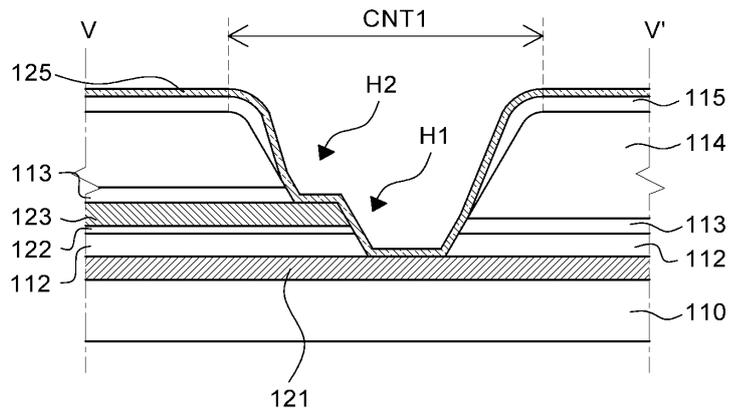
도면3



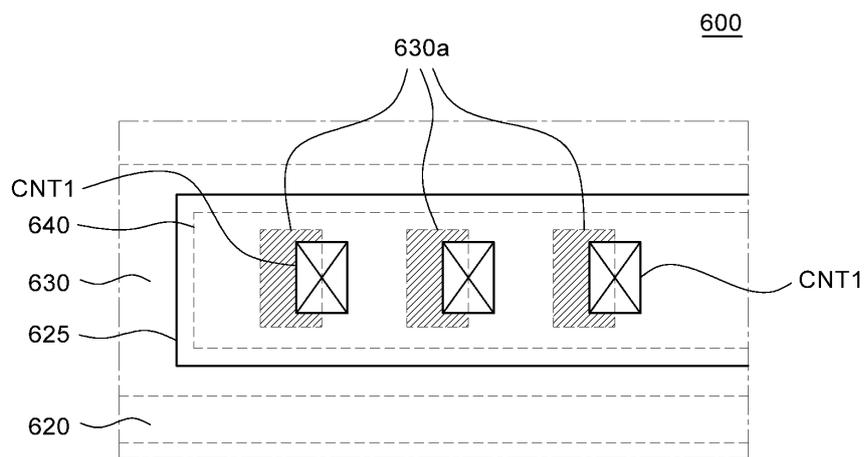
도면4



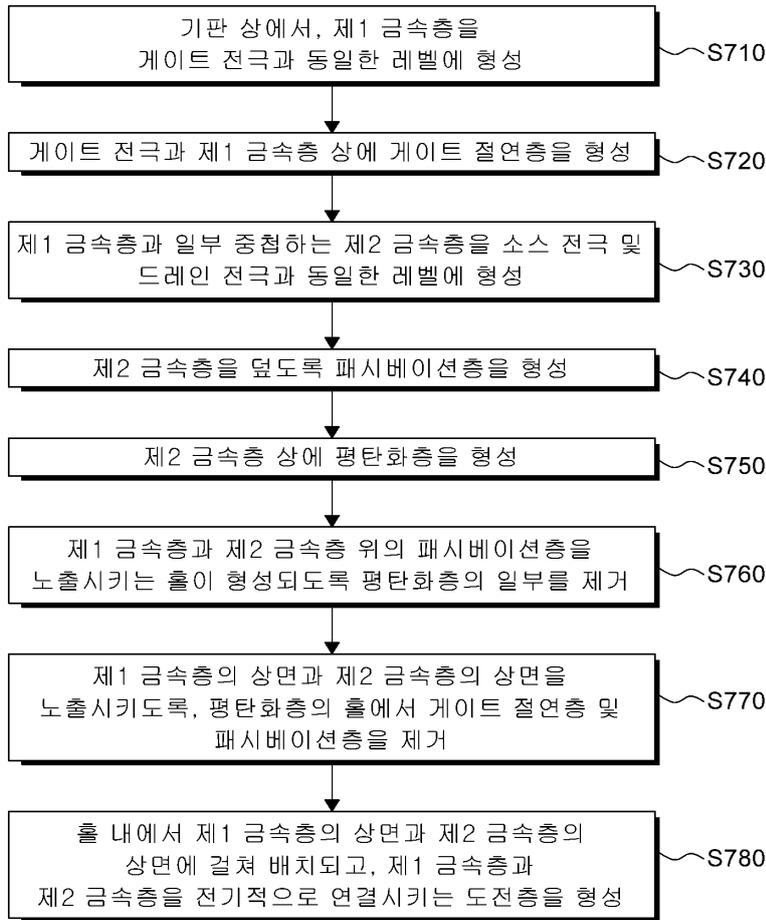
도면5



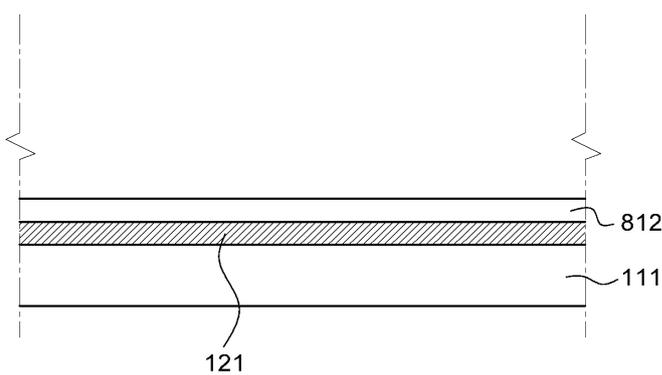
도면6



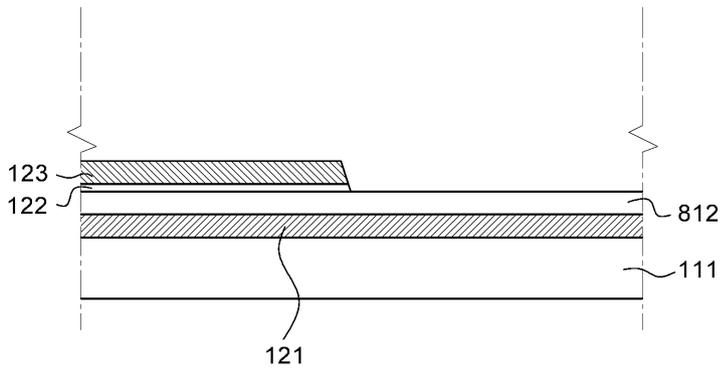
도면7



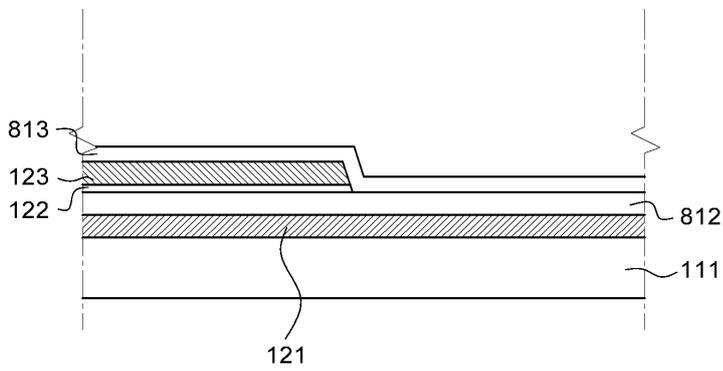
도면8a



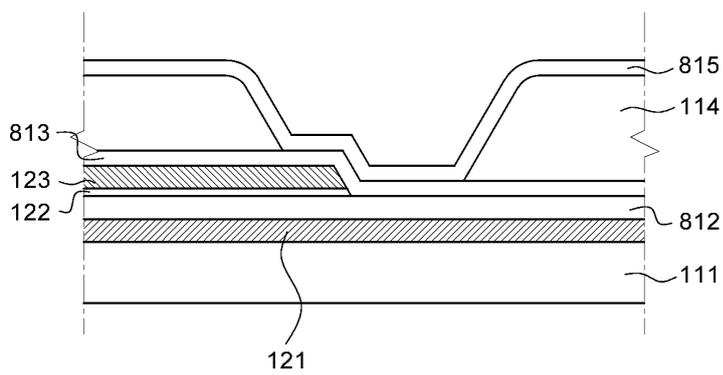
도면8b



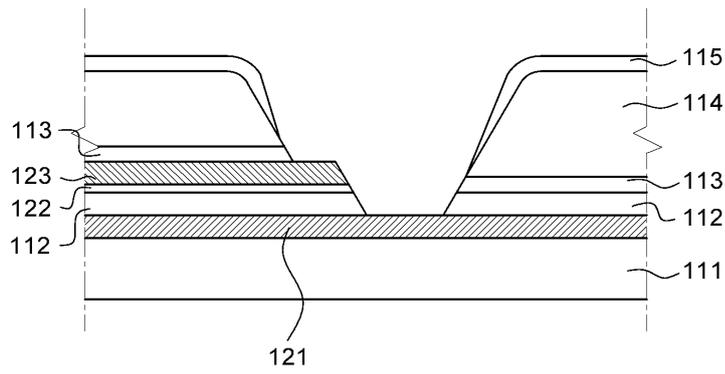
도면8c



도면8d



도면8e



도면8f

