

(45) 공고일자 2021년06월14일
(11) 등록번호 10-2264474
(24) 등록일자 2021년06월08일

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
강정호
경상북도 구미시 옥계북로 69 106동 1206호 (옥계동, 현진에버빌애플아이어아파트)

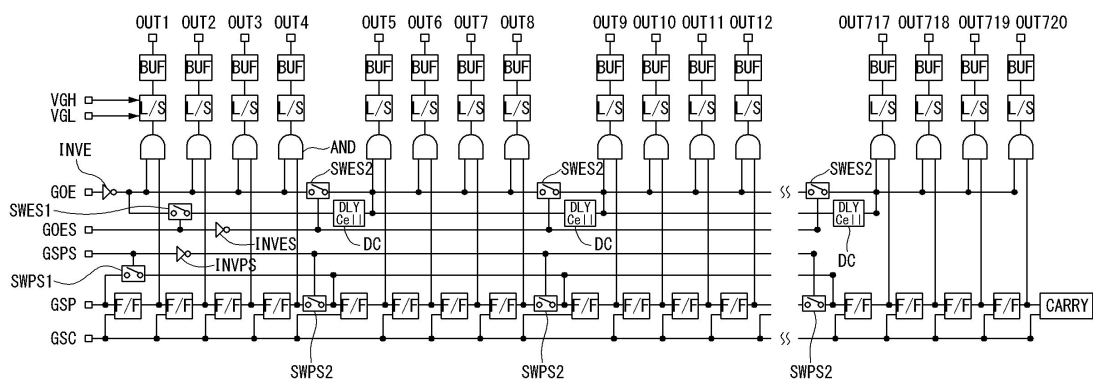
(74) 대리인
특허법인천문

심사관 : 추장희

(54) 발명의 명칭 게이트 구동부 및 이를 이용한 액정표시장치

본 발명은 액정패널, 게이트 구동부 및 전원 공급부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 게이트 구동부는 액정패널에 게이트신호를 공급한다. 전원 공급부는 게이트 구동부에 게이트하이전압과 게이트로우전압을 공급한다. 게이트 구동부는 더미 활성화신호와 더미 스타트신호의 논리값에 따라 모든 출력채널이 게이트신호를 순차적으로 출력하는 순차 구동 또는 4개의 출력채널씩 4상의 게이트신호를 출력하는 4상(4-Phase) 구동을 한다.

대표도



(56) 선행기술조사문헌

KR100969628 B1*

KR1020110052279 A*

KR1020110114718 A*

KR1020140065865 A*

KR1020140054974 A

KR1020110077868 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

액정패널;

상기 액정패널에 게이트신호를 공급하는 게이트 구동부; 및

상기 게이트 구동부에 게이트하이전압과 게이트로우전압을 공급하는 전원 공급부를 포함하되,

상기 게이트 구동부는 외부로부터 공급된 더미 활성화신호와 더미 스타트신호의 논리값에 따라 모든 출력채널이 게이트신호를 순차적으로 출력하는 순차 구동 또는 4개의 출력채널씩 4상의 게이트신호를 출력하는 4상(4-Phase) 구동을 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 게이트 구동부는

상기 더미 활성화신호와 더미 스타트신호의 논리값이 로직로우일 때 상기 순차 구동을 하고,

상기 더미 활성화신호와 더미 스타트신호의 논리값이 로직하이일 때 상기 4상 구동을 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 게이트 구동부는

상기 액정패널에 단색 패턴을 표시하는 오토 프로브 검사를 수행할 때 상기 4상 구동을 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 액정패널은

적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 하나의 픽셀을 이루며, 상기 백색 서브 픽셀은 자신을 구동하는 스위칭 트랜지스터와 이웃하는 서브 픽셀을 구동하는 스위칭 트랜지스터가 자신의 영역에 함께 형성된 액정표시장치.

청구항 5

제1항에 있어서,

상기 게이트 구동부는

4개의 플립플롭 회로씩 그룹화된 플립플롭 회로부와,

4개의 앤드 게이트씩 그룹화된 앤드 게이트부와,

상기 플립플롭 회로부 및 앤드 게이트부 사이에 배치되고 상기 더미 활성화신호와 상기 더미 스타트신호의 논리값에 따라 상기 4개의 출력채널씩 묶인 그룹들을 활성화하고, 활성화된 상기 4개의 출력채널씩 상기 4상의 게이트신호를 출력하도록 동작하는 스위치 회로부와,

제1그룹의 플립플롭과 제1그룹의 앤드 게이트를 미포함하는 나머지 그룹들에 상기 더미 활성화신호와 상기 더미 스타트신호를 반전하여 전달하는 더미 인버터를 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 스위치 회로부는

더미 스타트신호라인에 스위치전극이 연결되고 게이트 스타트 펄스신호라인에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제1스위치와,

상기 더미 스타트신호를 반전하여 전달하는 제1인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 플립플롭의 출력단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제2스위치와,

더미 활성화신호라인에 스위치전극이 연결되고 게이트 출력 활성화신호를 반전하여 출력하는 인버터의 출력단에 제1전극이 연결되고 지연 회로부의 입력단에 제2전극이 연결된 제3스위치와,

상기 더미 활성화신호를 반전하여 전달하는 제2인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 앤드 게이트의 제2단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 앤드 게이트의 제2단자에 제2전극이 연결된 제4스위치를 포함하는 액정표시장치.

청구항 7

게이트 시프트클럭에 대응하여 게이트 스타트 펄스신호를 래치하고 래치된 게이트 스타트 펄스신호를 후단으로 출력하며 4개의 플립플롭 회로씩 그룹화된 플립플롭 회로부;

상기 플립플롭 회로부로부터 출력된 신호와 게이트 출력 활성화신호를 반전하여 입력으로 삼고 이들을 앤드하여 출력하며 4개의 앤드 게이트씩 그룹화된 앤드 게이트부;

상기 앤드 게이트부로부터 출력된 신호에 대응하여 외부로부터 공급된 게이트하이전압 또는 게이트로우전압을 게이트신호로 출력하는 레벨 시프터부; 및

상기 플립플롭 회로부 및 앤드 게이트부 사이에 배치되고 더미 활성화신호와 더미 스타트신호의 논리값에 따라 모든 출력채널이 게이트신호를 순차적으로 출력하는 순차 구동 또는 4개의 출력채널씩 4상의 게이트신호를 출력하는 4상(4-Phase) 구동을 하는 선택 구동 회로부를 포함하는 게이트 구동부.

청구항 8

제7항에 있어서,

상기 선택 구동 회로부는

상기 더미 활성화신호와 상기 더미 스타트신호의 논리값에 따라 상기 4개의 출력채널씩 묶인 그룹들을 활성화하고, 활성화된 상기 4개의 출력채널씩 상기 4상의 게이트신호를 출력하도록 동작하는 스위치 회로부와,

제1그룹의 플립플롭과 제1그룹의 앤드 게이트를 미포함하는 나머지 그룹들에 상기 더미 활성화신호와 상기 더미 스타트신호를 반전하여 전달하는 더미 인버터를 포함하는 게이트 구동부.

청구항 9

제8항에 있어서,

상기 스위치 회로부는

더미 스타트신호라인에 스위치전극이 연결되고 게이트 스타트 펄스신호라인에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제1스위치와,

상기 더미 스타트신호를 반전하여 전달하는 제1인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 플립플롭의 출력단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제2스위치와,

더미 활성화신호라인에 스위치전극이 연결되고 게이트 출력 활성화신호를 반전하여 출력하는 인버터의 출력단에 제1전극이 연결되고 지연 회로부의 입력단에 제2전극이 연결된 제3스위치와,

상기 더미 활성화신호를 반전하여 전달하는 제2인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 앤드 게이트의 제2단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 앤드

게이트의 제2단자에 제2전극이 연결된 제4스위치를 포함하는 게이트 구동부.

청구항 10

제7항에 있어서,

상기 선택 구동 회로부는

상기 더미 활성화신호와 더미 스타트신호의 논리값이 로직로우일 때 상기 순차 구동을 하도록 상기 플립플롭 회로부와 상기 앤드 게이트부를 제어하고,

상기 더미 활성화신호와 더미 스타트신호의 논리값이 로직하이일 때 상기 4상 구동을 하도록 상기 플립플롭 회로부와 상기 앤드 게이트부를 제어하는 게이트 구동부.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동부 및 이를 이용한 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다.

[0004] 액정표시장치는 액정패널에 게이트신호를 공급하는 게이트 구동부 및 액정패널에 데이터신호를 공급하는 데이터 구동부 등에 의해 구동한다. 액정패널에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀을 통해 빛이 출사된다. 액정패널은 이때 출사된 빛을 이용하여 영상을 표시한다.

[0005] 영상을 표시하는 액정패널은 증착 공정 등을 거쳐 제작된 이후 다양한 검사를 진행하게 된다. 이들 검사 중에는 액정패널에 단색의 패턴을 표시한 후 점등 양불 검사를 진행하는 오토 프로브(Auto-probe) 검사가 있다. 오토 프로브 검사는 액정패널의 기판에 대한 검사를 수행하여 기판 상의 신호 라인이나 박막 패턴의 양불 여부를 판단해내는 검사이다.

[0006] 그런데, 종래 구조 중 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 액정패널로 구현된 액정표시장치는 오토 프로브 검사시, 데이터라인의 과도한 로드(Load) 때문에 실제 입력되는 데이터신호의 지연(Delay)이 발생하여 해당 서브 픽셀을 충분히 충전할 수 없는 문제가 유발되는바 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 오토 프로브 검사시, 데이터라인의 과도한 로드(Load) 때문에 실제 입력되는 데이터신호의 지연이 발생하여 해당 서브 픽셀을 충분히 충전할 수 없는 문제를 개선하기 위한 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 액정패널, 게이트 구동부 및 전원 공급부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 게이트 구동부는 액정패널에 게이트신호를 공급한다. 전원 공급부는 게이트 구동부에 게이트하이전압과 게이트로우전압을 공급한다. 게이트 구동부는 더미 활성화신호와 더미 스타트신호의 논리값에 따라 모든 출력채널이 게이트신호를 순차적으로 출력하는 순차 구동 또는 4개의 출력채널씩 4상

의 게이트신호를 출력하는 4상(4-Phase) 구동을 한다.

- [0009] 게이트 구동부는 더미 활성화신호와 더미 스타트신호의 논리값이 로직로우일 때 순차 구동을 하고, 더미 활성화신호와 더미 스타트신호의 논리값이 로직하이일 때 4상 구동을 할 수 있다.
- [0010] 게이트 구동부는 액정패널에 단색 패턴을 표시하는 오프 프로브 검사를 수행할 때 4상 구동을 할 수 있다.
- [0011] 액정패널은 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 하나의 픽셀을 이루며, 백색 서브 픽셀은 자신을 구동하는 스위칭 트랜지스터와 이웃하는 서브 픽셀을 구동하는 스위칭 트랜지스터가 자신의 영역에 함께 형성될 수 있다.
- [0012] 게이트 구동부는 4개의 플립플롭 회로씩 그룹화된 플립플롭 회로부와, 4개의 앤드 게이트씩 그룹화된 앤드 게이트부와, 플립플롭 회로부 및 앤드 게이트부 사이에 배치되고 더미 활성화신호와 더미 스타트신호의 논리값에 따라 4개의 출력채널씩 묶인 그룹들을 활성화하고, 활성화된 4개의 출력채널씩 4상의 게이트신호를 출력하도록 동작하는 스위치 회로부와, 제1그룹의 플립플롭과 제1그룹의 앤드 게이트를 미포함하는 나머지 그룹들에 더미 활성화신호와 더미 스타트신호를 반전하여 전달하는 더미 인버터를 포함할 수 있다.
- [0013] 스위치 회로부는 더미 스타트신호라인에 스위치전극이 연결되고 게이트 스타트 펄스신호라인에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제1스위치와, 더미 스타트신호를 반전하여 전달하는 제1인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 플립플롭의 출력단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제2스위치와, 더미 활성화신호라인에 스위치전극이 연결되고 게이트 출력 활성화신호를 반전하여 출력하는 인버터의 출력단에 제1전극이 연결되고 지연 회로부의 입력단에 제2전극이 연결된 제3스위치와, 더미 활성화신호를 반전하여 전달하는 제2인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 앤드 게이트의 제2단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 앤드 게이트의 제2단자에 제2전극이 연결된 제4스위치를 포함할 수 있다.
- [0014] 다른 측면에서 본 발명은 게이트 구동부를 제공한다. 게이트 구동부는 게이트 시프트클록에 대응하여 게이트 스타트 펄스신호를 래치하고 래치된 게이트 스타트 펄스신호를 후단으로 출력하며 4개의 플립플롭 회로씩 그룹화된 플립플롭 회로부; 플립플롭 회로부로부터 출력된 신호와 게이트 출력 활성화신호를 반전하여 입력으로 삼고 이들을 앤드하여 출력하며 4개의 앤드 게이트씩 그룹화된 앤드 게이트부; 앤드 게이트부로부터 출력된 신호에 대응하여 외부로부터 공급된 게이트하이전압 또는 게이트로우전압을 게이트신호로 출력하는 레벨 시프터부; 및 플립플롭 회로부 및 앤드 게이트부 사이에 배치되고 더미 활성화신호와 더미 스타트신호의 논리값에 따라 모든 출력채널이 게이트신호를 순차적으로 출력하는 순차 구동 또는 4개의 출력채널씩 4상의 게이트신호를 출력하는 4상(4-Phase) 구동을 하는 선택 구동 회로부를 포함한다.
- [0015] 선택 구동 회로부는 더미 활성화신호와 더미 스타트신호의 논리값에 따라 4개의 출력채널씩 묶인 그룹들을 활성화하고, 활성화된 4개의 출력채널씩 4상의 게이트신호를 출력하도록 동작하는 스위치 회로부와, 제1그룹의 플립플롭과 제1그룹의 앤드 게이트를 미포함하는 나머지 그룹들에 더미 활성화신호와 더미 스타트신호를 반전하여 전달하는 더미 인버터를 포함할 수 있다.
- [0016] 스위치 회로부는 더미 스타트신호라인에 스위치전극이 연결되고 게이트 스타트 펄스신호라인에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제1스위치와, 더미 스타트신호를 반전하여 전달하는 제1인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 플립플롭의 출력단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 플립플롭의 데이터단자에 제2전극이 연결된 제2스위치와, 더미 활성화신호라인에 스위치전극이 연결되고 게이트 출력 활성화신호를 반전하여 출력하는 인버터의 출력단에 제1전극이 연결되고 지연 회로부의 입력단에 제2전극이 연결된 제3스위치와, 더미 활성화신호를 반전하여 전달하는 제2인버터의 출력단에 스위치전극이 연결되고 각 그룹의 마지막 번째의 앤드 게이트의 제2단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 앤드 게이트의 제2단자에 제2전극이 연결된 제4스위치를 포함할 수 있다.
- [0017] 선택 구동 회로부는 더미 활성화신호와 더미 스타트신호의 논리값이 로직로우일 때 순차 구동을 하도록 플립플롭 회로부와 상기 앤드 게이트부를 제어하고, 더미 활성화신호와 더미 스타트신호의 논리값이 로직하이일 때 4상 구동을 하도록 플립플롭 회로부와 앤드 게이트부를 제어할 수 있다.

발명의 효과

[0018] 본 발명은 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 액정패널로 구현된 액정표시장치는 오토 프로브 검사시, 데이터라인의 과도한 로드(Load) 때문에 실제 입력되는 데이터신호의 지연이 발생하여 해당 서브 픽셀을 충분히 충전할 수 없는 문제를 개선할 수 있는 효과가 있다. 또한, 본 발명은 순차 구동과 4상 구동을 선택적으로 수행할 수 있는 게이트 구동부를 제공할 수 있는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.
 도 2는 모듈화된 액정표시장치를 개략적으로 나타낸 구성도.
 도 3은 오토 프로브 검사용 패드와 관련된 부분을 설명하기 위한 도면.
 도 4는 액정패널에 형성된 서브 픽셀들의 배치 예시도.
 도 5는 오토 프로브 검사시 사용되는 적색 패턴의 모습을 보여주는 도면.
 도 6은 오토 프로브 검사시 사용되는 적색 패턴의 데이터신호 체계를 보여주는 도면.
 도 7은 종래에 제안된 액정표시장치의 문제점을 설명하기 위한 도면.
 도 8 및 도 9는 본 발명의 일 실시예에 따른 게이트 구동부의 동작 특성을 설명하기 위한 도면들.
 도 10 및 도 11은 본 발명의 일 실시예에 따른 게이트 구동부의 동작 특성에 따른 게이트 신호의 출력 양상을 설명하기 위한 도면들.
 도 12는 본 발명의 일 실시예에 따른 게이트 구동부의 회로 구성 예시도.
 도 13은 지연 회로부의 구성 예시도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021] 본 발명에 따른 액정표시장치는 텔레비전, 셋톱박스, 네비게이션, 영상 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈시어터 및 스마트폰(스마트폰) 등으로 구현된다.

[0022] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 모듈화된 액정표시장치를 개략적으로 나타낸 구성도이다.

[0023] 도 1에 도시된 바와 같이, 액정표시장치에는 영상 공급부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 액정패널(150) 및 전원 공급부(180)가 포함된다.

[0024] 영상 공급부(110)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클럭 신호 등과 함께 출력한다. 영상 공급부(110)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 및 데이터신호 등을 타이밍 제어부(120)에 공급한다.

[0025] 타이밍 제어부(120)는 영상 공급부(110)로부터 공급된 각종 신호를 기반으로 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 생성 및 출력한다. 타이밍 제어부(120)는 데이터 타이밍 제어신호와 함께 영상처리부(110)로부터 공급된 데이터신호(또는 데이터전압)를 데이터 구동부(140)에 공급한다.

[0026] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호에 응답하여 게이트전압(VGH, VGL)의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(130)는 게이트라인들(G1 ~ Gn)을 통해 액정패널(150)에 포함된 서브 픽셀들(SP)에 게이트신호를 공급한다. 게이트 구동부(130)는 IC(Integrated Circuit) 형태로 형성된다.

[0027] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호에 응답하여 데이터신호를 샘플링하고 래치하며 감마 기준전압에 대응하여 디지털 형태의 데이터신호를 아날로그 형태로 변환하여 출력한다. 데이터 구동부(140)는 데이터라인들(S1 ~ Sm)을 통해 액정패널(150)에 포함된 서브 픽셀들(SP)에 데이터신호(DATA)를 공급한다. 데이터 구동부(140)는 IC(Integrated Circuit) 형태로 형성된다.

[0028] 액정패널(150)은 박막 형태의 트랜지스터 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된

컬러필터기판 사이에 위치하는 액정층을 포함한다. 액정패널(150)은 게이트 구동부(130)와 데이터 구동부(140)를 포함하는 구동부로부터 출력된 게이트신호와 데이터신호 그리고 전원 공급부(180)로부터 출력된 공통전압(VCOM)에 대응하여 영상을 표시한다. 액정패널(150)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다. 서브 픽셀들(SP)은 증착 공정에 의해 기판 상에 형성된다.

[0029] 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(SW)의 게이트전극은 게이트라인(GL)에 연결되고 소오스전극은 데이터라인(SL)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(SW)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(SW)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.

[0030] 액정패널(150)은 화소전극(1) 및 공통전극(2)의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다.

[0031] 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 액정패널(150)에 광을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED가 실장된 LED기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.

[0032] 전원 공급부(180)는 외부로부터 공급된 입력전압을 기반으로 각종 전원을 생성 및 출력한다. 전원 공급부(180)는 게이트하이전압(VGH), 게이트로우전압(VGL) 및 공통전압(VCOM) 등을 생성한다. 게이트하이전압(VGH)과 게이트로우전압(VGL)은 게이트 구동부(130)에 공급되고, 공통전압(VCOM)은 액정패널(150)에 공급된다.

[0033] 전원 공급부(180)는 이밖에 타이밍 제어부(120)나 데이터 구동부(140) 등에 공급할 전원을 생성 및 출력할 수도 있다. 본 발명에서는 전원 공급부(180)가 앞서 설명된 전압을 모두 생성하는 것을 일례로 하였다. 그러나, 이는 하나의 예시일 뿐, 전원 공급부(180)는 장치의 구성 및 전압의 레벨 등에 따라 분리될 수 있다.

[0034] 앞서 설명된 액정표시장치는 게이트신호를 공급하는 게이트 구동부(130), 데이터신호를 공급하는 데이터 구동부(140) 및 공통전압(VCOM)을 공급하는 전원 공급부(180) 등이 연동하게 됨에 따라 액정패널(150)을 통해 영상을 표시하게 된다.

[0035] 영상을 표시하는 액정패널(150)은 증착 공정 등을 거쳐 제작된 이후 다양한 검사를 진행하게 된다. 이들 검사 중에는 액정패널(150)에 단색의 패턴을 표시한 후 점등 양불 검사를 진행하는 오토 프로브(Auto-probe) 검사가 있다. 오토 프로브 검사는 액정패널(150)의 기판에 대한 검사를 수행하여 기판 상의 신호 라인이나 박막 패턴의 양불 여부를 판단해내는 검사이다.

[0036] 도 2에 도시된 바와 같이, 액정표시장치에 포함된 게이트 구동부(130), 데이터 구동부(140) 및 타이밍 제어부(120)는 액정패널(150)에 전기적으로 연결된다. 액정패널(150)의 트랜지스터기판 상에는 오토 프로브가 접촉할 수 있는 프로브 패드(APPAD1, APPAD2)가 형성된다. 프로브 패드(APPAD1, APPAD2)는 액정패널(150)의 표시영역(AA)의 외곽에 존재하는 좌우측 비표시영역에 형성될 수 있다.

[0037] 액정패널의 트랜지스터기판 상에는 프로브 패드(APPAD1, APPAD2)에 접속되고, 프로브 패드(APPAD1, APPAD2)를 통해 전달된 신호를 데이터라인들에 전달하는 프로브 스위치(160)가 형성된다. 프로브 스위치(160)는 프로브 패드(APPAD1, APPAD2)로부터 전달된 활성화신호에 응답하여 턴온 및 턴오프되는 트랜지스터로 구성된다.

[0038] 프로브 스위치(160)가 활성화되면 프로브 패드(APPAD1, APPAD2)를 통해 전달된 신호는 프로브 라인들(APL)을 통해 데이터라인들에 전달된다. 예컨대, 프로브 스위치(160)는 8개의 라인으로 구성된 프로브 라인들(APL)을 구동하는 8상의 트랜지스터로 구성된다.

[0039] 오토 프로브를 통한 검사시 데이터 구동부(140)는 액정패널(150)에 접속되거나 미접속되더라도 무방하다. 그 이유는 프로브 패드(APPAD1, APPAD2)와 프로브 스위치(160)를 통해 검사용신호가 액정패널(150)에 공급 및 전달되기 때문이다. 반면, 게이트 구동부(130)는 검사용신호가 액정패널(150)에 공급되도록 서브 픽셀들에 포함된 스위칭 트랜지스터를 구동해야 한다.

[0040] 게이트 구동부(130)는 타이밍 제어부(120)로부터 출력된 게이트 타이밍 제어신호(GOE, GSP, GSC, GOES, GSPS)를 기반으로 서브 픽셀들에 포함된 스위칭 트랜지스터를 턴온하기 위한 게이트하이전압(VGH)과 턴오프하기 위한 게

이트로우전압(VGL)을 출력한다.

- [0041] 도 3은 오토 프로브 검사용 패드와 관련된 부분을 설명하기 위한 도면이고, 도 4는 액정패널에 형성된 서브 픽셀들의 배치 예시도이고, 도 5는 오토 프로브 검사시 사용되는 적색 패턴의 모습을 보여주는 도면이며, 도 6은 오토 프로브 검사시 사용되는 적색 패턴의 데이터신호 체계를 보여주는 도면이고, 도 7은 종래에 제안된 액정표시장치의 문제점을 설명하기 위한 도면이다.
- [0042] 도 3에 도시된 바와 같이, 프로브 스위치(160)에 포함된 프로브 라인들(L1 ~ L8)은 8개로 구성된다. 프로브 라인들(L1 ~ L8)은 액정패널의 표시영역(AA)에 형성된 서브 픽셀들(SP)의 데이터라인들에 연결된다.
- [0043] 프로브 라인들(L1 ~ L8)은 제1 내지 제4프로브 라인들(L1 ~ L4)로 구성된 제1그룹과 제5 내지 제8프로브 라인들(L5 ~ L8)로 구성된 제2그룹으로 구분될 수 있다. 제1그룹은 제1프로브 패드(APPAD1)로부터 전달된 검사용신호를 데이터라인들에 전달하고, 제2그룹은 제2프로브 패드(APPAD2)로부터 전달된 검사용신호를 데이터라인들에 전달한다. 이와 같은 구성에 의해 프로브 패드(APPAD1, APPAD2)를 통해 전달된 신호는 프로브 라인들(L1 ~ L8)을 통해 데이터라인들에 전달된다.
- [0044] 도 4에 도시된 바와 같이, 액정패널에 포함된 픽셀들은 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)로 각각 구성된다(이하 RGBW 서브 픽셀로 약기함).
- [0045] 액정패널에 포함된 서브 픽셀들은 개구율, 투과율 그리고 색 표현력을 향상하기 위해 W 서브 픽셀의 크기를 작게 하고, W 서브 픽셀의 영역 내에 이웃하는 서브 픽셀을 구동하는 스위칭 트랜지스터가 함께 형성된 구조를 갖는다. 한편, 도 4에 도시된 구조는 하나의 이해를 돕기 위한 것일 뿐 서브 픽셀들의 렌더링 형태는 이에 한정되지 않는다.
- [0046] 위와 같이 W 서브 픽셀의 크기를 작게 하고, W 서브 픽셀의 영역 내에 이웃하는 서브 픽셀을 구동하는 스위칭 트랜지스터가 함께 형성된 구조를 갖는 경우, 액정패널은 수평 2 도트(Vertical 2 Dot)의 지그재그 인버전(Zig-Zag Inversion) 방식(도 3의 충전 특성을 나타내는 화살표 참조)으로 구동될 수 있다.
- [0047] 한편, 액정표시장치가 위와 같은 구동 방식을 취하고 있는 상태에서, 도 5와 같은 적색 패턴(Red Pattern)을 액정패널에 구현(표시)하기 위해서는 R 서브 픽셀만 동작해야 한다. 이와 같이 R 서브 픽셀만 동작해야 할 경우, 오토 프로브 검사시 사용되는 검사용신호는 도 6과 같이 교류(AC) 구동을 할 수 있도록 구성되어야 한다. 도 6에서 L1 ~ L4는 제1 내지 제4프로브 라인들(L1 ~ L4)에 공급되는 검사용신호를 의미하고, H1은 1 수평기간을 의미한다.
- [0048] 그런데, 종래에 제안된 액정표시장치는 오토 프로브 검사시, 데이터라인의 과도한 로드(Load) 때문에 도 7과 같이 실제 입력되는 데이터신호의 지연(Delay)이 발생하여 해당 서브 픽셀을 충분히 충전할 수 없는 문제가 유발된다. 서브 픽셀의 충전 불량 문제는 도 7의 "A/P Data 출력" 대비 "Pixel Data 입력"에 해당하는 두 신호를 비교하면 알 수 있다.
- [0049] 도 7에서, H_sync는 수평 동기신호를 의미하고, A/P Data 신호는 검사용신호를 의미하고, A/P Data 출력은 검사용 기기로부터 출력된 검사용신호를 의미하고, Pixel Data 입력은 서브 픽셀에 충전된 검사용신호를 의미한다.
- [0050] 종래에 제안된 액정표시장치의 기술적 문제점을 분석해 본 결과, 도 3, 도 4 등과 같은 형태를 갖는 RGBW 서브 픽셀로 구현된 액정패널은 1 수평 시간 동안의 충전 시간이 부족한바, 순차적으로 출력되는 게이트신호로는 충분한 충전 시간을 만족할 수 없는 것으로 나타났다.
- [0051] 본 발명은 도 7과 같은 문제(충전 미흡으로 단색 미 점등 현상 발생 문제)를 개선하기 위해 서브 픽셀의 충전 시간을 충분히 확보할 수 있도록 개선된 게이트 구동부 그리고 이를 이용한 액정표시장치를 제공한다. 이하, 본 발명의 일 실시예에 대해 더욱 자세히 설명한다.
- [0052] 도 8 및 도 9는 본 발명의 일 실시예에 따른 게이트 구동부의 동작 특성을 설명하기 위한 도면들이고, 도 10 및 도 11은 본 발명의 일 실시예에 따른 게이트 구동부의 동작 특성에 따른 게이트 신호의 출력 양상을 설명하기 위한 도면들이며, 도 12는 본 발명의 일 실시예에 따른 게이트 구동부의 회로 구성 예시도이고, 도 13은 지연 회로부의 구성 예시도이다.
- [0053] 도 8 및 도 9에 도시된 바와 같이, 본 발명의 일 실시예에 따른 게이트 구동부(130)는 더미 게이트 출력 활성화 신호(이하 더미 활성화신호로 약기함)(GOES)와 더미 게이트 스타트 펄스신호(더미 스타트신호로 약기함)(GSPS)의 논리값에 따라 순차 구동(도 8) 또는 4상(4-Phase) 구동(도 9)을 하도록 구현된다.

- [0054] 도 8 및 도 10에 도시된 바와 같이, 본 발명의 일 실시예에 따른 게이트 구동부(130)는 타이밍 제어부로부터 출력된 게이트 출력 활성화신호(GOE), 게이트 스타트 펄스신호(GSP), 게이트 시프트클록(GSC), 더미 활성화신호(GOES) 및 더미 스타트신호(GSPS)에 대응하여 순차 구동을 한다.
- [0055] 구체적으로, 게이트 구동부(130)는 더미 활성화신호(GOES) 및 더미 스타트신호(GSPS)의 논리값이 로직로우(L 또는 0)에 해당하면 순차적으로 게이트하이전압에 해당하는 게이트신호가 출력되도록 순차 구동을 한다.
- [0056] 이 경우, 게이트 구동부(130)는 제1출력채널(OUT1) 내지 제N출력채널(OUTn)을 통해 순차적으로 게이트하이전압을 갖는 제1 내지 제N게이트신호들(Out1 ~ Outn)을 출력하게 된다.
- [0057] 이때, 제1 내지 제N게이트신호들(Out1 ~ Outn)이 순차적으로 게이트하이전압을 유지하는 시간은 대략 $7.7\mu s$ 수준이 되는 것으로 확인되었다. 도 10에서, Carry는 다음 단의 게이트 구동부로 넘겨지는 캐리신호를 의미하고, L1 ~ L4의 RED는 적색 패턴의 검사용신호를 의미한다.
- [0058] 도 9 및 도 11에 도시된 바와 같이, 본 발명의 일 실시예에 따른 게이트 구동부(130)는 타이밍 제어부로부터 출력된 게이트 출력 활성화신호(GOE), 게이트 스타트 펄스신호(GSP), 게이트 시프트클록(GSC), 더미 활성화신호(GOES) 및 더미 스타트신호(GSPS)에 대응하여 4상 구동을 한다.
- [0059] 구체적으로, 게이트 구동부(130)는 더미 활성화신호(GOES) 및 더미 스타트신호(GSPS)의 논리값이 로직하이(H 또는 1)에 해당하면 순차적으로 게이트하이전압에 해당하는 게이트신호가 출력되도록 4상 구동을 한다.
- [0060] 이 경우, 게이트 구동부(130)는 제1출력채널(OUT1) 내지 제4출력채널(OUT4)을 통해 순차적으로 게이트하이전압을 갖는 제1 내지 제4게이트신호들(Out1 ~ Out4)을 출력하게 된다. 게이트 구동부(130)는 제1 내지 제4게이트신호들(Out1 ~ Out4)과 같은 위상을 갖는 게이트신호들을 4개의 출력채널씩 출력하게 된다.
- [0061] 이때, 제1 내지 제N게이트신호들(Out1 ~ Outn)이 4 상으로 게이트하이전압을 유지하는 시간은 대략 1ms 수준이 되는 것으로 확인되었다. 도 11에서, Carry는 다음 단의 게이트 구동부로 넘겨지는 캐리신호를 의미하고, L1 ~ L4의 RED는 적색 패턴의 검사용신호를 의미한다.
- [0062] 도 12에 도시된 바와 같이, 본 발명의 일 실시예에 따른 게이트 구동부(130)에는 플립플롭 회로부(F/F), 스위치 회로부(SWPS1, SWPS2, SWES1, SWES2), 캐리 출력부(CARRY), 인버터(INVE), 더미 인버터(INVPS, INVES), 지연 회로부(DC), 앤드 게이트부(AND), 레벨 시프터부(L/S) 및 출력 버퍼부(BUF)가 포함된다.
- [0063] 본 발명의 일 실시예에 따른 게이트 구동부(130)는 4개의 출력채널씩(OUT1 ~ OUT4, OUT5 ~ OUT8, OUT9 ~ OUT12...OUT717 ~ OUT720) 그룹화된 상태이다. 출력채널들(OUT1 ~ OUT4, OUT5 ~ OUT8, OUT9 ~ OUT12...OUT717 ~ OUT720)은 더미 활성화신호(GOES) 및 더미 스타트신호(GSPS)의 논리값에 대응하여 설정된 그룹이 활성화되거나 비활성화된다.
- [0064] 그룹이 비활성화된 경우, 게이트 구동부(130)의 출력채널들(OUT1 ~ OUT4, OUT5 ~ OUT8, OUT9 ~ OUT12...OUT717 ~ OUT720)은 순차 구동을 하며 게이트신호들을 출력한다. 반면, 그룹이 활성화된 경우, 게이트 구동부(130)의 출력채널들(OUT1 ~ OUT4, OUT5 ~ OUT8, OUT9 ~ OUT12...OUT717 ~ OUT720)은 4상 구동을 하며 게이트신호들을 출력한다
- [0065] 게이트 구동부(130) 내에서 4개의 출력채널(4개의 출력채널을 담당하는 회로; 4개의 플립플롭 회로와 4개의 앤드 게이트)씩 묶인 그룹들을 활성화하고, 활성화된 4개의 출력채널씩 4상의 게이트신호를 출력하도록 동작하는 회로는 플립플롭 회로부(F/F)와 앤드 게이트부(AND) 사이에 배치된 스위치 회로부(SWPS1, SWPS2, SWES1, SWES2)와 더미 인버터(INVPS, INVES)이다.
- [0066] 플립플롭 회로부(F/F)는 게이트 시프트클록(GSC)에 대응하여 게이트 스타트 펄스신호(GSP)를 한 라인씩 이동시킨다. 플립플롭 회로부(F/F)는 다수의 플립플롭들 예컨대 D-플립플롭들로 구성된다.
- [0067] 제1라인의 D-플립플롭은 게이트 시프트클록(GSC)이 전달되는 게이트 시프트클록라인에 클록단자가 연결되고, 게이트 스타트 펄스신호(GSP)가 전달되는 게이트 스타트 펄스신호라인에 데이터단자가 연결되며, 제2라인의 D-플립플롭의 데이터단자에 출력단자가 연결된다.
- [0068] 플립플롭 회로부(F/F)는 이와 같은 형태로 4개의 D-플립플롭씩 구성된다. 제1라인의 D-플립플롭의 클록단자와 제5라인, 제9라인 제717라인의 D-플립플롭의 클록단자 사이에는 제1스위치(SWPS1)가 형성된다. 제4라인(그룹의 첫 번째)의 D-플립플롭의 출력단자와 제5라인(그룹의 마지막 번째)의 D-플립플롭의 데이터단자 사이에는 제2스위치(SWPS2)가 형성된다. 이와 같은 형태로 제8라인과 제9라인, 제12라인과 제13라인 등의 D-플립플롭의

출력단자와 데이터단자 사이에는 제2스위치(SWPS2)가 각각 형성된다.

- [0069] 제1스위치(SWPS1)는 더미 스타트신호(GSPS)가 전달되는 더미 스타트신호라인에 게이트전극(또는 스위치전극)이 연결되고 게이트 스타트 펄스신호(GSP)가 전달되는 게이트 스타트 펄스신호라인에 제1전극이 연결되고 제1그룹을 제외한(미포함하는) 나머지 그룹의 첫 번째 라인의 D-플립플롭의 데이터단자에 제2전극이 연결된다.
- [0070] 제1스위치(SWPS1)는 더미 스타트신호(GSPS)에 대응하여 턴온되거나 턴오프된다. 제1스위치(SWPS1)가 턴온되면 제1라인, 제5라인, 제9라인 제717라인의 D-플립플롭의 데이터단자에는 모두 동일한 게이트 스타트 펄스신호(GSP)가 전달된다. 4개의 D-플립플롭씩 짝지어진 그룹들은 동일한 신호를 래치하게 된다.
- [0071] 반면, 제1스위치(SWPS1)가 턴오프되면 제1라인의 D-플립플롭의 데이터단자에만 게이트 스타트 펄스신호(GSP)가 전달된다. 나머지 제5라인, 제9라인 제717라인의 D-플립플롭의 데이터단자는 순차적으로 시프트된 게이트 스타트 펄스신호(GSP)를 앞선 D-플립플롭의 출력으로부터 공급받으며 래치하게 된다.
- [0072] 제2스위치(SWPS2)는 더미 스타트신호(GSPS)를 반전하여 전달하는 제1더미 인버터(INVPS)의 출력단에 게이트전극이 연결되고 제4라인(그룹의 마지막 번째)의 D-플립플롭의 출력단자에 제1전극이 연결되고 제5라인(그룹의 첫 번째)의 D-플립플롭의 데이터단자에 제2전극이 연결된다.
- [0073] 제2스위치(SWPS2)는 더미 스타트신호(GSPS)에 대응하여 턴온되거나 턴오프된다. 제2스위치(SWPS2)가 턴온되면 제4라인의 D-플립플롭의 출력단자로부터 출력된 신호는 제5라인의 D-플립플롭의 데이터단자에 전달된다. 반면, 제2스위치(SWPS)가 턴오프되면 제4라인의 D-플립플롭의 출력단자로부터 출력된 신호는 제5라인의 D-플립플롭의 데이터단자에 전달되지 않는다.
- [0074] 제1스위치(SWPS1)와 제2스위치(SWPS2)는 더미 스타트신호(GSPS)가 전달되는 더미 스타트신호라인에 연결된다. 하지만, 제2스위치(SWPS2)는 제1더미 인버터(INVPS)에 의해 반전된 신호를 받는다. 때문에, 더미 스타트신호(GSPS)가 로직하이로 공급될 경우 제1스위치(SWPS1)는 턴온되지만 제2스위치(SWPS2)는 턴오프 된다.
- [0075] 맨 마지막 라인에 위치하는 제720라인의 D-플립플롭의 출력단자는 캐리신호라인(CARRY)에 연결된다. 캐리신호라인(CARRY)을 통해 출력된 캐리신호는 다음 스테이지에 위치하는 게이트 구동부에 전달된다.
- [0076] 제1 내지 제720라인의 D-플립플롭의 출력단자로부터 출력된 신호는 앤드 게이트부(AND)의 제1단자에 전달된다. 게이트 출력 활성화신호(GOE)는 인버터(INVE)에 의해 반전된 후 앤드 게이트부(AND)의 제2단자에 전달된다.
- [0077] 앤드 게이트부(AND)는 인버터(INVE)를 통해 전달된 게이트 출력 활성화신호(GOE)와 플립플롭 회로부(F/F)로부터 전달된 신호를 앤드 연산하여 출력한다. 앤드 게이트부(AND)로부터 출력된 신호는 레벨 시프터부(L/S)에 전달된다.
- [0078] 제1라인의 앤드 게이트는 제1라인의 D-플립플롭의 출력단자에 제1단자가 연결되고, 게이트 출력 활성화신호(GOE)가 전달되는 인버터(INVE)에 제2단자가 연결된다. 제2라인 내지 제4라인의 앤드 게이트는 제1그룹의 제2라인 내지 제4라인 D-플립플롭의 출력단자에 제1단자가 연결된다.
- [0079] 이와 같은 형태로 제2그룹의 제5라인 내지 제8라인, 제3그룹의 제9라인 내지 제12라인 등에 속하는 앤드 게이트는 이에 대응되는 그룹의 D-플립플롭의 출력단자에 제1단자가 연결된다.
- [0080] 앤드 게이트부(AND)는 이와 같은 형태로 4개의 D-플립플롭과 같이 4개씩 구성된다. 제1라인의 앤드 게이트의 제2단자와 제5라인, 제9라인 제717라인의 앤드 게이트의 제2단자 사이에는 제3스위치(SWES1)가 형성된다.
- [0081] 제3스위치(SWES1)와 제4라인(그룹의 첫 번째)의 앤드 게이트의 제2단자의 사이에는 지연 회로부(DC)가 형성된다. 이와 같은 형태로 제9라인, 제13라인 등의 앤드 게이트의 제2단자들은 지연 회로부(DC)를 거친 게이트 출력 활성화신호(GOE)를 전달받도록 구성된다.
- [0082] 제4라인(그룹의 첫 번째)의 앤드 게이트의 제2단자와 제5라인(그룹의 마지막 번째)의 앤드 게이트의 제2단자 사이에는 제4스위치(SWES2)가 형성된다. 이와 같은 형태로 제8라인과 제9라인, 제12라인과 제13라인 등의 앤드 게이트의 제2단자들의 사이에는 제4스위치(SWES2)가 각각 형성된다.
- [0083] 제3스위치(SWES1)는 더미 활성화신호(GOES)가 전달되는 더미 활성화신호라인에 게이트전극이 연결되고 게이트 출력 활성화신호(GOE)를 반전하여 출력하는 인버터(INVE)의 출력단에 제1전극이 연결되고 지연 회로부(DC)의 입력단에 제2전극이 연결된다.
- [0084] 제3스위치(SWES1)는 더미 활성화신호(GOES)에 대응하여 턴온되거나 턴오프된다. 제3스위치(SWES1)가 턴온되면

제1라인, 제5라인, 제9라인 제717라인의 앤드 게이트의 제2단자에는 모두 동일한 게이트 출력 활성화신호(GOE)가 전달된다. 다만, 제1라인의 앤드 게이트를 제외한 제5라인, 제9라인 ... 제717라인의 앤드 게이트는 지연 회로부(DC)를 거친 게이트 출력 활성화신호(GOE)를 전달받게 된다.

[0085] 지연 회로부(DC)는 도 13과 같이 인버터(INV1 ~ INVn), 저항기(R1 ~ Rn) 및 커패시터(C1 ~ Cn)로 구성될 수 있으나 이에 한정되지 않는다. 지연 회로부(DC)는 게이트 구동부의 모든 출력채널을 통해 신호가 출력될 경우 발생할 수 있는 피크 전류를 방지하기 위해 사용되는 소자로서 이는 생략될 수도 있다. 반면, 제3스위치(SWES1)가 턴오프되면 제1라인의 앤드 게이트의 제2단자에만 인버터(INVE)에 의해 반전된 게이트 출력 활성화신호(GOE)가 전달된다.

[0086] 제4스위치(SWES2)는 더미 활성화신호를 반전하여 전달하는 제2더미 인버터(INVES)의 출력단에 게이트전극이 연결되고 각 그룹의 마지막 번째의 앤드 게이트의 제2단자에 제1전극이 연결되고 제1그룹을 미포함하는 나머지 그룹의 첫 번째 라인의 앤드 게이트의 제2단자에 제2전극이 연결된다. 제2더미 인버터(INVES)의 출력단에는 반전된 더미 활성화신호(GOES)가 출력된다.

[0087] 제4스위치(SWES2)는 이와 같은 형태로 제2그룹의 앤드 게이트의 제2단자 노드에 제1전극이 연결되고 제3그룹의 앤드 게이트의 제2단자 노드에 제2전극이 연결된다. 이하, 다른 그룹과 다른 그룹 사이에 위치하는 제4스위치(SWES2)도 이와 같은 접속 관계를 갖는다.

[0088] 제4스위치(SWES2)는 더미 활성화신호(GOES)에 대응하여 턴온되거나 턴오프된다. 제4스위치(SWES2)가 턴온되면 제5라인, 제9라인 ... 제717라인(그룹의 첫 번째)의 앤드 게이트의 제2단자에는 인버터(INVE)에 의해 반전된 게이트 출력 활성화신호(GOE)가 전달된다. 반면, 제4스위치(SWES2)가 턴오프되면 제1라인의 앤드 게이트의 제2단자에만 인버터(INVE)에 의해 반전된 게이트 출력 활성화신호(GOE)가 전달된다.

[0089] 앤드 게이트부(AND)로부터 출력된 신호는 레벨 시프터부(L/S)의 입력단에 전달된다. 레벨 시프터부(L/S)는 앤드 게이트부(AND)로부터 출력된 신호에 대응하여 게이트하이전압(VGH) 또는 게이트로우전압(VGL)을 출력한다.

[0090] 레벨 시프터부(L/S)로부터 출력된 게이트하이전압(VGH) 또는 게이트로우전압(VGL)의 게이트신호는 출력 버퍼부(BUF)를 통해 각 출력채널들(OUT1 ~ OUTn)을 통해 출력된다.

[0091] 한편, 앞서 설명된 게이트 구동부는 기 설명된 바와 같이, 더미 활성화신호(GOES)와 더미 스타트신호(GSPS)의 논리값에 따라 순차 구동(도 8) 또는 4상(4-Phase) 구동(도 9)을 하게 된다. 스위치 회로부(SWPS1, SWPS2, SWES1, SWES2), 더미 인버터(INVPS, INVES) 및 지연 회로부(DC)는 선택 구동 회로부로 정의된다.

[0092] 위의 설명을 통해 알 수 있듯이, 본 발명의 실시예에서는 4상 구동을 할 수 있는 게이트 구동부를 구현하기 위해, 제1라인, 제5라인, 제9라인 제717라인의 채널을 담당하는 플립플롭의 입력단에 멀티드랍(Multi Drop) 형태로 게이트 스타트 펄스신호(GSP)가 입력된다.

[0093] 그리고 다수의 게이트신호가 동시에 출력될 시, 피크 전류가 발생할 수 있기 때문에 이를 방지하고 제1라인, 제5라인, 제9라인 등 각 그룹의 첫 번째 라인에 해당하는 채널에 일정한 지연시간을 주는 지연 회로부가 구성된다.

[0094] 이로 인하여, 기 설명된 액정패널과 같이 720채널을 갖는 게이트 구동부를 3개 적용하고 이를 4상 구동하면, 1 수평시간의 충전 시간이 약 1ms를 가지므로 순차 구동의 충전 시간에 해당하는 7.7 μ s 대비 상당히 큰 충전 시간을 확보할 수 있다. 그 결과, 본 발명의 따른 게이트 구동부로 구현된 액정표시장치는 오토 프로브 검사시 시행되는 R/G/B 단색 검사 패턴(Pattern)에서의 충전 미흡 문제를 해결할 수 있는 것으로 나타났다.

[0095] 한편, 위의 설명에서 4상 구동시 1 수평시간의 충전 시간이 약 1ms인 것과 순차 구동시 1 수평시간의 충전 시간이 7.7 μ s인 것은 본 발명의 일 실시예를 기반으로 특정 액정패널을 가지고 시뮬레이션을 하였을 때의 충전 시간에 해당할 뿐 본 발명은 이에 한정되지 않는다.

[0096] 한편, 위의 설명에서는 오토 프로브 검사시에도 게이트 구동부가 타이밍 제어부로부터 게이트 타이밍 제어신호(GOE, GSP, GSC, GOES, GSPS)를 공급받는 것을 일례로 설명하였다. 그러나 이와 달리, 게이트 타이밍 제어신호(GOE, GSP, GSC, GOES, GSPS)는 오토 프로브 검사 장치로부터 출력될 수 있다.

[0097] 한편, 위의 설명에서는 W 서브 픽셀의 크기를 작게 하고, W 서브 픽셀의 영역 내에 이웃하는 서브 픽셀을 구동하는 스위칭 트랜지스터가 함께 형성된 구조를 갖는 액정패널에 대한 오토 프로브 검사시 유용함을 설명하였다. 그러나, 본 발명에 따른 게이트 구동부는 이밖에 다른 구조의 액정패널로 구현된 액정표시장치에도 활용 가능할

것이므로, 위의 설명에 한정되지 않는다.

[0098] 이상 본 발명은 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 액정패널로 구현된 액정표시장치는 오프 프로브 검사시, 데이터라인의 과도한 로드(Load) 때문에 실제 입력되는 데이터신호의 지연이 발생하여 해당 서브 픽셀을 충분히 충전할 수 없는 문제를 개선할 수 있는 효과가 있다. 또한, 본 발명은 순차 구동과 4상 구동을 선택적으로 수행할 수 있는 게이트 구동부를 제공할 수 있는 효과가 있다.

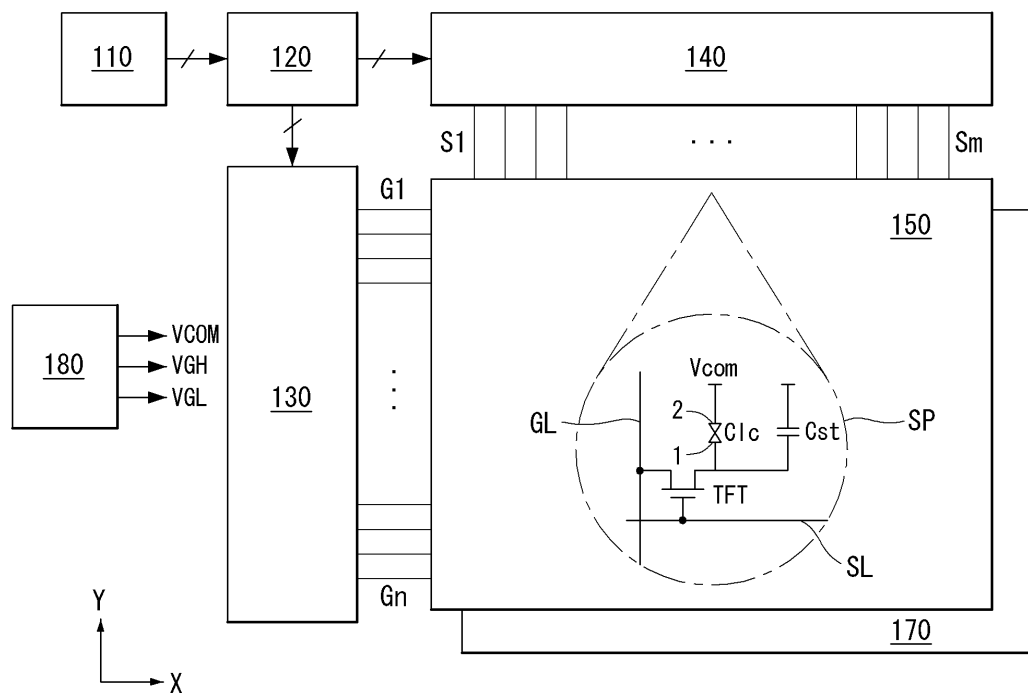
[0099] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

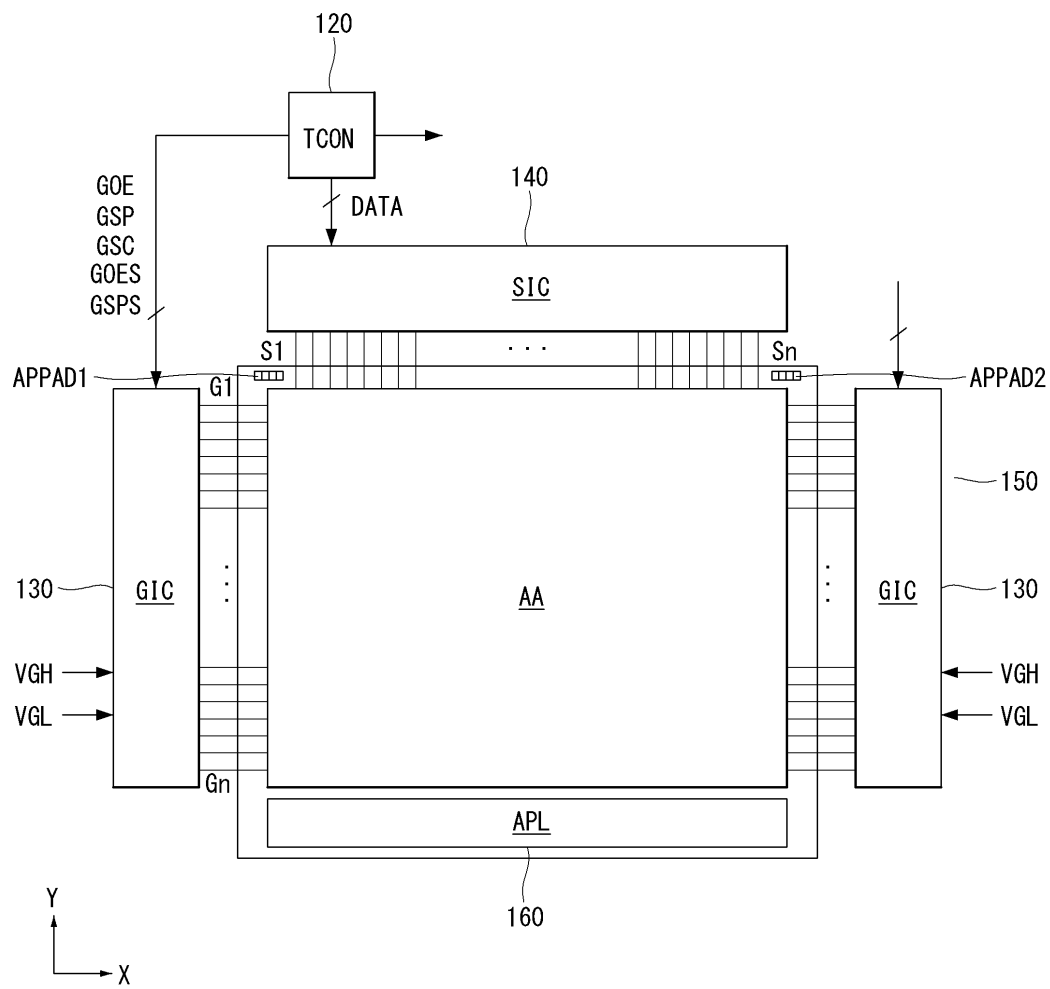
[0100]	110: 영상 공급부	120: 타이밍 제어부
	130: 게이트 구동부	140: 데이터 구동부
	150: 액정패널	180: 전원 공급부
	F/F: 플립플롭 회로부	SWPS1, SWPS2, SWES1, SWES2: 스위치 회로부
	CARRY: 캐리 출력부	INVPS, INVES: 더미 인버터
	DC: 지연 회로부	AND: 앤드 게이트부
	L/S: 레벨 시프터부	BUF: 출력 버퍼부

도면

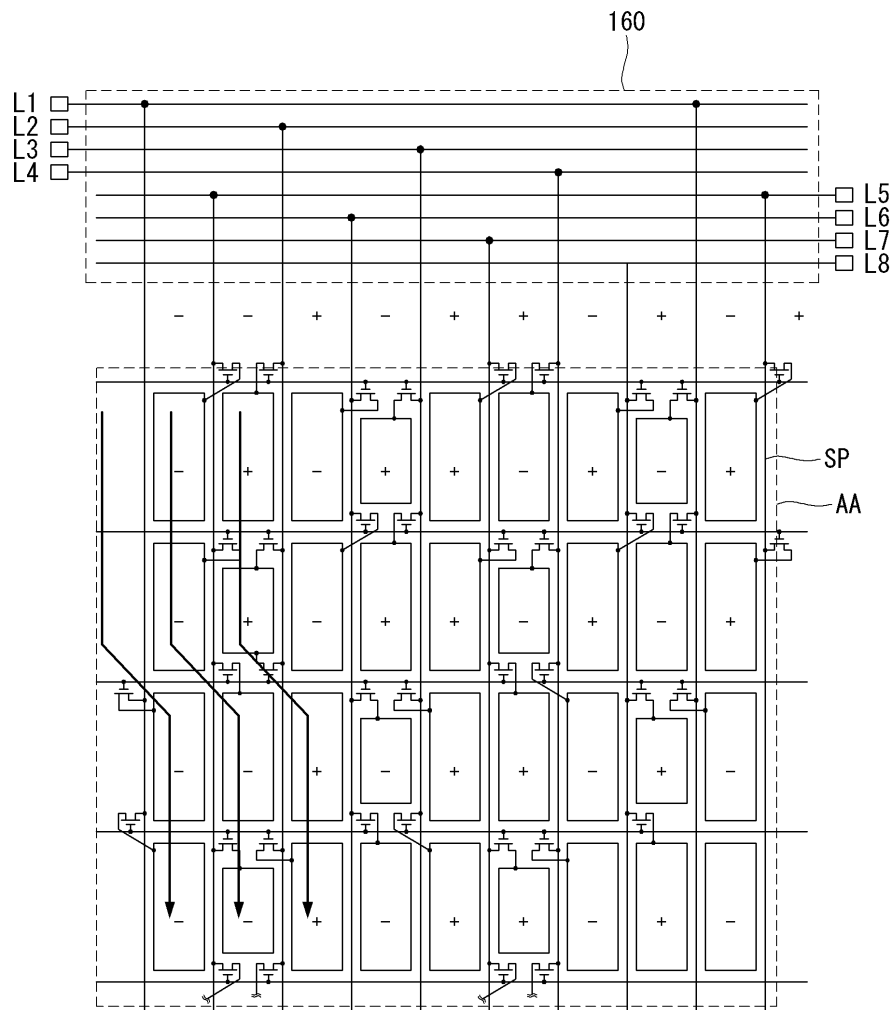
도면1



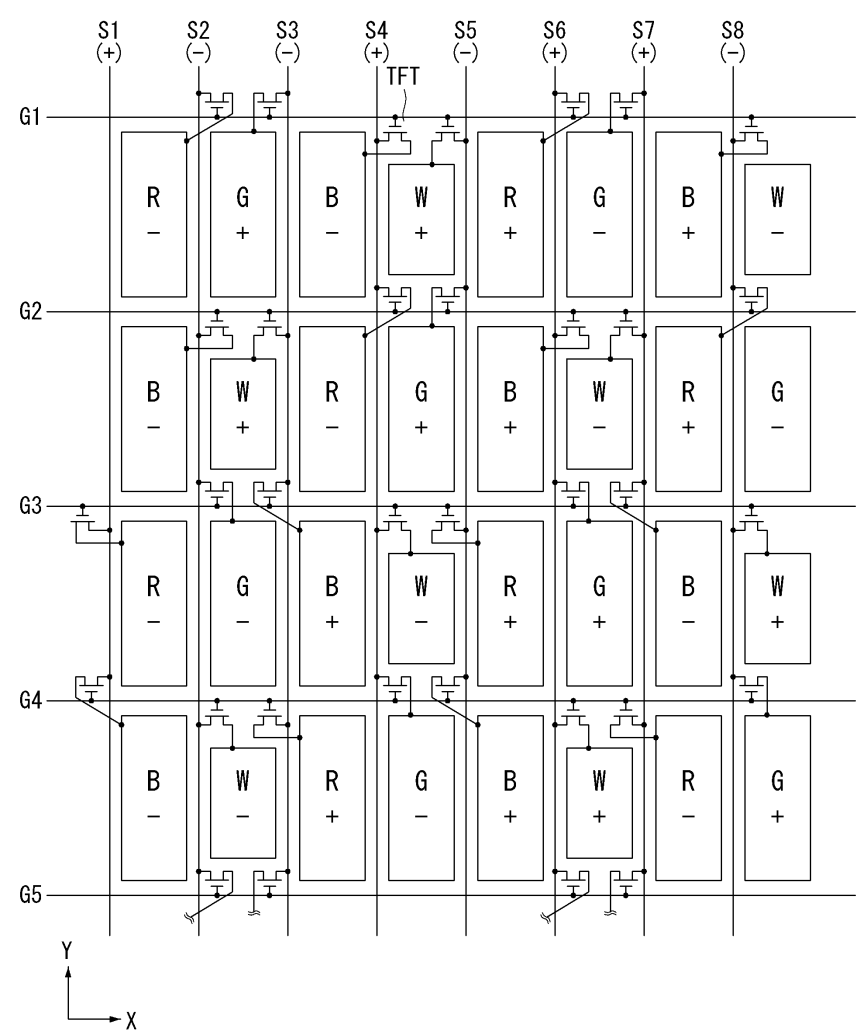
도면2



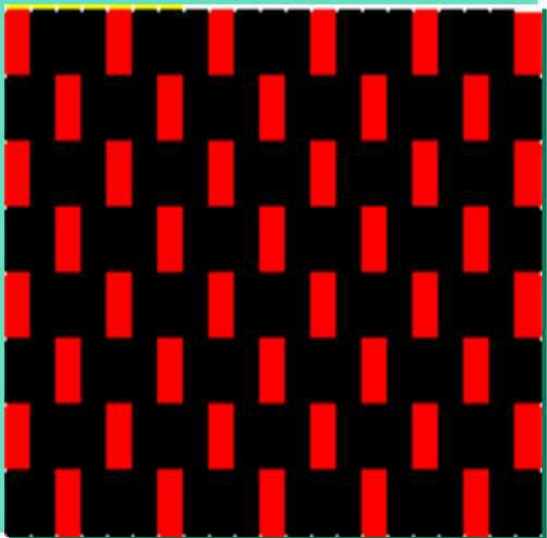
도면3



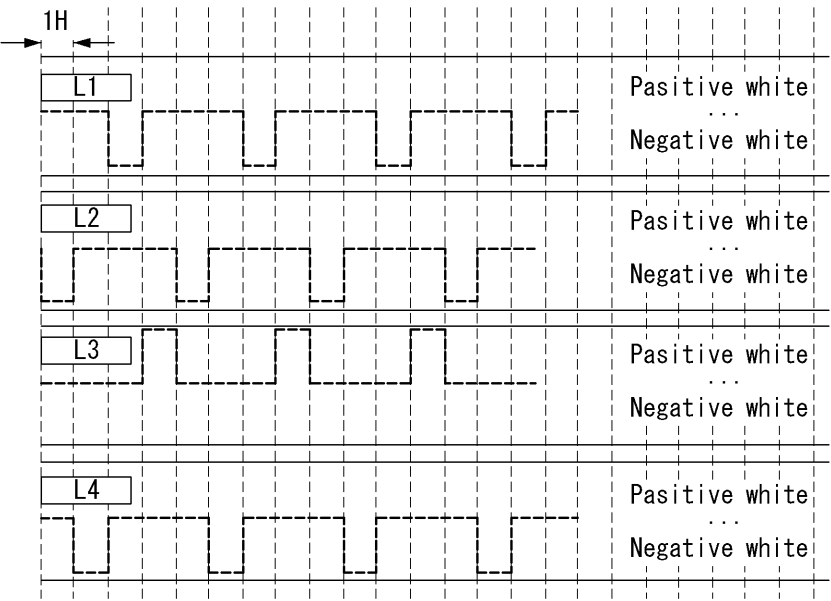
도면4



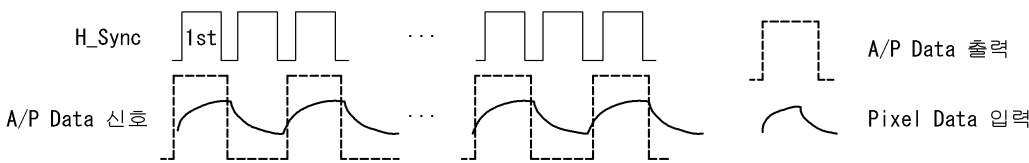
도면5



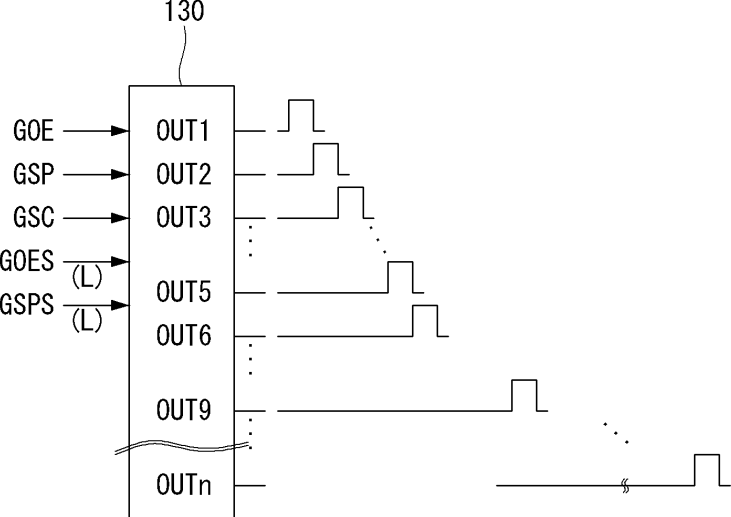
도면6



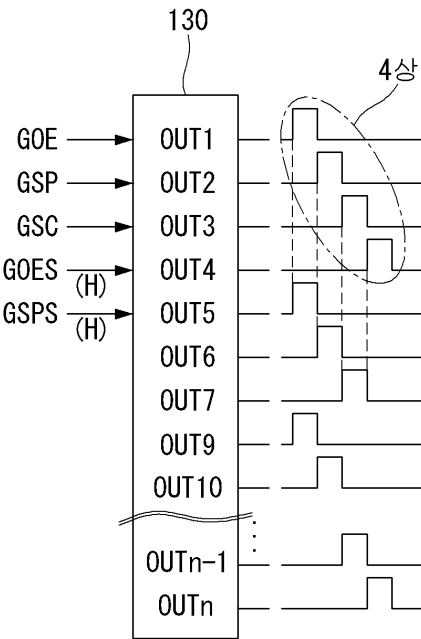
도면7



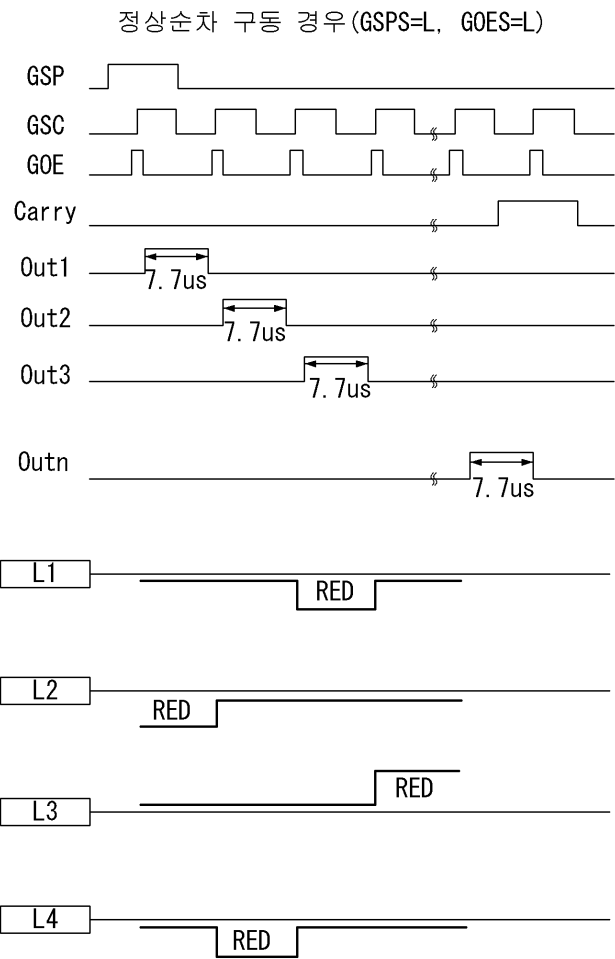
도면8



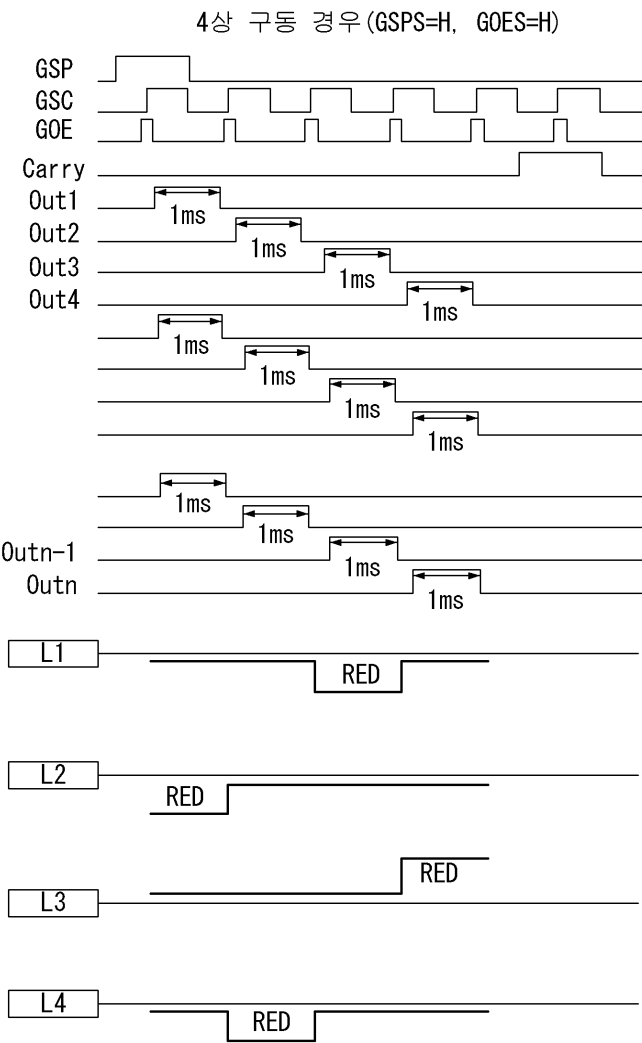
도면9



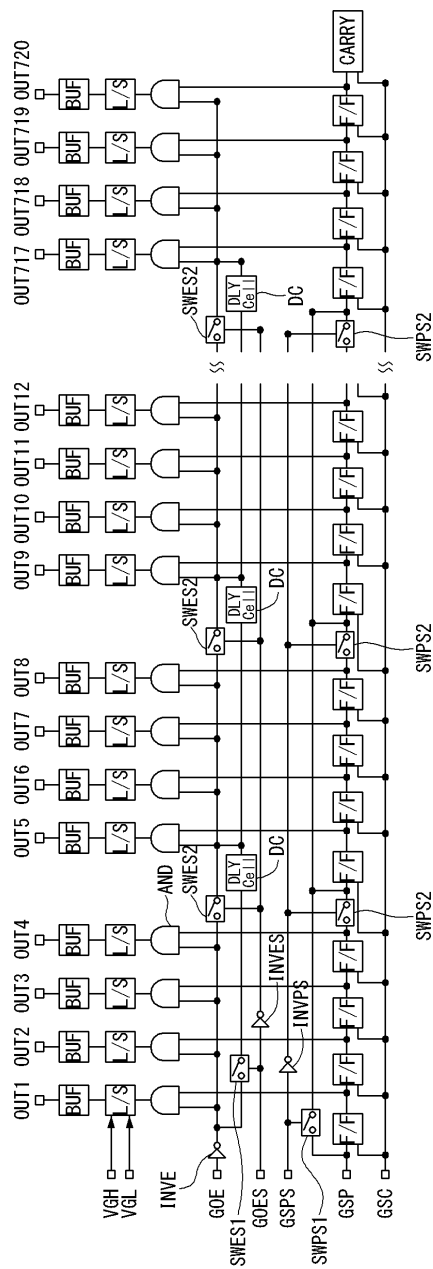
도면10



도면11



도면12



도면 13

