



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0107198
(43) 공개일자 2021년09월01일

(51) 국제특허분류(Int. Cl.) G02F 1/1362 (2006.01) G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)	(71) 출원인 삼성디스플레이 주식회사 경기도 용인시 기흥구 삼성로 1 (농서동)
(52) CPC특허분류 G02F 1/136213 (2013.01) G02F 1/134309 (2021.01)	(72) 발명자 윤희경 경기도 화성시 동탄하나1길 61 1837호 (동탄해리움)
(21) 출원번호 10-2020-0021500	(74) 대리인 특허법인 고려
(22) 출원일자 2020년02월21일 심사청구일자 없음	

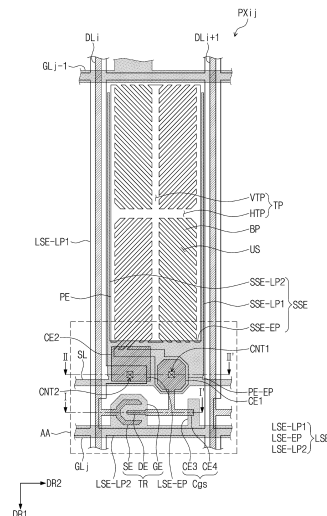
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시장치

(57) 요약

표시장치는 제1 기관, 제2 기관 및 액정층을 포함한다. 제1 기관은 게이트 라인, 데이터 라인, 스토리지 전극, 및 스위칭 소자를 포함한다. 스위칭 소자는 데이터 라인 및 게이트 라인에 연결된다. 제1 기관은 화소 전극, 쉘딩 전극, 제1 및 제2 커패시터 전극을 더 포함한다. 화소 전극은 스위칭 소자의 출력 전극에 연결되고, 쉘딩 전극은 데이터 라인을 따라 배치된 라인부 및 라인부로부터 연장된 연장부를 포함한다. 제1 커패시터 전극은 출력 전극으로부터 연장되어 화소 전극 및 스토리지 전극과 중첩한다. 제2 커패시터 전극은 제1 커패시터 전극과 이격되어 배치되고, 쉘딩 전극의 상기 연장부 및 스토리지 전극과 중첩한다.

대표도 - 도3



(52) CPC특허분류

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

명세서

청구범위

청구항 1

제1 기판, 상기 제1 기판과 마주하는 제2 기판 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정층을 포함하고,

상기 제1 기판은,

게이트 라인;

상기 게이트 라인과 절연된 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인과 절연된 스토리지 전극;

상기 데이터 라인 및 상기 게이트 라인에 연결된 스위칭 소자;

상기 스위칭 소자의 출력 전극에 연결된 화소 전극;

상기 화소 전극과 절연되고, 상기 데이터 라인을 따라 배치된 라인부 및 상기 라인부로부터 연장된 연장부를 포함하는 쉘딩 전극;

상기 출력 전극으로부터 연장되어 상기 화소 전극 및 상기 스토리지 전극과 중첩하는 제1 커패시터 전극; 및

상기 제1 커패시터 전극과 이격되어 배치되고, 상기 쉘딩 전극의 상기 연장부 및 상기 스토리지 전극과 중첩하는 제2 커패시터 전극을 포함하는 표시장치.

청구항 2

제1항에 있어서, 상기 제2 커패시터 전극은 상기 쉘딩 전극의 상기 연장부와 직접 접촉되는 표시장치.

청구항 3

제1항에 있어서, 상기 제1 커패시터 전극은 상기 화소 전극과 직접 접촉되는 표시장치.

청구항 4

제1항에 있어서, 상기 제2 커패시터 전극의 면적은 상기 제1 커패시터 전극의 면적보다 큰 표시장치.

청구항 5

제1항에 있어서, 상기 제1 기판은,

상기 게이트 라인 및 상기 스토리지 전극 상에 배치되고, 그 위로 상기 출력 전극, 상기 데이터 라인, 제1 및 제2 커패시터 전극이 배치되는 제1 절연층; 및

상기 출력 전극, 상기 데이터 라인, 제1 및 제2 커패시터 전극 상에 배치되고, 그 위로 상기 화소 전극 및 상기 쉘딩 전극이 배치되는 제2 절연층을 더 포함하는 표시장치.

청구항 6

제5항에 있어서, 상기 제2 절연층은 상기 제1 커패시터 전극을 노출시키는 제1 콘택홀 및 상기 제2 커패시터 전극을 노출시키는 제2 콘택홀을 포함하고,

상기 화소 전극은 상기 제1 콘택홀을 통해 상기 제1 커패시터 전극과 직접 접촉되고,

상기 쉘딩 전극의 상기 연장부는 상기 제2 콘택홀을 통해 상기 제2 커패시터 전극과 직접 접촉되는 표시장치.

청구항 7

제1항에 있어서, 상기 제2 기판은,
제1 기준 전압이 인가되는 기준 전극을 포함하고,
상기 설딩 전극에는 제2 기준 전압이 인가되는 표시장치.

청구항 8

제7항에 있어서,
상기 스토리지 전극에는 스토리지 전압이 인가되고,
상기 제1 및 제2 기준 전압은 상기 스토리지 전압과 상이한 전압 레벨을 갖는 표시장치.

청구항 9

제8항에 있어서,
상기 제1 및 제2 기준 전압은 서로 동일한 전압 레벨을 갖는 표시장치.

청구항 10

제1항에 있어서, 상기 제1 기판은 상기 게이트 라인 및 상기 데이터 라인과 절연된 스토리지 라인을 더 포함하고,
상기 스토리지 라인은 상기 스토리지 전극과 연결되는 표시장치.

청구항 11

제10항에 있어서, 상기 스토리지 라인은 상기 데이터 라인과 교차하고, 상기 게이트 라인과 교차하지 않는 표시장치.

청구항 12

제1항에 있어서, 상기 화소 전극은,
화소 영역을 복수 개의 도메인으로 분할하기 위한 줄기부; 및
상기 줄기부로부터 연장된 복수의 가지부를 포함하는 표시장치.

청구항 13

제12항에 있어서, 상기 줄기부는,
가로 줄기부; 및
상기 가로 줄기부와 교차하는 세로 줄기부를 포함하고,
상기 복수의 가지부는 상기 가로 줄기부 및 상기 세로 줄기부로부터 방사형으로 연장된 표시장치.

청구항 14

게이트 라인;
상기 게이트 라인과 절연된 데이터 라인;
상기 게이트 라인과 상기 데이터 라인과 절연된 스토리지 라인; 및
상기 게이트 라인, 상기 데이터 라인 및 상기 스토리지 라인에 연결된 화소를 포함하고,
상기 화소는,
상기 게이트 라인 및 상기 데이터 라인에 연결된 스위칭 소자;
상기 스위칭 소자의 출력 전극에 연결된 액정 커패시터;
상기 액정 커패시터와 상기 스토리지 라인에 연결된 제1 스토리지 커패시터; 및

상기 스토리지 라인과 설딩 전극에 연결된 제2 스토리지 커패시터를 포함하는 표시장치.

청구항 15

제14항에 있어서, 상기 액정 커패시터는,

상기 스위칭 소자의 상기 출력 전극에 연결된 화소 전극을 제1 전극으로서 포함하고,

상기 화소 전극과 마주하는 기준 전극을 제2 전극으로서 포함하는 표시장치.

청구항 16

제15항에 있어서, 상기 제1 스토리지 커패시터는,

상기 스토리지 라인에 연결된 스토리지 전극을 제1 전극으로서 포함하고,

상기 스토리지 전극과 중첩하고, 상기 출력 전극으로부터 연장된 제1 커패시터 전극을 제2 전극으로서 포함하는 표시장치.

청구항 17

제16항에 있어서, 상기 제2 스토리지 커패시터는,

상기 스토리지 전극을 제1 전극으로서 포함하고,

상기 스토리지 전극과 중첩하고, 상기 설딩 전극과 콘택되는 제2 커패시터 전극을 제2 전극으로서 포함하는 표시장치.

청구항 18

제17항에 있어서, 상기 스토리지 전극은 상기 스토리지 라인을 통해 스토리지 전압을 수신하고,

상기 기준 전극은 상기 스토리지 전압과 다른 전압 레벨을 갖는 제1 기준 전압을 수신하며,

상기 설딩 전극은 상기 스토리지 전압과 다른 전압 레벨을 갖는 제2 기준 전압을 수신하는 표시장치.

청구항 19

제18항에 있어서, 상기 제1 및 제2 기준 전압은 동일한 전압 레벨을 갖는 표시장치.

청구항 20

제14항에 있어서, 상기 제2 스토리지 커패시터의 정전 용량은 상기 제1 스토리지 커패시터의 정전 용량보다 큰 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 수직 배향 모드로 동작하는 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시장치는 서로 마주하는 두 개의 기관들 및 기관들 사이에 배치된 액정층을 포함하는 액정 표시패널을 포함한다. 액정 표시장치는 전기장 생성 전극에 전압을 제공하여 액정층에 전기장을 인가한다. 이에 따라 액정층의 액정 분자들의 배향 방향이 결정되고, 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시장치 중에서 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 두 개의 기관들에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하다.

[0004] 액정 표시장치의 시야각 특성을 개선하기 위해서 화소 영역을 복수의 도메인들로 구분하여 제어하는 기술들이 개발되었으며, 이와 같은 기술들의 일 예로, CS 방식(Charge Share 방식) 및 RD 방식(Resistivity Devision 방

식)이 있다.

[0005] 그러나, CS 방식 및 RD 방식을 채용할 경우 다수의 트랜지스터들과 다수의 커패시터들이 요구되어, 액정 표시패널의 투과율이 감소되는 문제점이 발생된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 투과율이 향상되고, 표시 품질이 개선된 표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 표시장치는 제1 기판, 제1 기판과 마주하는 제2 기판 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정층을 포함한다.

[0008] 상기 제1 기판은 게이트 라인, 상기 게이트 라인과 절연된 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인과 절연된 스토리지 전극, 상기 데이터 라인 및 상기 게이트 라인에 연결된 스위칭 소자, 상기 스위칭 소자의 출력 전극에 연결된 화소 전극, 및 화소 전극과 절연되고, 상기 데이터 라인을 따라 배치된 라인부 및 상기 라인부로부터 연장된 연장부를 포함하는 설딩 전극을 포함한다. 상기 제1 기판은 제1 및 제2 커패시터 전극을 더 포함한다. 제1 커패시터 전극은 상기 출력 전극으로부터 연장되어 상기 화소 전극 및 상기 스토리지 전극과 중첩한다. 제2 커패시터 전극은 상기 제1 커패시터 전극과 이격되어 배치되고, 상기 설딩 전극의 상기 연장부 및 상기 스토리지 전극과 중첩한다.

[0009] 본 발명의 일 예로, 상기 제2 커패시터 전극은 상기 설딩 전극의 상기 연장부와 직접 콘택된다.

[0010] 본 발명의 일 예로, 상기 제1 커패시터 전극은 상기 화소 전극과 직접 콘택된다.

[0011] 본 발명의 일 예로, 상기 제2 커패시터 전극의 면적은 상기 제1 커패시터 전극의 면적보다 크다.

[0012] 본 발명의 일 예로, 상기 제1 기판은 상기 게이트 라인 및 상기 스토리지 전극 상에 배치되고, 그 위로 상기 출력 전극, 상기 데이터 라인, 제1 및 제2 커패시터 전극이 배치되는 제1 절연층; 및 상기 출력 전극, 상기 데이터 라인, 제1 및 제2 커패시터 전극 상에 배치되고, 그 위로 상기 화소 전극 및 상기 설딩 전극이 배치되는 제2 절연층을 더 포함한다.

[0013] 본 발명의 일 예로, 상기 제2 절연층은 상기 제1 커패시터 전극을 노출시키는 제1 콘택홀 및 상기 제2 커패시터 전극을 노출시키는 제2 콘택홀을 포함하고, 상기 화소 전극은 상기 제1 콘택홀을 통해 상기 제1 커패시터 전극과 직접 콘택되며, 상기 설딩 전극의 상기 연장부는 상기 제2 콘택홀을 통해 상기 제2 커패시터 전극과 직접 콘택된다.

[0014] 본 발명의 일 예로, 상기 제2 기판은 제1 기준 전압이 인가되는 기준 전극을 포함하고, 상기 설딩 전극에는 제2 기준 전압이 인가된다.

[0015] 본 발명의 일 예로, 상기 스토리지 전극에는 스토리지 전압이 인가되고, 상기 제1 및 제2 기준 전압은 상기 스토리지 전압과 상이한 전압 레벨을 갖는다.

[0016] 본 발명의 일 예로, 상기 제1 및 제2 기준 전압은 서로 동일한 전압 레벨을 가질 수 있다.

[0017] 본 발명의 일 예로, 상기 제1 기판은 상기 게이트 라인 및 상기 데이터 라인과 절연된 스토리지 라인을 더 포함하고, 상기 스토리지 라인은 상기 스토리지 전극과 연결된다.

[0018] 본 발명의 일 실시예에 따른 표시장치는 게이트 라인, 상기 게이트 라인과 절연된 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인과 절연된 스토리지 라인, 및 상기 게이트 라인, 상기 데이터 라인 및 상기 스토리지 라인에 연결된 화소를 포함한다.

[0019] 상기 화소는 상기 게이트 라인 및 상기 데이터 라인에 연결된 스위칭 소자, 상기 스위칭 소자의 출력 전극에 연결된 액정 커패시터, 상기 액정 커패시터와 상기 스토리지 라인에 연결된 제1 스토리지 커패시터, 및 상기 스토리지 라인과 설딩 전극에 연결된 제2 스토리지 커패시터를 포함한다.

[0020] 본 발명의 일 예로, 상기 액정 커패시터는 상기 스위칭 소자의 상기 출력 전극에 연결된 화소 전극을 제1 전극

으로서 포함하고, 상기 화소 전극과 마주하는 기준 전극을 제2 전극으로서 포함한다.

[0021] 본 발명의 일 예로, 상기 제1 스토리지 커패시터는 상기 스토리지 라인에 연결된 스토리지 전극을 제1 전극으로서 포함하고, 상기 스토리지 전극과 중첩하고, 상기 출력 전극으로부터 연장된 제1 커패시터 전극을 제2 전극으로서 포함한다.

[0022] 본 발명의 일 예로, 상기 제2 스토리지 커패시터는 상기 스토리지 전극을 제1 전극으로서 포함하고, 상기 스토리지 전극과 중첩하고 상기 쉘딩 전극과 콘택되는 제2 커패시터 전극을 제2 전극으로서 포함한다.

[0023] 본 발명의 일 예로, 상기 스토리지 전극은 상기 스토리지 라인을 통해 스토리지 전압을 수신하고, 상기 기준 전극은 상기 스토리지 전압과 다른 전압 레벨을 갖는 제1 기준 전압을 수신하며, 상기 쉘딩 전극은 상기 스토리지 전압과 다른 전압 레벨을 갖는 제2 기준 전압을 수신한다.

[0024] 본 발명의 일 예로, 상기 제1 및 제2 기준 전압은 동일한 전압 레벨을 가질 수 있다.

[0025] 본 발명의 일 예로, 상기 제2 스토리지 커패시터의 정전 용량은 상기 제1 스토리지 커패시터의 정전 용량보다 클 수 있다.

발명의 효과

[0026] 본 발명의 실시예에 따른 표시장치에 의하면, 화소에서 스토리지 전극의 일부분이 제1 스토리지 커패시터로 활용되고, 나머지 부분이 제2 스토리지 커패시터로 활용됨으로써, 스토리지 전압의 리플이 화소 전압에 반영되는 문제를 감소시키면서 화소 전압의 유지 능력이 저하되는 것을 방지할 수 있다. 이로써, 표시장치의 전체적인 표시 품질을 개선할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.

도 2는 본 발명의 실시 예에 따른 표시장치의 평면도이다.

도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 평면도이다.

도 4는 도 3에 도시된 AA 영역의 확대도이다.

도 5a는 도 3에 도시된 I-I'에 따라 절단한 단면도이다.

도 5b는 도 3에 도시된 II-II'에 따라 절단한 단면도이다.

도 6a는 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 부분 확대도이다.

도 6b는 본 발명의 일 실시예에 따른 제1 및 제2 커패시터 전극의 평면도이다.

도 6c는 본 발명의 일 실시예에 따른 제1 및 제2 커패시터 전극의 평면도이다.

도 6d는 도 6a에 도시된 III-III'에 따라 절단한 단면도이다.

도 7은 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 부분 확대도이다.

도 8은 도 7에 도시된 화소의 등가 회로도이다.

도 9는 도 6a에 도시된 화소의 등가 회로도이다.

도 10a는 도 9에 도시된 스토리지 전압을 나타낸 파형도이다.

도 10b는 도 9의 액정 커패시터에 충전되는 화소 전압을 나타낸 파형도이다.

도 10c는 도 10b의 BB 영역을 확대하여 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결된다”, 또는 “결합된다” 고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.

- [0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0030] “및/또는”은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0032] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0033] “포함하다” 또는 “가지다” 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0035] 도 1은 본 발명의 실시예에 따른 표시장치의 블록도이고, 도 2는 본 발명의 실시예에 따른 표시장치의 평면도이다.
- [0036] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시장치(1000)는 영상을 표시하는 표시패널(100), 표시패널(100)을 구동하는 패널 드라이버(200, 300, 400), 표시패널(100)로 광을 공급하는 백라이트 유닛(500) 및 백라이트 유닛(500)을 구동시키는 백라이트 드라이버(600)를 포함한다. 본 발명의 일 예로, 패널 드라이버(200, 300, 400)는 게이트 드라이버(200), 데이터 드라이버(300), 및 신호 컨트롤러(400)를 포함할 수 있다.
- [0037] 표시패널(100)은 다수의 게이트 라인(GL1~GLn), 다수의 데이터 라인(DL1~DLm) 및 다수의 화소(PX)를 포함한다. 다수의 게이트 라인(GL1~GLn)은 제1 방향(DR1)으로 서로 평행하게 배열된다. 다수의 게이트 라인(GL1~GLn)은 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 연장될 수 있다. 본 발명의 일 예로, 제2 방향(DR2)은 제1 방향(DR1)과 직교할 수 있다. 다수의 데이터 라인(DL1~DLm)은 제2 방향(DR2)으로 평행하게 배열되고, 제1 방향(DR1)으로 연장될 수 있다. 복수의 화소들(PX)은 매트릭스 형태로 배치되고, 복수의 화소들(PX) 각각은 복수의 게이트 라인들(GL1~GLn) 중 하나 및 복수의 데이터 라인들(DL1~DLm) 중 하나와 전기적으로 연결될 수 있다.
- [0038] 신호 컨트롤러(400)는 표시장치(1000)의 외부로부터 입력 영상신호(I-RGB) 및 다수의 제어신호(I-CS)를 수신한다. 신호 컨트롤러(400)는 데이터 드라이버(300)와의 인터페이스 사양에 맞도록 입력 영상신호들(I-RGB)을 렌더링하여 출력 영상신호들(D-RGB)로 변환한다. 신호 컨트롤러(400)는 출력 영상신호들(D-RGB)을 데이터 드라이버(300)로 제공한다. 또한, 신호 컨트롤러(400)는 다수의 제어신호(I-CS)에 근거하여 데이터 제어신호(D-CS, 예를 들어, 출력개시신호 등) 및 게이트 제어신호(G-CS, 예를 들어, 스캔개시신호, 클럭신호, 및 클럭바신호)를 생성한다. 신호 컨트롤러(400)는 데이터 제어신호(D-CS)를 데이터 드라이버(300)로 제공하고, 게이트 제어신호(G-CS)를 게이트 드라이버(200)로 제공한다.
- [0039] 게이트 드라이버(200)는 신호 컨트롤러(400)로부터 제공되는 게이트 제어신호(G-CS)에 응답해서 게이트 신호를 순차적으로 출력한다. 따라서, 다수의 화소(PX)는 게이트 신호에 의해서 행 단위로 순차적으로 스캐닝될 수 있다.
- [0040] 데이터 드라이버(300)는 신호 컨트롤러(400)로부터 제공되는 데이터 제어신호(D-CS)에 응답해서 출력 영상신호들(D-RGB)을 데이터 전압들로 변환한다. 데이터 드라이버(300)는 데이터 전압들을 표시패널(100)의 데이터 라인들(DL1~DLm)로 인가한다.
- [0041] 따라서, 각 화소(PX)는 게이트 신호에 의해서 턴-온되고, 턴-온된 화소(PX)는 데이터 드라이버(300)로부터 해당 데이터 전압을 수신하여 원하는 계조의 영상을 표시할 수 있다.
- [0042] 도 1에 도시된 바와 같이, 백라이트 유닛(500)은 표시패널(100)의 배면에 위치하여, 표시패널(100)의 후방에서 광을 공급한다. 백라이트 드라이버(600)는 신호 컨트롤러(400)로부터 광원 제어신호(B-CS)를 수신하여, 표시패널(100)에 동기하여 백라이트 유닛(500)을 구동시킬 수 있다.
- [0043] 도 2를 참조하면, 본 발명의 실시예에 따른 표시장치(1000)에서 게이트 드라이버(200)는 제1 게이트 구동회로

(210) 및 제2 게이트 구동회로(220)를 포함한다. 제1 게이트 구동회로(210)는 게이트 라인들(GL1~GLn)의 제1 단부에 연결되고, 제2 게이트 구동회로(220)는 게이트 라인들(GL1~GLn)의 제2 단부에 연결된다.

[0044] 제1 및 제2 게이트 구동회로(210, 220) 각각은 순차적으로 게이트 신호를 출력하는 쉬프트 레지스터를 포함할 수 있다. 제1 및 제2 게이트 구동회로(210, 220)는 동시에 동작하여 동일 게이트 라인에 동시에 게이트 신호를 출력할 수 있다. 따라서, 각 게이트 라인(GL1~GLn)은 제1 및 제2 단부를 통해 제1 및 제2 게이트 구동회로(210, 220)로부터 게이트 신호를 수신할 수 있다.

[0045] 데이터 드라이버(300)는 복수의 데이터 집적회로(310, 320, 330, 340)를 포함할 수 있다. 도 2에서는 데이터 드라이버(300)가 4개의 데이터 집적회로(310~340)를 포함하는 구조를 도시하였으나, 본 발명은 이에 한정되지 않는다. 즉, 데이터 드라이버(300)에 포함되는 데이터 집적회로의 개수는 특별히 한정되지 않는다.

[0046] 실시 예에 따르면, 표시장치(1000)는 데이터 집적회로들(310~340)이 각각 실장되는 연성회로기판들(360, 370, 380, 390) 및 연성회로기판들(360~390)에 전기적으로 연결된 인쇄회로기판(350)을 더 포함할 수 있다.

[0047] 연성회로기판들(360~390)은 표시패널(100)과 인쇄회로기판(350) 사이에서 이들을 서로 전기적으로 연결한다. 구체적으로, 연성회로기판들(360~390) 각각의 일단은 인쇄회로기판(350)에 결합되고, 연성회로기판들(360~390) 각각의 타단은 표시패널(100)에 결합될 수 있다.

[0048] 표시패널(100)은 영상을 표시하는 표시 영역(DA) 및 표시 영역(DA) 주변에 인접한 비표시 영역(NDA)을 포함한다. 표시 영역(DA)은 실질적으로 영상이 표시되는 영역이고, 비표시 영역(MDA)은 영상이 표시되지 않는 베젤 영역이다. 도 2에서는 비표시 영역(NDA)이 표시 영역(DA)을 감싸도록 배치된 구조를 도시하였으나, 본 발명은 이에 한정되지 않는다. 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일측에만 배치될 수 있다. 본 발명의 일 예로, 연성회로기판들(360~390)은 인쇄회로기판(350)에 인접한 표시패널(100)의 비표시 영역(NDA)에 연결될 수 있다.

[0049] 도 2에서는 데이터 집적회로들(310~340)이 연성회로기판들(360~390)에 각각 배치된 구조를 도시하였으나, 본 발명은 이에 한정되지 않는다. 즉, 데이터 집적회로들(310~340)은 칩 온 글래스(COG: Chip on Glass) 방식으로 표시패널(100)의 비표시 영역(NDA) 상에 직접 실장될 수 있다.

[0050] 도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 평면도이고, 도 4는 도 3에 도시된 AA 영역의 확대도이다. 도 5a는 도 3에 도시된 I-I'에 따라 절단한 단면도이고, 도 5b는 도 3에 도시된 II-II'에 따라 절단한 단면도이다.

[0051] 도 1에 도시된 복수의 화소들(PX) 각각은 실질적으로 유사한 구조를 가지므로, 도 3에서는 설명의 편의를 위하여 복수의 화소들(PX) 중 하나의 화소(PXi_j)만을 도시하였다. 이하, 도면을 참조하여 화소(PXi_j)에 대해 설명하고 나머지 화소들에 대한 설명은 생략한다.

[0052] 도 3 및 도 4를 참조하면, 화소(PXi_j)는 데이터 라인들(DL1~DLm, 도 1에 도시됨) 중 i번째 데이터 라인(DLi)에 연결되고 게이트 라인들(GL1~GLn, 도 1에 도시됨) 중 j번째 게이트 라인(GLj)에 연결된다. 제2 방향(DR2) 상에서 i번째 데이터 라인(DLi)에 인접하도록 i+1번째 데이터 라인(DLi+1)이 배치되고, 제1 방향(DL1) 상에서 j번째 게이트 라인(GLj)에 인접하도록 j-1번째 게이트 라인(GLj-1)이 배치된다. 도 3에 도시된 바와 같이, i번째 데이터 라인(DLi), i+1번째 데이터 라인(DLi+1), j번째 게이트 라인(GLj) 및 j-1번째 게이트 라인(GLj-1)이 서로 교차하여 사각 형상의 화소 영역이 정의될 수 있다. 화소(PXi_j)는 화소 영역에 대응하여 배치될 수 있다. 화소 영역의 형상은 이에 한정되지 않으며, 화소 영역은 사각 형상 이외에도 마름모 형상, 육각 형상, 원 형상 등 다양한 형상을 가질 수 있다.

[0053] 화소(PXi_j)는 스위칭 소자(TR), 화소 전극(PE), 스토리지 전극(SSE), 쉘딩 전극(LSE) 및 제1 및 제2 커패시터 전극(CE1, CE2)를 포함한다.

[0054] 스위칭 소자(TR)는 i번째 데이터 라인(DLi) 및 j번째 게이트 라인(GLj)에 전기적으로 연결된다. 본 발명의 일 예로, 스위칭 소자(TR)는 박막 트랜지스터를 포함할 수 있다. 스위칭 소자(TR)는 제어 전극(GE), 입력 전극(SE), 및 출력 전극(DE)을 포함할 수 있다. 제어 전극(GE)은 j번째 게이트 라인(GLj)으로부터 분기되고, 입력 전극(SE)은 i번째 데이터 라인(DLi)으로부터 분기된다. 출력 전극(DE)은 제어 전극(GE) 상부에서 입력 전극(SE)과 이격되어 배치될 수 있다.

[0055] 스토리지 전극(SSE)은 데이터 라인들(DLi, DLi+1) 및 게이트 라인들(GLj, GLj-1)과 이격되어 화소 영역 내에 배치될 수 있다. 본 발명의 일 예로, 스토리지 전극(SSE)은 전극부(SSE-EP) 및 두 개의 라인부(SSE-LP1, SSE-

LP2)를 포함할 수 있다. 두 개의 라인부(SSE-LP1, SSE-LP2)는 전극부(SSE-EP)의 일측으로부터 데이터 라인들(DLi, DLi+1)을 따라 연장된다. 두 개의 라인부(SSE-LP1, SSE-LP2)는 화소 전극(PE)을 사이에 두고 이격되어 배치될 수 있다.

[0056] 그러나, 스토리지 전극(SSE)의 형상은 이에 한정되지 않는다. 예를 들어, 스토리지 전극(SSE)에서 두 개의 라인부(SSE-LP)는 생략될 수도 있다.

[0057] 스토리지 전극(SSE)은 제2 방향(DR2) 상에서 인접하는 스토리지 전극과 스토리지 라인(SL)을 통해 연결될 수 있다. 스토리지 라인(SL)은 스토리지 전극(SSE)과 일체의 형상을 가질 수 있다. 그러나, 본 발명은 이에 한정되지 않는다. 즉, 스토리지 라인(SL)은 스토리지 전극(SSE)과 다른층 상에 배치되어 콘택홀을 통해 서로 콘택될 수 있다. 스토리지 라인(SL)은 게이트 라인들(GLj, GLj-1)과 나란하게 배치되고, 데이터 라인들(DLi, DLi+1)과 절연되게 교차할 수 있다. 스토리지 라인(SL)은 외부로부터 스토리지 전압(Vst, 도 8에 도시됨)을 수신하여 스토리지 전극(SSE)에 공급할 수 있다. 스토리지 라인(SL)은 데이터 라인들(DLi, DLi+1)과 교차하되, 게이트 라인들(GLj, GLj-1)과 교차하지 않는다.

[0058] 화소 전극(PE)은 스위칭 소자(TR)의 출력 전극(DE)과 전기적으로 연결된다. 따라서, 스위칭 소자(TR)가 j번째 게이트 라인(GLj)으로부터 인가되는 게이트 신호에 응답하여 턴-온되면, 스위칭 소자(TR)는 i번째 데이터 라인(DLi)으로부터 인가된 데이터 전압을 출력 전극(DE)으로 출력할 수 있다. 출력 전극(DE)을 통해 출력된 전압은 화소 전극(PE)으로 인가된다. 여기서, 화소 전극(PE)으로 인가되는 전압을 화소 전압(Vp, 도 10b에 도시됨)으로 정의할 수 있다.

[0059] 화소 전극(PE)은 화소 영역을 복수의 도메인으로 분할하기 위한 줄기부(TP) 및 줄기부(TP)로부터 방사형으로 연장된 복수 개의 가지부들(BP)을 포함한다. 줄기부(TP)는 제1 방향(DR1)으로 연장된 세로 줄기부(VTP) 및 제2 방향(DR2)으로 연장된 가로 줄기부(HTP)를 포함할 수 있다. 줄기부(TP)는 세로 줄기부(VTP) 및 가로 줄기부(HTP)에 의해서 십자 형상으로 제공되며, 이 경우, 화소 영역은 4개의 도메인으로 구획될 수 있다.

[0060] 복수의 가지부들(BP)은 줄기부(TP)에 의해서 구획된 각 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 본 발명의 일 예로, 가지부들(BP)은 줄기부(TP)에 대해서 대략 45° 각도를 이루는 방향으로 연장될 수 있다. 가지부들(BP)에 있어서, 서로 인접한 가지부들(BP)은 마이크로미터 단위의 거리로 이격되어 다수의 미세 슬릿(US)을 형성한다. 다수의 미세 슬릿(US)에 의해서 액정층(LCL, 도 5a에 도시됨)의 액정 분자들은 도메인 별로 서로 다른 방향으로 프리틸트될 수 있다.

[0061] 섀딩 전극(LSE)은 데이터 라인들(DLi, DLi+1)을 따라 배치된 세로 라인부(LSE-LP1) 및 세로 라인부(LSE-LP1)로부터 연장된 연장부(LSE-EP)를 포함한다. 평면 상에서 볼 때, 섀딩 전극(LSE)의 세로 라인부(LSE-LP1)는 데이터 라인들(DLi, DLi+1)과 중첩할 수 있다. 섀딩 전극(LSE)은 게이트 라인들(GLj, GLj-1)을 따라 배치된 가로 라인부(LSE-LP2)를 더 포함할 수 있다. 평면 상에서 볼 때, 섀딩 전극(LSE)의 가로 라인부(LSE-LP2)는 게이트 라인들(GLj, GLj-1)과 중첩할 수 있다. 섀딩 전극(LSE)은 게이트 라인들(GLj, GLj-1) 및 데이터 라인들(DLi, DLi+1)과 전기적으로 절연될 수 있다. 또한, 섀딩 전극(LSE)은 화소 전극(PE)과 평면 상에서 이격되어 배치되어 화소 전극(PE)과 전기적으로 절연된다. 즉, 섀딩 전극(LSE)은 평면 상에서 화소 전극(PE)과 중첩하지 않는다.

[0062] 제1 커패시터 전극(CE1)은 스위칭 소자(TR)의 출력 전극(DE)으로부터 연장되어 스토리지 전극(SSE) 및 화소 전극(PE)과 중첩할 수 있다. 제1 커패시터 전극(CE1)은 스위칭 소자(TR1)의 출력 전극(DE)과 일체의 형상으로 형성될 수 있다. 제1 커패시터 전극(CE1)은 제1 콘택홀(CNT1)을 통해 화소 전극(PE)의 연장부(PE-EP)와 직접적으로 콘택될 수 있다. 화소 전극(PE)의 연장부(PE-EP)는 제1 커패시터 전극(CE1) 및 스토리지 전극(SSE)의 전극부(SSE-EP)와 중첩할 수 있다. 또한, 제1 커패시터 전극(CE1)은 스토리지 전극(SSE)의 전극부(SSE-EP)와 절연층을 사이에 두고 마주할 수 있다. 따라서, 제1 커패시터 전극(CE1)과 스토리지 전극(SSE)의 전극부(SSE-EP) 사이에는 제1 스토리지 커패시터(Cst1, 도 5b에 도시됨)가 정의될 수 있다.

[0063] 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)과 이격되어 배치되고, 섀딩 전극(LSE) 및 스토리지 전극(SSE)과 중첩할 수 있다. 제2 커패시터 전극(CE2)은 섀딩 전극(LSE)의 연장부(LSE-EP)와 중첩하고, 제2 콘택홀(CNT2)을 통해 섀딩 전극(LSE)의 연장부(LSE-EP)와 직접적으로 콘택될 수 있다. 또한, 제2 커패시터 전극(CE2)은 스토리지 전극(SSE)의 전극부(SSE-EP)와 절연층을 사이에 두고 마주할 수 있다. 따라서, 제2 커패시터 전극(CE2)과 스토리지 전극(SSE)의 전극부(SSE-EP) 사이에는 제2 스토리지 커패시터(Cst2, 도 5b에 도시됨)가 정의될 수 있다.

[0064] 도 3 및 도 4에서 제2 커패시터 전극(CE2)은 평면 상에서 사각 형상을 갖는 것으로 도시하였으나, 제2 커패시터

전극(CE2)의 형상은 이에 한정되지 않는다. 제2 커패시터 전극(CE2)의 다른 형상에 대해서는 도 6a 내지 도 6c를 참조하여 구체적으로 설명하기로 한다.

- [0065] 화소(PXij)는 j번째 게이트 라인(GLj)으로부터 연장된 제3 커패시터 전극(CE3) 및 출력 전극(DE)으로부터 연장된 제4 커패시터 전극(CE4)을 더 포함할 수 있다. 제3 커패시터 전극(CE3)은 j번째 게이트 라인(GLj)으로부터 제1 방향(DR1)으로 연장되어 제어 전극(GE)과 나란하게 배치될 수 있다. 제어 전극(GE) 상에서 출력 전극(DE)이 연장되는 방향은 제4 커패시터 전극(CE4)의 연장 방향과 동일할 수 있다. 제3 및 제4 커패시터 전극(CE3, CE4)은 절연층을 사이에 두고 서로 마주할 수 있다. 따라서, 제3 및 제4 커패시터 전극(CE3, CE4)에 의해서 보상 커패시터(Cgs)가 정의될 수 있다.
- [0066] 도 3, 도 5a 및 도 5b를 참조하면, 본 발명의 일 실시예에 따른 표시패널(DP)은 제1 기판(DS1), 제1 기판(DS1)과 마주하는 제2 기판(DS2), 및 제1 기판(DS1)과 제2 기판(DS2) 사이에 개재된 액정층(LCL)을 포함한다.
- [0067] 제1 기판(DS1)은 제1 베이스 기판(BS1), 게이트 라인들(GLj, GLj-1), 데이터 라인들(DLi, DLi+1), 스위칭 소자(TR), 제1 절연층(GIL), 제2 절연층(PIL), 제3 절연층(OL), 및 화소 전극(PE)을 포함한다.
- [0068] 제1 베이스 기판(BS1)은 유리 기판으로 이루어지거나, 또는 광 투과 특성 및 플렉서블 특성을 갖는 플라스틱 기판으로 이루어질 수 있다. 제1 베이스 기판(BS1)의 일면 상에는 게이트 라인들(GLj, GLj-1), 제어 전극(GE), 스토리지 전극(SSE) 및 제3 커패시터 전극(CE3)이 배치된다. 여기서, 게이트 라인들(GLj, GLj-1), 제어 전극(GE), 스토리지 전극(SSE) 및 제3 커패시터 전극(CE3)은 제1 금속층으로 지칭될 수 있다. 제1 금속층은 제1 금속 물질로 형성될 수 있다. 본 발명의 일 예로, 제1 금속 물질은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다. 도 5a 및 도 5b에서 제1 금속층은 단층 구조를 갖으나, 본 발명은 이에 한정되지 않는다. 즉, 제1 금속층은 다층 구조, 예컨대 티타늄층과 구리층을 포함할 수 있다.
- [0069] 제1 베이스 기판(BS1)의 일면 상에는 제1 금속층을 커버하는 제1 절연층(GIL)이 배치된다. 제1 절연층(GIL)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 무기물은 예컨대 실리콘 나이트라이드와 실리콘 옥사이드 중 어느 하나일 수 있다. 제1 절연층(GIL)은 복수 개의 무기물층이 순차적으로 적층된 다층 구조를 가질 수도 있다. 복수 개의 무기물층은 서로 다른 무기물로 이루어질 수 있다.
- [0070] 제1 절연층(GIL) 상에는 데이터 라인들(DLi, DLi+1), 입력 전극(SE), 출력 전극(DE), 제1 및 제2 커패시터 전극(CE1, CE2), 및 제4 커패시터 전극(CE4)이 배치된다. 여기서, 데이터 라인들(DLi, DLi+1), 입력 전극(SE), 출력 전극(DE), 제1 및 제2 커패시터 전극(CE1, CE2), 및 제4 커패시터 전극(CE4)은 제2 금속층으로 지칭될 수 있다. 제2 금속층은 제2 금속 물질로 형성될 수 있다. 제2 금속 물질은 제1 금속 물질로 같거나 다른 물질을 포함할 수 있다.
- [0071] 제1 절연층(GIL) 상에는 스위칭 소자(TR)의 활성층이 더 배치될 수 있다. 활성층은 반도체층(AL)과 오믹 콘택층(OCL1, OCL2)을 포함할 수 있다. 반도체층(AL)은 아몰포스 실리콘, 폴리 실리콘, 또는 금속 산화물 반도체 중 어느 하나를 포함할 수 있다. 활성층은 제2 금속층과 제1 절연층(GIL) 사이에 개재될 수 있다.
- [0072] 제1 절연층(GIL) 상에는 제2 금속층을 커버하는 제2 절연층(PIL) 및 제3 절연층(OL)이 순차적으로 배치된다. 제2 절연층(PIL)은 무기물을 포함하고, 제3 절연층(OL)은 유기물을 포함할 수 있다. 제3 절연층(OL)은 평탄면을 제공할 수 있다.
- [0073] 제3 절연층(OL) 상에는 화소 전극(PE) 및 설딩 전극(LSE)이 배치된다. 화소 전극(PE) 및 설딩 전극(LSE)은 서로 이격되어 배치되어 전기적으로 절연될 수 있다. 또한, 화소 전극(PE) 및 설딩 전극(LSE)은 투명한 전극 물질을 포함할 수 있다. 화소 전극(PE) 및 설딩 전극(LSE)은 동일한 물질로 형성되어 동시에 패터닝될 수 있다.
- [0074] 화소 전극(PE)은 스위칭 소자(TR)의 출력 전극(DE)에 전기적으로 연결된다. 특히, 출력 전극(DE)으로부터 연장된 제1 커패시터 전극(CE1)은 화소 전극(PE)의 연장부(PE-EP)와 중첩한다. 제2 및 제3 절연층(PIL, OL)에는 제1 커패시터 전극(CE1)을 노출시키는 제1 콘택홀(CNT1)이 제공되고, 화소 전극(PE)의 연장부(PE-EP)는 제1 콘택홀(CNT1)을 통해 제1 커패시터 전극(CE1)과 직접 콘택된다. 따라서, 스위칭 소자(TR)의 출력 전극(DE)은 제1 커패시터 전극(CE1)을 통해 화소 전극(PE)과 전기적으로 연결될 수 있다.
- [0075] 제1 커패시터 전극(CE1)은 제1 절연층(GIL) 및 활성층(AL, OCL2)을 사이에 두고 스토리지 전극(SSE)의 전극부(SSE-EP)와 중첩할 수 있다. 따라서, 제1 커패시터 전극(CE1)과 스토리지 전극(SSE)의 전극부(SSE-EP) 사이에는 제1 스토리지 커패시터(Cst1)가 정의될 수 있다.

- [0076] 설딩 전극(LSE)은 제2 커패시터 전극(CE2)에 전기적으로 연결된다. 특히, 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)과 이격되어 배치되고, 설딩 전극(LSE)의 연장부(LSE-EP)와 중첩한다. 제2 및 제3 절연층(PIL, OL)에는 제2 커패시터 전극(CE2)을 노출시키는 제2 콘택홀(CNT2)이 제공되고, 설딩 전극(LSE)의 연장부(LSE-EP)는 제2 콘택홀(CNT2)을 통해 제2 커패시터 전극(CE2)과 직접 콘택된다. 따라서, 제2 커패시터 전극(CE2)은 설딩 전극(LSE)을 통해 제2 기준 전압(Scom, 도 8에 도시됨)을 수신할 수 있다.
- [0077] 제2 커패시터 전극(CE2)은 제1 절연층(GIL) 및 활성층(AL, OCL2)을 사이에 두고 스토리지 전극(SSE)의 전극부(SSE-EP)와 중첩할 수 있다. 따라서, 제2 커패시터 전극(CE2)과 스토리지 전극(SSE)의 전극부(SSE-EP) 사이에는 제2 스토리지 커패시터(Cst2)가 정의될 수 있다.
- [0078] 본 발명의 일 예로, 제2 스토리지 커패시터(Cst2)의 정전 용량은 제1 스토리지 커패시터(Cst1)의 정전 용량보다 클 수 있다. 예를 들어, 제2 스토리지 커패시터(Cst2)의 정전 용량과 제1 스토리지 커패시터(Cst1)의 정전 용량의 비율은 7:3일 수 있다. 제2 스토리지 커패시터(Cst2)의 정전 용량을 제1 스토리지 커패시터(Cst1)의 정전 용량보다 크게 형성하기 위하여, 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)보다 넓은 면적을 가질 수 있다.
- [0079] 제3 및 제4 커패시터 전극(CE3, CE4)은 제1 절연층(GIL)을 사이에 두고 서로 마주할 수 있다. 따라서, 제3 및 제4 커패시터 전극(CE3, CE4)에 의해서 보상 커패시터(Cgs)가 정의될 수 있다.
- [0080] 출력 전극(DE)과 제어 전극(GE) 사이의 중첩 면적과 제3 및 제4 커패시터(CE3, CE4)의 중첩 면적은 상호보완적(trade-off) 관계를 가질 수 있다. 도 5a에 도시된 바와 같이, 출력 전극(DE)과 제어 전극(GE) 사이의 중첩 면적(W1)이 증가하면, 제3 및 제4 커패시터 전극(CE1, CE2)의 중첩 면적(W2)은 감소하고, 반대로 출력 전극(DE)과 제어 전극(GE) 사이의 중첩 면적(W1)이 감소하면, 제3 및 제4 커패시터 전극(CE3, CE4)의 중첩 면적(W2)은 증가할 수 있다. 따라서, 공정 오차 등에 의해 출력 전극(DE)과 제어 전극(GE) 사이의 중첩 면적(W1)이 원하는 값과 달라지더라도, 보상 커패시터(Cgs)를 통해 이 오차를 보상하므로써, 킥백 전압이 변동되는 현상을 방지할 수 있다.
- [0081] 제2 기관(DS2)은 제2 베이스 기관(BS2) 및 기준 전극(RE)을 포함한다. 제2 베이스 기관(BS2)은 제1 베이스 기관(BS1)과 마주하도록 배치된다. 제2 베이스 기관(BS2)은 유리 기관으로 이루어지거나, 또는 광 투과 특성 및 플렉서블 특성을 갖는 플라스틱 기관으로 이루어질 수 있다.
- [0082] 제2 베이스 기관(BS2)의 일면 상에는 기준 전극(RE)이 제공된다. 기준 전극(RE)은 투명한 전극 물질을 포함할 수 있다. 기준 전극(RE)은 제2 베이스 기관(BS2)의 일면 상에 하나의 통 전극 형태로 형성될 수 있다. 기준 전극(RE)은 액정층(LCL)을 사이에 두고 화소 전극(PE)과 마주한다. 기준 전극(RE), 화소 전극(PE) 및 액정층(LCL)에 의해서 액정 커패시터(C1c)가 정의될 수 있다. 액정층(LCL)에 포함된 액정 분자들은 화소 전극(PE)에 인가된 데이터 전압과 기준 전극(RE)에 인가된 제1 기준 전압(Vcom, 도 8에 도시됨)의 전압차에 의해 형성된 전계에 따라 배향될 수 있다. 표시패널(DP)은 액정 분자들의 액정 배향에 따라 백라이트 유닛(500, 도 1에 도시됨)으로부터 제공된 광의 투과도가 조절되어 원하는 계조를 갖는 영상을 표시할 수 있다.
- [0083] 기준 전극(RE)을 액정층(LCL)을 사이에 두고 설딩 전극(LSE)과 마주한다. 설딩 전극(LSE)에는 제2 기준 전압(Scom, 도 8에 도시됨)이 인가된다. 화소 전극(PE)에 인가되는 데이터 전압은 각 화소(PXij)에서 표시하고자 하는 영상의 계조에 따라 가변되나, 제1 및 제2 기준 전압(Vcom, Scom)은 DC 전압 레벨을 갖는다. 본 발명의 일 예로, 제2 기준 전압(Scom)은 제1 기준 전압(Vcom)과 동일한 전압 레벨을 가질 수 있다. 예를 들어, 제1 및 제2 기준 전압(Vcom, Scom)은 6V의 전압 레벨을 가질 수 있다.
- [0084] 따라서, 설딩 전극(LSE)과 기준 전극(RE) 사이에는 전계가 형성되지 않으며, 이에 이들 사이에 배치된 액정층(LCL)의 액정 분자들은 배향되지 않는다. 설딩 전극(LSE)과 기준 전극(RE) 사이에는 비배향 영역이 정의되고, 백라이트 유닛(500)으로부터 제공된 광은 비배향 영역을 통과하지 못한다. 이로써, 비배향 영역은 백라이트 유닛(500)으로부터 제공된 광을 차단하는 광 차단 영역으로 정의될 수 있다.
- [0085] 도면에 도시하지는 않았지만, 제1 및 제2 기관(DS1, DS2) 중 어느 하나에는 컬러 필터층이 제공될 수 있다. 컬러 필터층은 레드, 그린 및 블루 컬러 필터를 포함할 수 있다. 본 발명의 일 예로, 컬러 필터층이 제2 기관에 제공되는 경우, 컬러 필터층은 제2 베이스 기관(BS2)과 기준 전극(RE) 사이에 배치될 수 있다.
- [0086] 또한, 제1 및 제2 기관(DS1, DS2) 중 어느 하나에는 블랙 매트릭스층이 형성될 수 있다. 블랙 매트릭스 층은 차광성을 갖는 유기 물질 또는 금속 물질로 이루어질 수 있다. 블랙 매트릭스층은 설딩 전극(LSE)과 중첩하지 않

도록 제공될 수 있다. 블랙 매트릭스층은 액정 제어력이 미치지 못하는 영역에서 발생하는 빛샘을 차단할 수 있다.

- [0087] 도 6a는 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 부분 확대도이고, 도 6b는 본 발명의 일 실시예에 따른 제1 및 제2 커패시터 전극의 평면도이다. 도 6c는 본 발명의 일 실시예에 따른 제1 및 제2 커패시터 전극의 평면도이다. 도 6d는 도 6a에 도시된 III-III'에 따라 절단한 단면도이다.
- [0088] 도 6a 및 도 6b에 도시된 구성 요소 중 도 4 및 도 5b에 도시된 구성 요소와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고 그에 대한 구체적인 설명은 생략한다.
- [0089] 도 6a 및 도 6b를 참조하면, 본 발명의 일 실시예에 따른 화소(PXij)는 제2 커패시터 전극(CE2)이 도 4에 도시된 제2 커패시터 전극(CE2)과 상이한 형상을 갖는다는 것을 제외하고 도 4에 도시된 화소(PXij)와 동일한 구조를 갖는다.
- [0090] 제2 커패시터 전극(CE2)은 제1 전극부(CE2-1), 제2 전극부(CE2-2) 및 제3 전극부(CE2-3)를 포함한다. 제1 전극부(CE2-1)는 평면 상에서 사각 형상을 갖는다. 제2 전극부(CE2-2)는 제1 전극부(CE2-1)의 일측으로부터 제2 방향(DR2)으로 연장된다. 제2 전극부(CE2-2)의 제1 방향(DR1) 상에서의 폭은 제1 전극부(CE2-1)의 제1 방향(DR1) 상에서의 폭보다 작다. 제3 전극부(CE2-3)는 제2 전극부(CE2-2)의 단부로부터 제1 방향(DR1)으로 연장된다. 제1 및 제3 전극부(CE2-1, CE2-3) 사이에는 이격 공간(SA1)이 형성되고, 이격 공간(SA1) 내에 제1 커패시터 전극(CE1)이 배치될 수 있다. 따라서, 화소 영역 내 공간을 효율적으로 활용하면서 제2 커패시터 전극(CE2)의 면적을 증가시킬 수 있다.
- [0091] 도 6c에 도시된 바와 같이, 제2 커패시터 전극(CE2)은 제1 및 제2 전극부(CE2-1, CE2-2) 만을 포함할 수 있다. 제1 전극부(CE2-1)는 평면 상에서 사각 형상을 갖는다. 제2 전극부(CE2-2)는 제1 전극부(CE2-1)의 일측으로부터 제2 방향(DR2)으로 연장된다. 도 6c에 도시된 제2 커패시터 전극(CE2)은 도 4에 도시된 제2 커패시터 전극(CE2)에 비하여 제2 전극부(CE2-2)를 더 포함하므로, 도 4에 도시된 제2 커패시터 전극(CE2)에 비하여 넓은 면적을 가질 수 있다. 따라서, 주어진 공간에서 제2 스토리지 커패시터(Cst2)의 정전 용량을 증가시킬 수 있다.
- [0092] 제1 커패시터 전극(CE1)은 제1 및 제2 전극부(CE2-1, CE2-2) 사이의 공간(SA2) 내에 배치될 수 있다. 따라서, 화소 영역 내 공간을 효율적으로 활용하면서 제2 커패시터 전극(CE2)의 면적을 증가시킬 수 있다.
- [0093] 도 6b 및 도 6d를 참조하면, 제1 전극부(CE2-1)는 쉘딩 전극(LSE)의 연장부(LSE-EP)와 중첩하고, 제2 콘택홀(CNT2)을 통해 쉘딩 전극(LSE)의 연장부(LSE-EP)와 직접 콘택된다. 제2 커패시터 전극(CE2)은 제1 전극부(CE2-1)를 통해 쉘딩 전극(LSE)으로부터 제2 기준 전압(Vcom)을 수신할 수 있다. 제2 및 제3 전극부(CE2-2, CE2-3)는 쉘딩 전극(LSE)의 연장부(LSE-EP)와 중첩하지 않는다.
- [0094] 제2 커패시터 전극(CE2)의 제1 내지 제3 전극부(CE2-1~CE2-3)를 스토리지 전극(SSE)의 전극부(SSE-EP)와 중첩하도록 배치된다. 제1 내지 제3 전극부(CE2-1~CE2-3)와 스토리지 전극(SSE)의 전극부(SSE-EP)가 중첩하는 부분에서 제2 스토리지 커패시터(Cst2)가 형성된다.
- [0095] 도 7은 본 발명의 일 실시예에 따른 화소의 레이아웃을 나타낸 부분 확대도이다. 도 7에 도시된 구성 요소 중 도 6a에 도시된 구성 요소와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고 그에 대한 구체적인 설명은 생략한다.
- [0096] 도 7을 참조하면, 본 발명의 일 실시예에 따른 화소(PXij)는 보상 커패시터(Cgs)를 포함하지 않는다는 것을 제외하고 도 6a에 도시된 화소(PXij)와 동일한 구조를 갖는다.
- [0097] 즉, 제3 및 제4 커패시터 전극(CE3, CE4)에 의해서 정의된 보상 커패시터(Cgs)가 도 7의 화소(PXij)에서 생략될 수 있다. 즉, 본 발명의 일 실시예에 따른 화소(PXij)가 보상 커패시터를 포함하지 않는 경우, 화소 영역 내에서 제1 및 제2 커패시터 전극(CE1, CE2)의 위치 및 면적 등이 조정될 수 있다.
- [0098] 도 8은 도 7에 도시된 화소의 등가 회로도이다.
- [0099] 도 7 및 도 8을 참조하면, 본 발명의 일 실시예에 따른 화소(PXij)는 스위칭 소자(TR), 스위칭 소자(TR)의 출력 전극에 연결된 액정 커패시터(Clc), 액정 커패시터(Clc)에 연결된 제1 스토리지 커패시터(Cst1) 및 제1 스토리지 커패시터(Cst1)에 연결된 제2 스토리지 커패시터(Cst2)를 포함한다.
- [0100] 액정 커패시터(Clc)는 스위칭 소자(TR)의 출력 전극(DE)에 연결된 화소 전극(PE)을 제1 전극으로서 포함하고, 제1 기준 전압(Vcom)을 수신하는 기준 전극(RE, 도 6d에 도시됨)을 제2 전극으로서 포함한다.

- [0101] 제1 스토리지 커패시터(Cst1)는 스토리지 라인(SL)을 통해 스토리지 전압(Vst)을 수신하는 스토리지 전극(SSE)을 제1 전극으로서 포함하고, 스위칭 소자(TR)의 출력 전극(DE)에 연결된 제1 커패시터 전극(CE1)을 제2 전극으로서 포함한다. 본 발명의 일 예로, 스토리지 전압(Vst)은 제1 기준 전압(Vcom)보다 높은 전압 레벨을 가질 수 있다. 예를 들어, 제1 기준 전압(Vcom)이 6V인 경우, 스토리지 전압(Vst)은 7.5V일 수 있다.
- [0102] 제2 스토리지 커패시터(Cst2)는 스토리지 라인(SL)을 통해 스토리지 전압(Vst)을 수신하는 스토리지 전극(SSE)을 제1 전극으로서 포함하고, 절당 전극을 통해 제2 기준 전압(Scom)을 수신하는 제2 커패시터 전극(CE2)을 제2 전극으로서 포함한다. 본 발명의 일 예로, 제2 기준 전압(Scom)은 제1 기준 전압(Vcom)과 동일한 전압 레벨을 가질 수 있다. 또한, 제2 기준 전압(Scom)은 스토리지 전압(Vst)과 다른 전압 레벨을 가질 수 있다.
- [0103] 제1 스토리지 커패시터(Cst1)의 정전 용량은 제2 스토리지 커패시터(Cst2)의 정전 용량과 다를 수 있다. 본 발명의 일 예로, 제2 스토리지 커패시터(Cst2)의 정전 용량은 제1 스토리지 커패시터(Cst1)의 정전 용량보다 클 수 있다. 예를 들어, 제1 및 제2 스토리지 커패시터(Cst1, Cst2)의 정전 용량의 비는 3:7일 수 있다.
- [0104] 도 9는 도 6a에 도시된 화소의 등가 회로도이다.
- [0105] 도 6a 및 도 9를 참조하면, 본 발명의 일 실시예에 따른 화소(PXij)는 스위칭 소자(TR)의 제어 전극(GE)과 출력 전극(DE) 사이에 연결된 보조 커패시터(Cgs)를 더 포함할 수 있다.
- [0106] 표시패널 내 화소들 사이에서 공정 오차로 인해 화소들의 위치에 따라 스위칭 소자(TR)의 출력 전극(DE)과 제어 전극(GE) 사이의 기생 커패시턴스가 달라질 수 있다. 보조 커패시터(Cgs)는 이러한 기생 커패시턴스의 편차를 보상할 수 있다. 즉, 기생 커패시턴스가 감소하면 보상 커패시터(Cgs)의 정전 용량이 증가하고, 기생 커패시턴스가 증가하면 보상 커패시터(Cgs)의 정전 용량이 감소하도록 보상 커패시터(Cgs)를 설계함으로써, 기생 커패시턴스의 편차가 보상 커패시터(Cgs)에 의해 상쇄될 수 있다. 따라서, 보상 커패시터(Cgs)에 의해서 화소들 사이의 킥백 전압의 차이가 보상될 수 있다.
- [0107] 도 10a는 도 9에 도시된 스토리지 전압을 나타낸 파형도이고, 도 10b는 도 9의 액정 커패시터에 충전되는 화소 전압을 나타낸 파형도이며, 도 10c는 도 10b의 BB 부분을 확대하여 나타낸 파형도이다. 도 10b 및 도 10c에서 제1 그래프(G1)는 제2 스토리지 커패시터(Cst2)를 포함하지 않는 화소에서의 화소 전압을 나타내고, 제2 그래프(G2)는 제2 스토리지 커패시터(Cst2)를 포함하는 화소(PXij)에서의 화소 전압을 나타낸다.
- [0108] 도 8 내지 도 10c를 참조하면, 스토리지 전압(Vst)이 인가되는 스토리지 라인(SL)은 데이터 라인들(DLi)과 교차한다. 따라서, 주기적으로 데이터 라인들(DLi)에 인가되는 데이터 전압에 영향을 받아 스토리지 전압(Vst)에 리플이 발생할 수 있다. 데이터 전압이 제1 기준 전압(Vcom)보다 높은 양극성의 전압 레벨을 갖는 경우, 스토리지 전압(Vst)에는 상승 리플이 발생하고, 데이터 전압이 제1 기준 전압(Vcom)보다 낮은 음극성의 전압 레벨을 갖는 경우, 스토리지 전압(Vst)에는 하강 리플이 발생할 수 있다.
- [0109] 스토리지 라인(SL)은 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 통해 화소에 연결된다. 특히, 스토리지 전압(Vst)에 발생된 리플은 화소 전극(PE)에 연결되는 제1 스토리지 커패시터(Cst1)에 의해서 화소 전압(Vp)에도 반영될 수 있다. 즉, 스토리지 전압(Vst)에 발생된 리플에 대응하여 화소 전압에도 리플이 발생될 수 있다. 그러나, 화소 전극과 연결된 제1 스토리지 커패시터(Cst1)의 정전 용량의 크기에 따라서 스토리지 전압(Vst)에 발생된 리플이 화소 전압에 미치는 영향이 달라질 수 있다. 즉, 제1 스토리지 커패시터(Cst1)의 정전 용량이 감소할수록 스토리지 전압(Vst)에 발생된 리플이 화소 전압(Vp)에 미치는 영향이 감소한다.
- [0110] 도 10c에 도시된 바와 같이, 스토리지 전극(SSE, 도 6a 및 도 7에 도시됨)을 제1 스토리지 커패시터(Cst1)로 모두 활용하는 경우 제1 그래프(G1)에 나타난 바와 같이, 스토리지 전압(Vst)에 발생된 리플에 의한 화소 전압(Vp)의 변동폭이 제1 값(Vd1)만큼 상승하는 것으로 나타났다.
- [0111] 그러나, 스토리지 전극(SSE)의 일부분이 제1 스토리지 커패시터(Cst1)로 활용되고, 나머지 부분이 제2 스토리지 커패시터(Cst2)로 활용되는 경우, 제2 그래프(G2)에 나타난 바와 같이, 스토리지 전압(Vst)에 발생된 리플에 의한 화소 전압의 변동폭은 제2 값(Vd2)만큼 감소하는 것으로 나타났다. 화소 전압의 변동은 표시장치의 화면 상에서 위치별 휘도 차이로 나타날 수 있고, 특히, 화면 상에 가로줄 무늬가 시인되는 수평 크로스토크(cross-talk) 현상으로 이어질 수 있다. 이처럼, 화소 전압의 변동폭이 감소할 경우, 수평 크로스토크 현상이 개선될 수 있고, 그 결과 표시 품질을 향상시킬 수 있다.
- [0112] 화소(PXij)에는 제2 스토리지 커패시터(Cst2)가 포함된다. 제1 및 제2 스토리지 커패시터(Cst1, Cst2)는 화소(PXij)에 충전된 화소 전압(Vp)을 일정하게 유지시키는 역할을 수행한다. 앞서 언급한 바와 같이 제1 스토리지

커패시터(Cst1)의 정전 용량이 감소할 경우, 화소 전압(Vp)의 유지 능력이 저하될 수 있다. 이를 보완하기 위하여 화소(PXij)는 제2 스토리지 커패시터(Cst2)를 더 포함한다. 제2 스토리지 커패시터(Cst2)는 화소 전압(Vp)을 유지시키는 기능을 수행하나, 화소 전극(PE)과 직접적으로 연결되지 않으므로, 제2 스토리지 커패시터(Cst2)의 정전 용량이 증가하더라도 스토리지 전압(Vst)의 리플이 화소 전압(Vp)에 반영되지 않는다.

[0113] 표시패널(DP, 도 1에 도시됨)의 동작 모드가 저주파 모드에서 고주파 모드로 전환되거나 또는 고주파 모드에서 저주파 모드로 전환되는 경우 화소(PXij)의 충전 시간이 감소 또는 증가한다. 이러한 충전 시간의 차이로 화소(PXij)에 충전되는 화소 전압(Vp)이 일정하게 유지하지 못하여 화면 상에 떨림 현상 등이 발생할 수 있다. 이 경우, 제2 스토리지 커패시터(Cst2)는 화소(PXij)에 충전되는 화소 전압(Vp)이 주파수 변동 시에도 일정하게 유지될 수 있도록 할 수 있다.

[0114] 이처럼, 화소(PXij)에 제1 및 제2 스토리지 커패시터(Cst1, Cst2)가 개별적으로 구비됨으로써, 표시패널(DP)의 전체적인 표시품질을 개선할 수 있다.

[0115] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

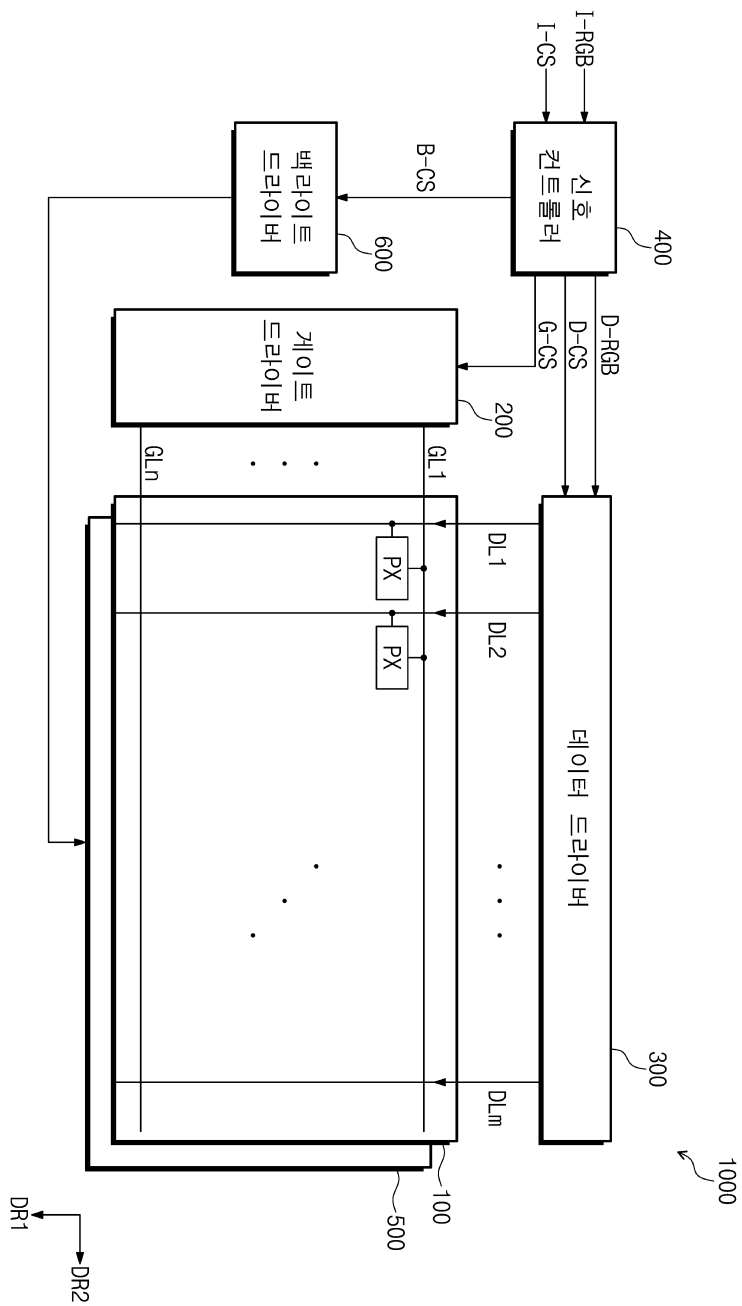
[0116] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

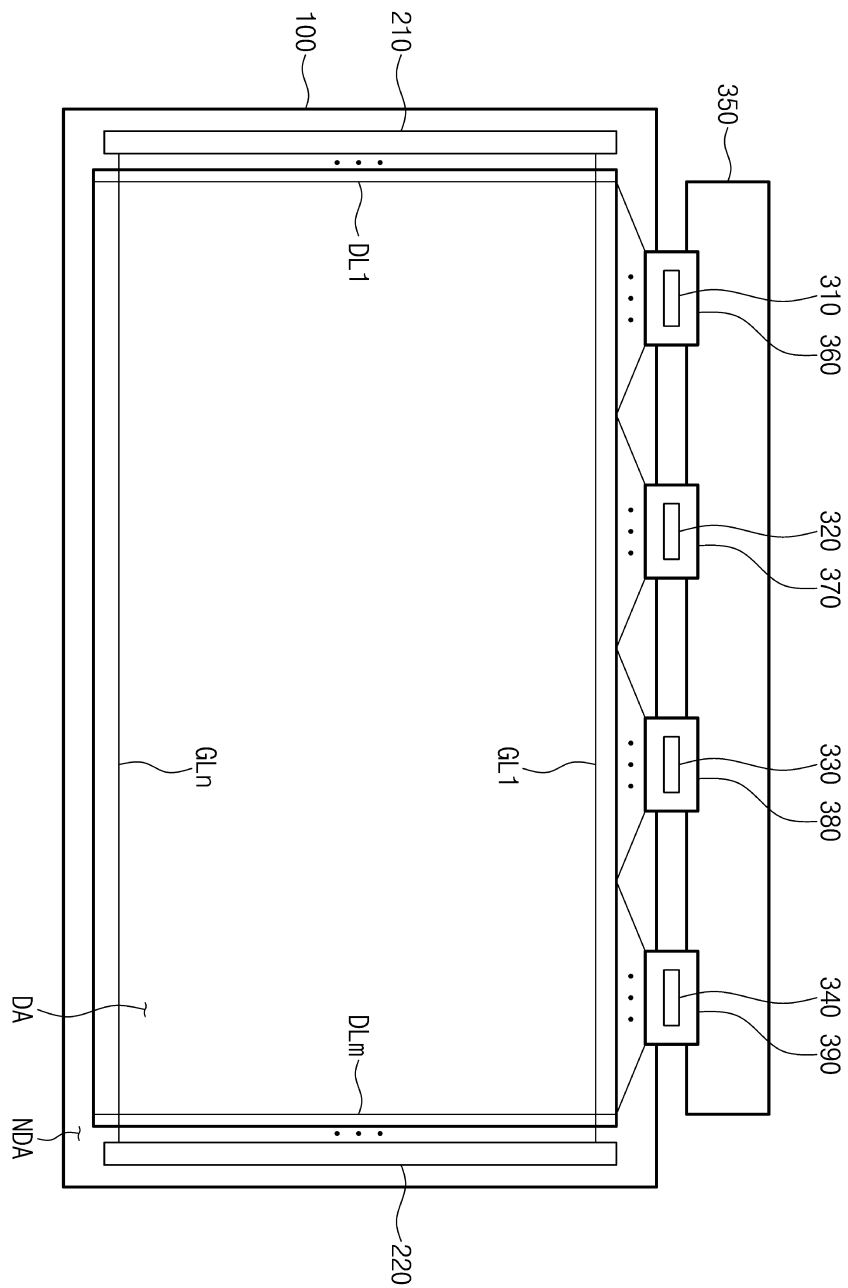
[0117] 1000: 표시장치 100: 표시패널
200: 게이트 드라이버 300: 데이터 드라이버
400: 신호 컨트롤러 SSE: 스토리지 전극
LSE: 쉘딩 전극 TR: 스위칭 소자
DE: 출력 전극 CE1: 제1 커패시터 전극
CE2: 제2 커패시터 전극 LSE-EP: 연장부
Cst1: 제1 스토리지 커패시터 Cst2: 제2 스토리지 커패시터
SL: 스토리지 라인

도면

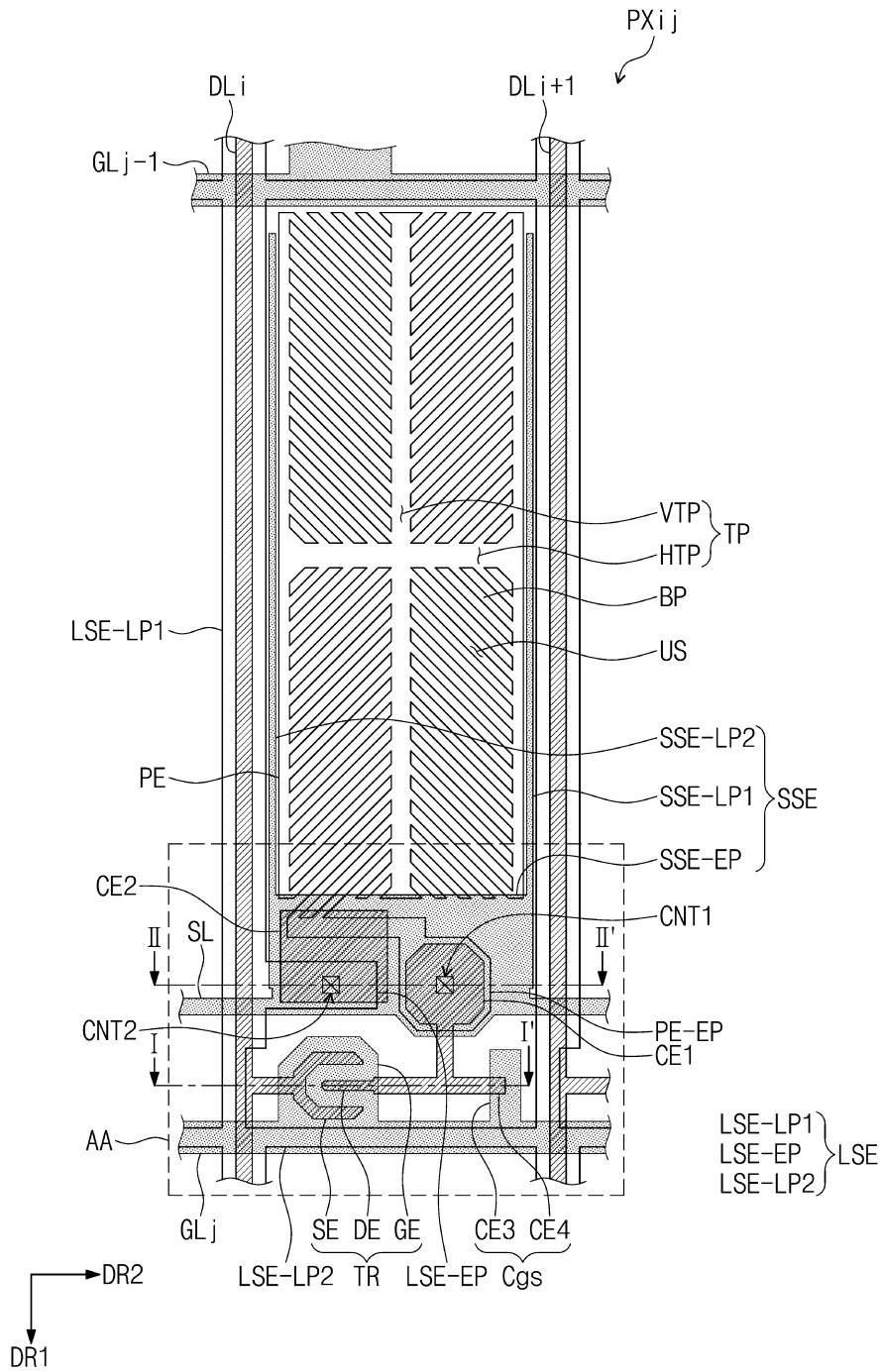
도면1



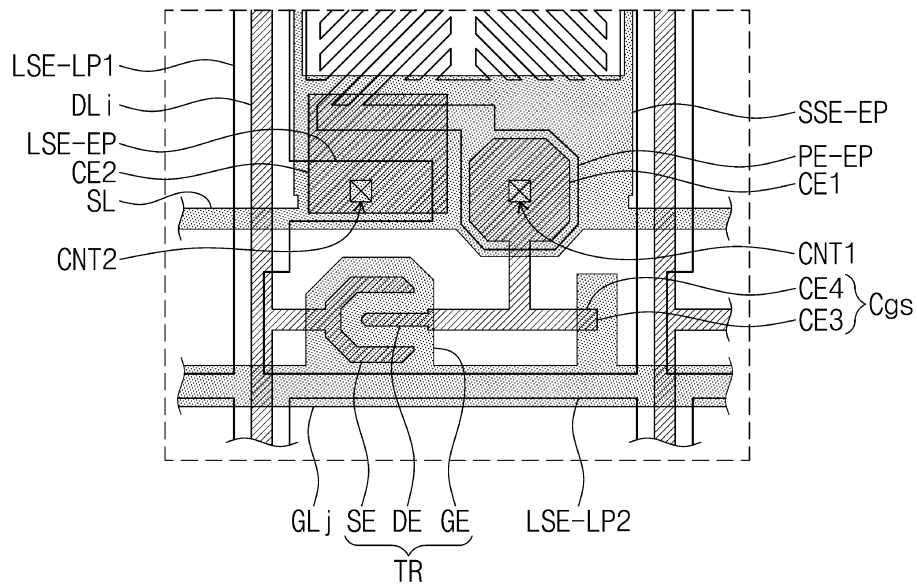
도면2



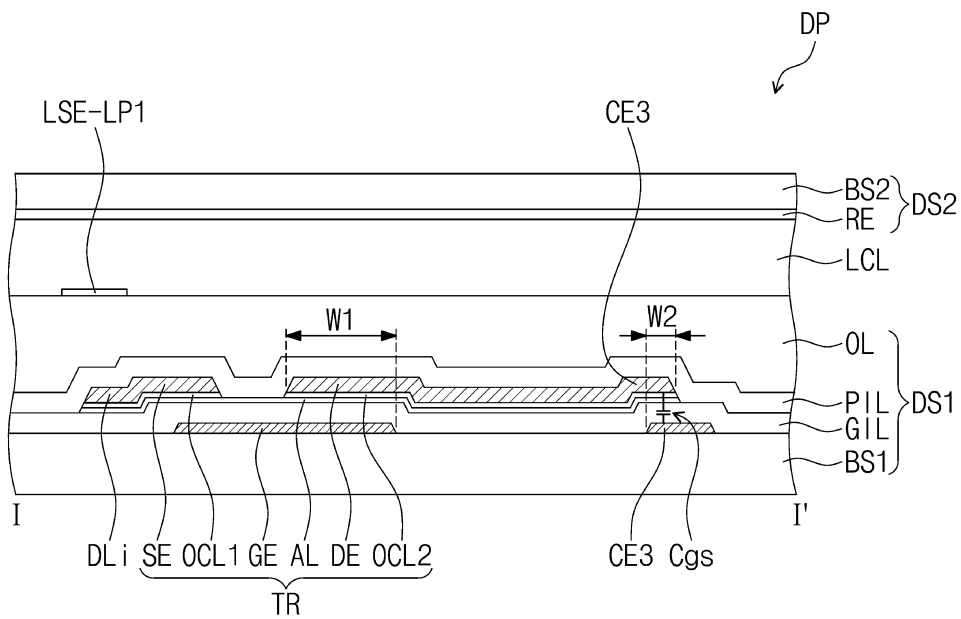
도면3



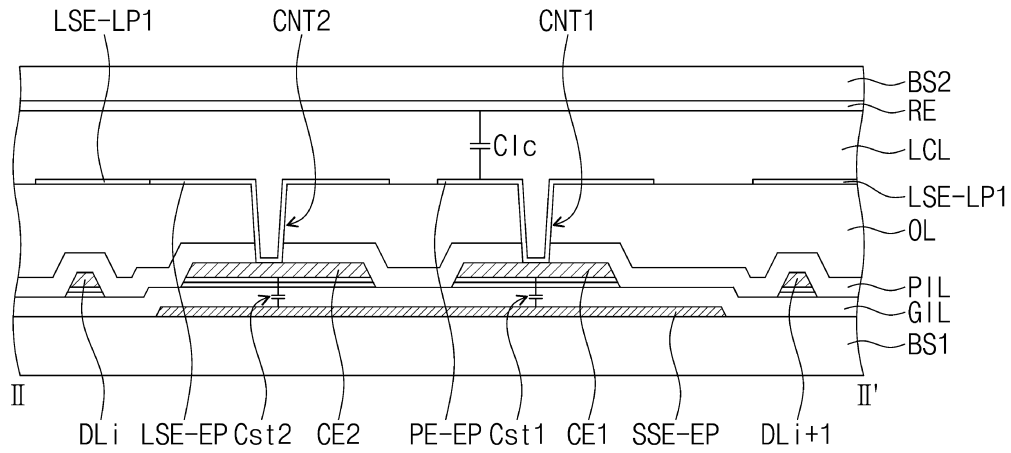
도면4



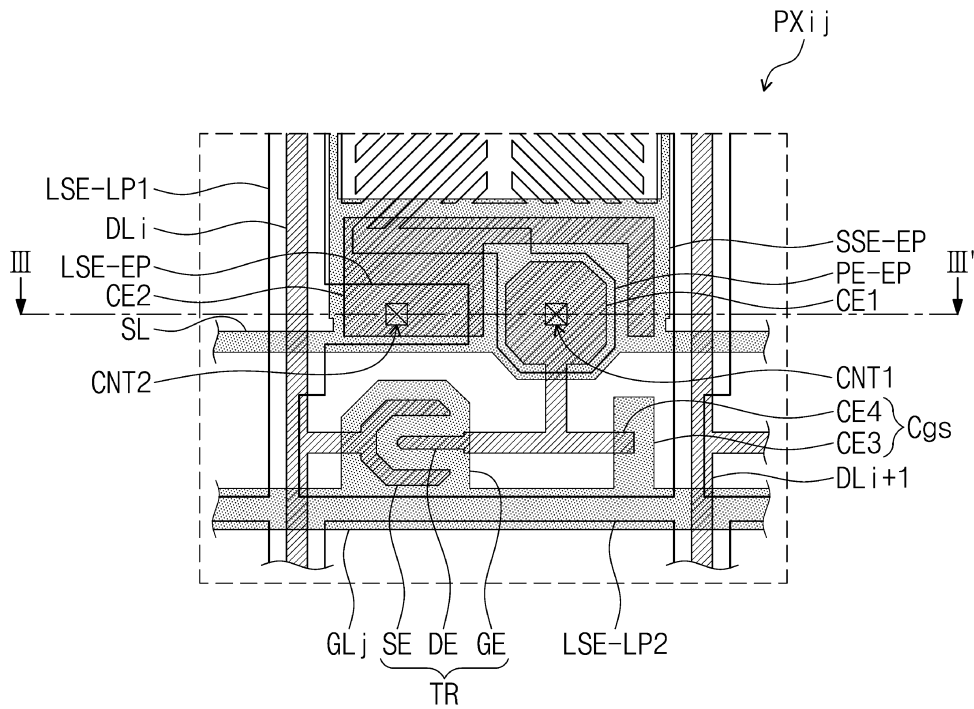
도면5a



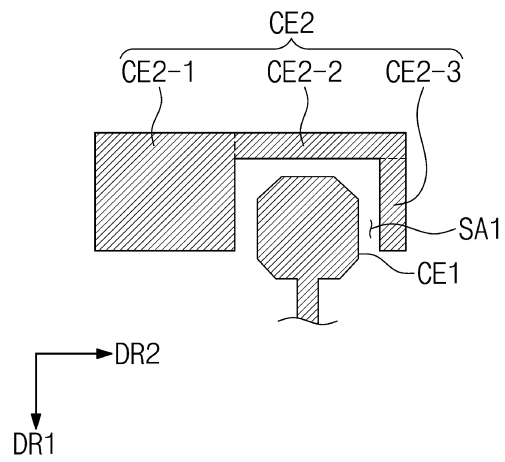
도면5b



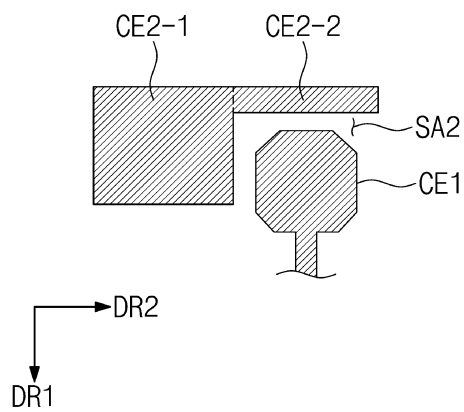
도면6a



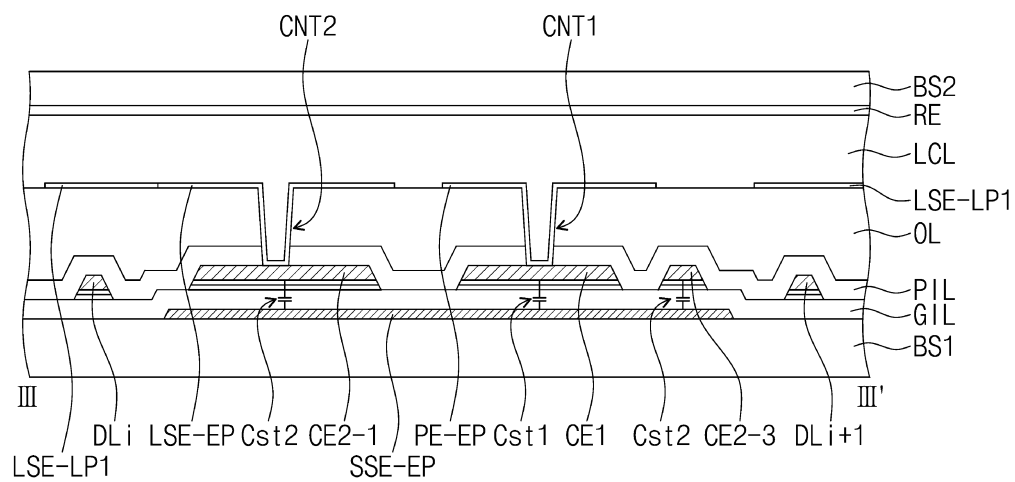
도면 6b



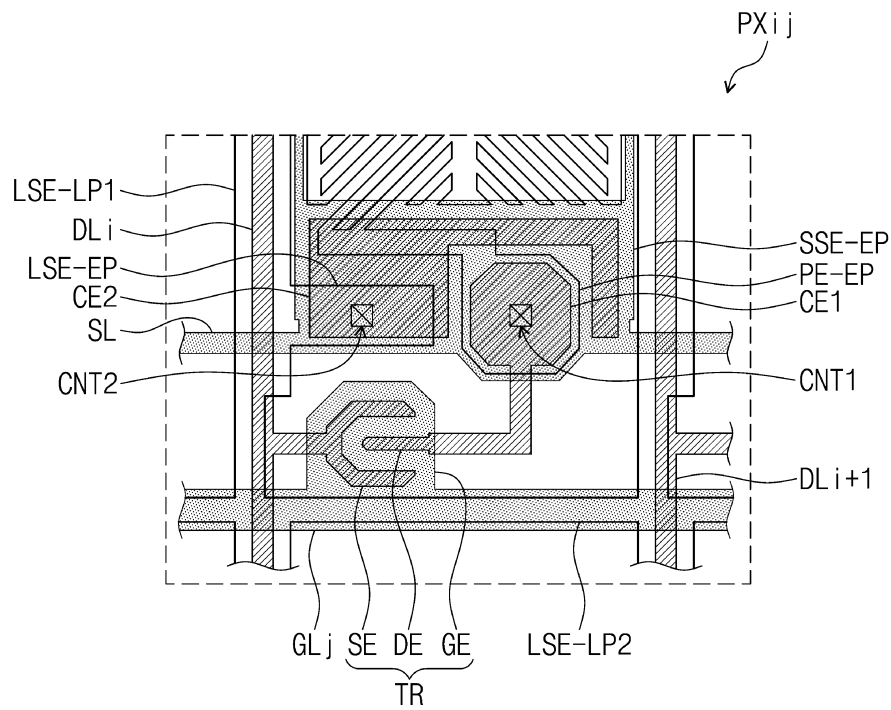
도면 6c



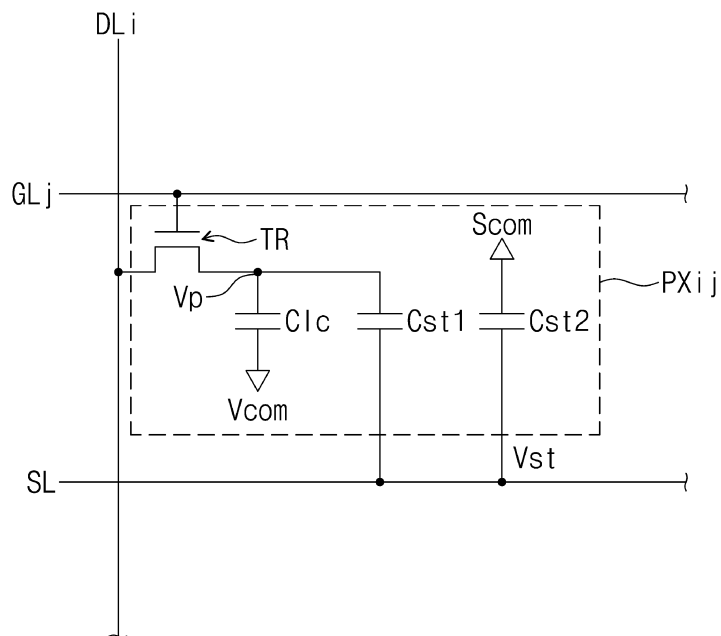
도면 6d



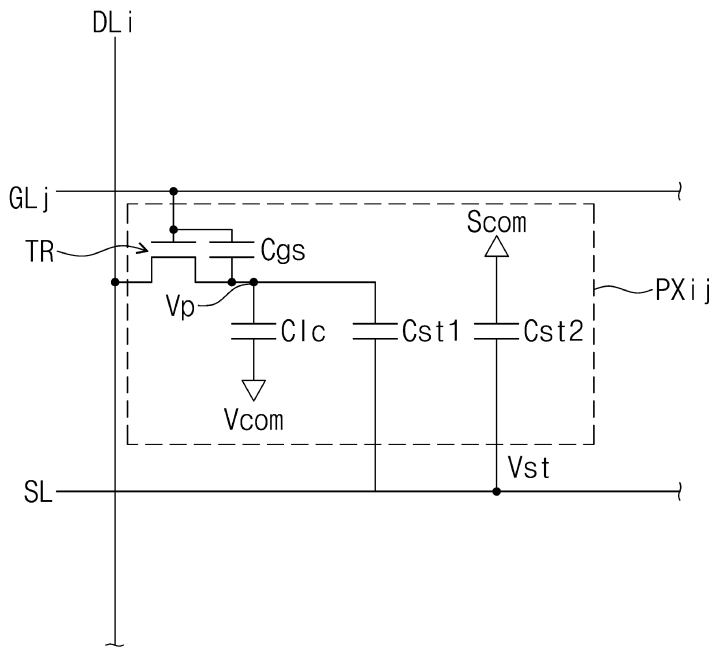
도면7



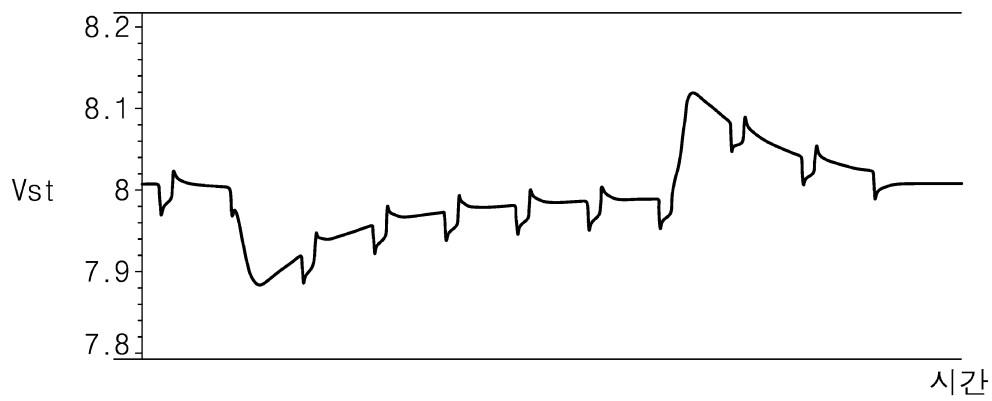
도면8



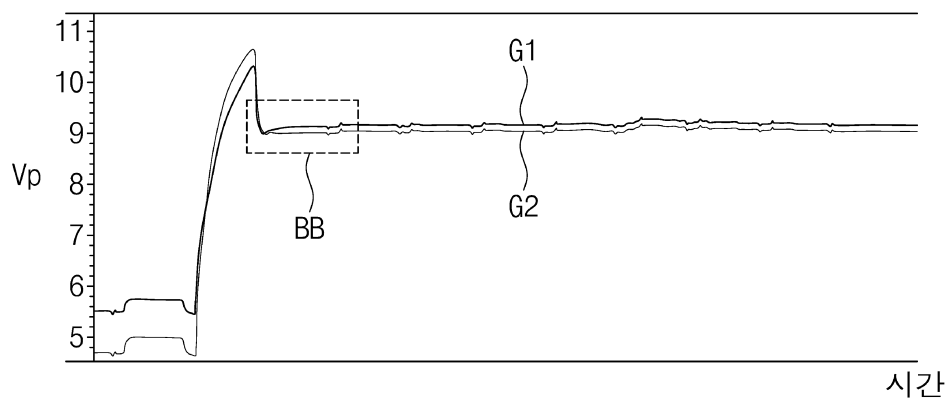
도면9



도면10a



도면10b



도면10c

