



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0091225
(43) 공개일자 2021년07월21일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G06F 1/26 (2006.01)
(52) CPC특허분류
G09G 3/36 (2013.01)
G06F 1/266 (2013.01)
(21) 출원번호 10-2021-7017563
(22) 출원일자(국제) 2019년11월08일
심사청구일자 2021년06월08일
(85) 번역문제출일자 2021년06월08일
(86) 국제출원번호 PCT/CN2019/116588
(87) 국제공개번호 WO 2020/098569
국제공개일자 2020년05월22일
(30) 우선권주장
201811353013.1 2018년11월14일 중국(CN)

(71) 출원인
비보 모바일 커뮤니케이션 컴퍼니 리미티드
중국 광둥 둥관 창'안 우샤 비비케이 로드 283#
(72) 발명자
원 량
중국 광둥 둥관 창'안 우샤 비비케이 로드 #283(
우편번호: 523860)
(74) 대리인
특허법인명인

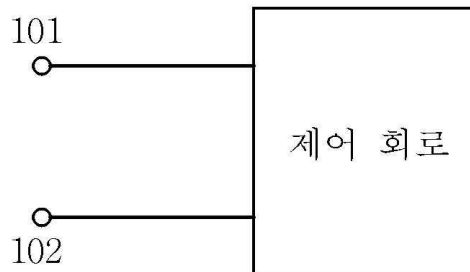
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 제어 회로, 액정 디스플레이 구동 모듈 및 액정 디스플레이 장치

(57) 요약

본 발명은 제어 회로, 액정 디스플레이 구동 모듈 및 액정 디스플레이 장치를 제공하며, 상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자(101) 및 제2 입력 단자(102)를 포함하며, 상기 제어 회로는 상기 제1 입력 단자(101), 상기 제2 입력 단자(102)가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자(102), 상기 제1 입력 단자(101)의 전원 차단을 순차적으로 제어한다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0426 (2013.01)

G09G 2330/02 (2013.01)

G09G 2330/04 (2013.01)

명세서

청구범위

청구항 1

디스플레이 모듈에 입력된 구동 칩의 복수의 전원 신호의 연결/차단 순서를 제어하기 위한 제어 회로로서,

상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자 및 제2 입력 단자를 포함하며, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자, 상기 제1 입력 단자의 전원 차단을 순차적으로 제어하는 것을 특징으로 하는 제어 회로.

청구항 2

제1항에 있어서,

상기 제2 입력 단자는 제2 서브 입력 단자 및 제3 서브 입력 단자를 포함하며, 상기 제2 서브 입력 단자, 상기 제3 서브 입력 단자는 각각 서로 다른 외부 전원 신호를 수신하고, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 서브 입력 단자 및 상기 제3 서브 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하며, 상기 제3 서브 입력 단자, 상기 제2 서브 입력 단자 및 상기 제1 입력 단자의 전원 차단을 순차적으로 제어하는 것을 특징으로 하는 제어 회로.

청구항 3

제2항에 있어서,

상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVEE 입력 단자이고, 상기 제3 서브 입력 단자는 AVDD 입력 단자이며;

또는, 상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVDD 입력 단자이고, 상기 제3 서브 입력 단자는 AVEE 입력 단자인 제어 회로.

청구항 4

제3항에 있어서,

상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVEE 입력 단자이고, 상기 제3 서브 입력 단자는 AVDD 입력 단자이며,

상기 제어 회로는,

제1 단자가 상기 VDDI 입력 단자와 연결되는 제1 저항;

게이트 전극은 상기 제1 저항의 제2 단자와 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 N형 전계효과 트랜지스터;

제1 단자는 상기 제1 저항의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 N형 전계효과 트랜지스터의 제2 전극과 연결되는 제1 커패시터;

제1 단자가 상기 N형 전계효과 트랜지스터의 제2 전극과 연결되는 제2 저항;

게이트 전극은 상기 제2 저항의 제2 단자와 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 P형 전계효과 트랜지스터;

제1 단자는 상기 제2 저항의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 P형 전계효과 트랜지스터의 제2 전극과 연결되는 제2 커패시터;를 포함하는 것을 특징으로 하는 제어 회로.

청구항 5

제3항에 있어서,

상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVDD 입력 단자이고, 상기 제3 서브 입력 단자는 AVEE 입력 단자이며,

상기 제어 회로는,

제1 단자가 상기 VDDI 입력 단자와 연결되는 제3 저항;

게이트 전극은 상기 제3 저항의 제2 단자와 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제1 N형 전계효과 트랜지스터;

제1 단자는 상기 제3 저항의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 제1 N형 전계효과 트랜지스터의 제2 전극과 연결되는 제3 커패시터;

제1 단자가 상기 제1 N형 전계효과 트랜지스터의 제2 전극과 연결되는 제4 저항;

게이트 전극은 상기 제4 저항의 제2 단자와 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제2 N형 전계효과 트랜지스터;

제1 단자는 상기 제4 저항의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 제2 N형 전계효과 트랜지스터의 제2 전극과 연결되는 제4 커패시터;를 포함하는 것을 특징으로 하는 제어 회로.

청구항 6

제3항에 있어서,

선택 회로;

상기 VDDI 입력 단자가 상기 선택 회로를 통해 게이트 전극에 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제3 N형 전계효과 트랜지스터;

상기 VDDI 입력 단자가 상기 선택 회로를 통해 게이트 전극에 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제4 N형 전계효과 트랜지스터;를 더 포함하며,

상기 선택 회로는 상기 제3 N형 전계효과 트랜지스터 및 상기 제4 N형 전계효과 트랜지스터에서 제1 대상 전계효과 트랜지스터, 제2 대상 전계효과 트랜지스터를 순차적으로 선택하고, 상기 제1 대상 전계효과 트랜지스터, 상기 제2 대상 전계효과 트랜지스터의 소스 전극 및 드레인 전극을 순차적으로 지연하여 턴온(turn on)시키기 위해 사용되는 것을 특징으로 하는 제어 회로.

청구항 7

제3항 내지 제6항 중 어느 한 항에 있어서,

상기 AVEE입력 단자와 상기 구동 칩의 경로에 서미스터가 직렬 연결되며; 및/또는,

상기 AVDD 입력 단자와 상기 구동 칩의 경로에 서미스터가 직렬 연결되는 것을 특징으로 하는 제어 회로.

청구항 8

구동 칩과, 제1항 내지 제7항 중 어느 한 항의 제어 회로를 포함하여 구성된 것을 특징으로 하는 액정 디스플레이 구동 모듈.

청구항 9

제8항의 액정 디스플레이 구동 모듈을 포함하여 구성된 것을 특징으로 하는 액정 디스플레이 장치.

발명의 설명

기술 분야

[관련 출원에 대한 참조]

본 출원은 2018년 11월 14일에 중국에서 출원한 특허 출원번호가 No. 201811353013.1 인 특허의 우선권을 주장

하며, 상기 출원의 전체 내용을 참조로 본 출원에 원용한다.

[0003] [기술분야]

[0004] 본 발명은 통신 기술 분야에 관한 것으로, 특히 제어 회로, 액정 디스플레이 구동 모듈 및 액정 디스플레이 장치에 관한 것이다.

배경 기술

[0005] 액정 디스플레이 기술이 급속히 발전함에 따라, 액정 디스플레이 장치는 사람들의 생활에서 이미 흔하게 볼 수 있으며, 사용자에게 새로운 시각적 경험을 선사하고 있다. 액정 디스플레이 구동 모듈의 구동 칩의 외부 전원 공급은 주로 VDDI 신호, AVDD 신호 및 AVEE 신호를 포함하며, 일반적으로, AVDD 신호와 AVEE 신호에 앞서 VDDI 신호에 먼저 전원이 연결되고, AVDD 신호와 AVEE 신호 다음에 VDDI 신호의 전원이 차단되며, 3자가 함께 작동됨으로써 액정 디스플레이 구동 모듈이 정상적으로 작동될 수 있다.

[0006] 그러나, 비정상적인 상황에서 AVDD 신호와 AVEE 신호가 VDDI 신호보다 먼저 전원이 연결되거나 VDDI 신호 이후에 AVDD 신호와 AVEE 신호의 전원이 차단되어 구동 칩이 손상될 가능성이 높다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일부 실시예는 비정상적인 상황에서 구동 칩이 손상될 가능성이 높은 문제를 해결할 수 있는 제어 회로, 액정 디스플레이 구동 모듈 및 액정 디스플레이 장치를 제공한다.

과제의 해결 수단

[0008] 상기 기술적 과제를 해결하기 위한 본 발명의 기술 방안은 다음과 같다.

[0009] 제1 측면에서, 본 발명의 일부 실시예는 디스플레이 모듈에 입력된 구동 칩의 복수의 전원 신호의 연결/차단 순서를 제어하기 위한 제어 회로를 제공하며, 상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자 및 제2 입력 단자를 포함하며, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자, 상기 제1 입력 단자의 전원 차단을 순차적으로 제어한다.

[0010] 제2 측면에서, 본 발명의 일부 실시예는 또한 구동 칩과 상기 제어 회로를 포함하여 구성된 액정 디스플레이 구동 모듈을 제공한다.

[0011] 제3 측면에서, 본 발명의 일부 실시예는 또한 상기 액정 디스플레이 구동 모듈을 포함하여 구성된 액정 디스플레이 장치를 제공한다.

발명의 효과

[0012] 본 발명의 일부 실시예에 따른 제어 회로는 디스플레이 모듈에 입력된 구동 칩의 복수의 전원 신호의 연결/차단 순서를 제어하기 위해 사용되며, 상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자 및 제2 입력 단자를 포함하며, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자, 상기 제1 입력 단자의 전원 차단을 순차적으로 제어한다. 따라서, 서로 다른 전원 신호의 순서를 제어하여 서로 다른 전원 신호의 정상적인 순서를 최대한 확보함으로써, 구동 칩의 손상 가능성을 줄인다.

도면의 간단한 설명

[0013] 이하, 본 발명의 일부 실시예의 기술 방안을 보다 명확하게 설명하기 위해, 본 발명의 일부 실시예에 설명된 첨부도면에 대해 간단히 설명하며, 다음에 설명되는 첨부도면은 본 발명의 일부 실시예를 나타내며, 본 발명의 기술 분야의 통상의 지식을 가진 자는 창의적인 노동을 거치지 않고서도 이러한 첨부도면을 기초로 다른 첨부도면을 얻을 수 있다.

도 1은 본 발명의 일부 실시예에 따른 제어 회로의 제1 구조도이다.

도 2는 본 발명의 일부 실시예에 따른 제어 회로의 제2 구조도이다.
 도 3은 본 발명의 일부 실시예에 따른 제어 회로의 제3 구조도이다.
 도 4는 본 발명의 일부 실시예에 따른 제어 회로의 제4 구조도이다.
 도 5는 본 발명의 일부 실시예에 따른 제어 회로의 제5 구조도이다.
 도 6은 본 발명의 일부 실시예에 따른 제어 회로의 제6 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 실시예의 첨부도면을 결부하여 본 발명의 실시예의 기술 방안에 대해 명확하고 완전하게 설명하며, 여기에 설명된 실시예는 본 발명의 모든 실시예가 아니고 단지 일부분 실시예이다. 본 발명의 기술 분야의 통상의 지식을 가진 자가 본 발명의 실시예를 기반으로 창의적인 노동을 거치지 않고 얻은 다른 모든 실시예는 모두 본 발명의 보호 범위에 속한다.
- [0015] 도 1은 본 발명의 일부 실시예에 따른 제어 회로의 구조도이며, 상기 제어 회로는 디스플레이 모듈에 입력된 구동 칩의 복수의 전원 신호의 연결/차단 순서를 제어하기 위해 사용되며, 도 1에 도시된 바와 같이, 상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자(101) 및 제2 입력 단자(102)를 포함하며, 상기 제어 회로는 상기 제1 입력 단자(101), 상기 제2 입력 단자(102)가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자(102), 상기 제1 입력 단자(101)의 전원 차단을 순차적으로 제어한다.
- [0016] 본 실시예에서, 상기 제1 입력 단자(101)는 VDDI 입력 단자일 수 있고, 상기 제2 입력 단자(102)는 AVDD 입력 단자 또는 AVEE 입력 단자일 수 있다. 따라서, VDDI 신호가 AVDD 신호 또는 AVEE 신호 전에 구동 칩에 입력되고 AVDD 신호 또는 AVEE 신호가 VDDI 신호 전에 전원이 차단되도록 확보할 수 있다. 상기 제어 회로는 커패시터를 포함하고, 커패시터를 통해 상기 제2 입력 단자, 상기 제1 입력 단자의 전원 차단이 순차적으로 제어된다.
- [0017] 따라서, 서로 다른 전원 신호의 순서를 제어하여 서로 다른 전원 신호의 정상적인 순서를 최대한 확보함으로써, 구동 칩의 손상 가능성을 줄인다.
- [0018] 선택적으로, 상기 제2 입력 단자는 제2 서브 입력 단자 및 제3 서브 입력 단자를 포함하며, 상기 제2 서브 입력 단자, 상기 제3 서브 입력 단자는 각각 서로 다른 외부 전원 신호를 수신하고, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 서브 입력 단자 및 상기 제3 서브 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하며, 상기 제3 서브 입력 단자, 상기 제2 서브 입력 단자 및 상기 제1 입력 단자의 전원 차단을 순차적으로 제어한다.
- [0019] 상기 구현 방식에서, 상기 제2 입력 단자는 제2 서브 입력 단자 및 제3 서브 입력 단자를 포함하며, 상기 제2 서브 입력 단자, 상기 제3 서브 입력 단자는 각각 서로 다른 외부 전원 신호를 수신하고, 상기 제어 회로는 상기 제1 입력 단자, 상기 제2 서브 입력 단자 및 상기 제3 서브 입력 단자가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하며, 상기 제3 서브 입력 단자, 상기 제2 서브 입력 단자 및 상기 제1 입력 단자의 전원 차단을 순차적으로 제어한다. 따라서, 서로 다른 전원 신호의 정상적인 순서를 보증할 수 있어, 구동 칩의 손상 가능성을 줄인다.
- [0020] 선택적으로, 상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVEE 입력 단자이고, 상기 제3 서브 입력 단자는 AVDD 입력 단자이며;
- [0021] 또는, 상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVDD 입력 단자이고, 상기 제3 서브 입력 단자는 AVEE 입력 단자이다.
- [0022] 상기 구현 방식에서, 상기 제1 입력 단자는 VDDI 입력 단자이고 상기 제2 서브 입력 단자는 AVEE 입력 단자이며 상기 제3 서브 입력 단자는 AVDD 입력 단자인 경우, VDDI 신호, AVEE 신호, AVDD 신호가 순차적으로 구동 칩에 입력되며, AVDD 신호, AVEE 신호, VDDI 신호가 구동 칩에서 순차적으로 전원이 차단되도록 보장할 수 있다.
- [0023] 상기 구현 방식에서, 상기 제1 입력 단자는 VDDI 입력 단자이고 상기 제2 서브 입력 단자는 AVDD 입력 단자이며 상기 제3 서브 입력 단자는 AVEE 입력 단자인 경우, VDDI 신호, AVDD 신호, AVEE 신호가 순차적으로 구동 칩에 입력되며, AVEE 신호, AVDD 신호, VDDI 신호가 구동 칩에서 순차적으로 전원이 차단되도록 보장할 수 있다.
- [0024] 따라서, AVDD 신호, AVEE 신호 및 VDDI 신호의 정상적인 순서를 제어하여 구동 칩 내부에 큰 래치업 전류가 발

생하여 손상되는 가능성을 줄인다.

- [0025] 선택적으로, 상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVEE 입력 단자이고, 상기 제3 서브 입력 단자는 AVDD 입력 단자이며,
- [0026] 상기 제어 회로는,
- [0027] 제1 단자가 상기 VDDI 입력 단자와 연결되는 제1 저항(R1);
- [0028] 게이트 전극은 상기 제1 저항(R1)의 제2 단자와 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 N형 전계효과 트랜지스터(M1);
- [0029] 제1 단자는 상기 제1 저항(R1)의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 N형 전계효과 트랜지스터(M1)의 제2 전극과 연결되는 제1 커패시터(C1);
- [0030] 제1 단자가 상기 N형 전계효과 트랜지스터(M1)의 제2 전극과 연결되는 제2 저항(R2);
- [0031] 게이트 전극은 상기 제2 저항(R2)의 제2 단자와 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 P형 전계효과 트랜지스터(M2);
- [0032] 제1 단자는 상기 제2 저항(R2)의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 P형 전계효과 트랜지스터(M2)의 제2 전극과 연결되는 제2 커패시터(C2);를 포함한다.
- [0033] 상기 구현 방식에서, 상기 N형 전계효과 트랜지스터(M1)의 제2 전극이 구동 칩에 연결되는 부분은 상기 P형 전계효과 트랜지스터(M2)의 제2 전극이 상기 구동 칩에 연결되는 부분과 다르다. 상기 전계효과 트랜지스터의 제1 전극 및 제2 전극은 각각 소스 전극 및 드레인 전극이거나 또는 각각 드레인 전극 및 소스 전극일 수 있다. 상기 회로를 더 잘 이해하기 위해, 도 2 및 도 3을 참조할 수 있으며, 도 2 및 도 3은 모두 본 발명의 일부 실시예에 따른 제어 회로의 구조도이다.
- [0034] 먼저, 도 2를 참조하면, 이 경우, 상기 제1 커패시터(C1)의 제2 단자가 접지되고, 상기 제2 커패시터(C2)의 제2 단자도 접지된다. VDDI 신호는 N형 전계효과 트랜지스터(M1)의 게이트 전극 제어 신호로 사용되며, VDDI 전압이 일정한 값에 도달하면, 예를 들어 1.8V에 도달하면, VDDI 신호는 먼저 제1 저항(R1)을 통해 제1 커패시터(C1)를 충전하고, 제1 커패시터(C1)가 일정 시간 동안 충전되어 N형 전계효과 트랜지스터(M1)를 턴온하기 위한 전압에 도달한 후, AVEE 신호는 N형 전계효과 트랜지스터(M1)를 통해 입력되기 시작한다. 입력된 AVEE 신호는 여러 채널로 분할되며, 한 채널은 구동 칩의 부스트 회로로 입력된다. 다른 한 채널의 AVEE 신호는 제2 저항(R2)을 통해 제2 커패시터(C2)를 충전하고, 제2 커패시터(C2)가 일정 시간 동안 충전되어 P형 전계효과 트랜지스터(M2)를 턴온하기 위한 전압에 도달하면, AVDD 신호는 P형 전계효과 트랜지스터(M2)를 통해 입력된다. 따라서, 외부 전원 공급이 비정상이고 VDDI 신호보다 먼저 AVDD 신호 또는 AVEE 신호에 전원이 공급 되더라도 구동 칩에 미리 입력될 수 없다.
- [0035] 예를 들어, VDDI 신호의 전압은 1.8V, 제1 저항(R1)은 10K 옴, 제1 커패시터(C1)는 4.7 μ F이다. AVEE 신호의 전압은 -5.5V, 제2 저항(R2)은 1K 옴, 제2 커패시터(C2)는 1 μ F이다. AVDD 신호에 먼저 전원이 연결되고 AVEE 신호에 두번째로 전원이 연결되고 VDDI 신호에 마지막으로 전원이 연결되는 비정상적인 전원 공급 상황이 발생하면, N형 전계효과 트랜지스터(M1)와 P형 전계효과 트랜지스터(M2)가 모두 턴온되지 않았기 때문에, VDDI 신호에 전원이 연결되고 제1 커패시터(C1)의 전위가 상승된 후, 몇 밀리 초(ms) 후에 N형 전계효과 트랜지스터(M1)가 턴온되고 AVEE 신호에 전원이 연결되며, 그 다음에, 제2 커패시터(C2)가 충전되고 AVDD 신호에 전원이 연결되어 입력된다. 따라서, 3채널 전원 공급에서 먼저 VDDI 신호에 전원이 연결되어 구동 칩이 정상적으로 작동할 수 있도록 확보할 수 있다. VDDI 신호가 일정 시간 동안 입력된 후, AVEE 신호가 입력된다. AVEE 신호가 일정 시간 동안 입력된 후, 이어서 AVDD 신호가 입력되어 구동 칩의 부스트 회로가 AVEE 신호 및 AVDD 신호의 구동하에 작동된다.
- [0036] 호스트가 꺼지거나 호스트 전원이 비정상적으로 차단된 경우, 제1 커패시터(C1) 및 제2 커패시터(C2)가 작동 기간에 완전히 충전되었기 때문에, VDDI, AVDD 및 AVEE 전원이 차단될 때, AVDD 신호는 다른 커패시터와 기생 커패시턴스의 존재로 인해 커패시터가 일정 시간 동안 방전된 후에 입력이 소실되어 전원이 차단된다. 제1 커패시터(C1) 및 제2 커패시터(C2)는 더 많은 전력이 저장되기 때문에, 더 오랜 시간 동안 계속하여 입력된다. 또한, R1C1을 R2C2보다 크게 설정하여, VDDI 신호의 연속 입력 시간이 AVEE 신호의 연속 입력 시간보다 더 커지도록 보증할 수 있다. 따라서, AVDD 신호의 전원이 먼저 차단되고 AVEE 신호가 그 다음에 차단되고 VDDI 신호가 마지막에 차단되는 원하는 상태를 얻을 수 있다. 따라서, 호스트 전원이 차단된 경우, 회로의 제어에 의해 AVDD 신

호가 먼저 차단되고 AVEE 신호가 그 다음에 차단되고 마지막으로 VDDI 신호가 차단된다.

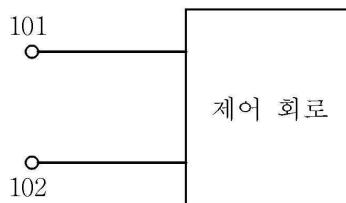
- [0037] 도 2의 회로 구조는 외부 전압에 의해 비정상적으로 전원이 공급되거나 비정상적으로 전원이 차단되더라도, 원하는 전원 공급 순서에 따라 전원이 공급되거나 전원이 차단되도록 회로를 설정할 수 있다.
- [0038] 도 3을 참조하면, 이 경우, 상기 제1 커패시터(C1)의 제2 단자와 상기 N형 전계효과 트랜지스터(M1)의 제2 전극이 연결되고, 상기 제2 커패시터(C2)의 제2 단자와 상기 P형 전계효과 트랜지스터(M2)의 제2 전극이 연결된다. VDDI 신호가 제1 커패시터(C1)를 충전하여 N형 전계효과 트랜지스터(M1)를 턴온시키면, AVEE 신호(일반적으로 -5.5V)가 노드 N1에 입력되어 노드 N3과 노드 N1 사이의 전압 차이를 증가시켜 제1 커패시터(C1)의 충전 속도를 가속화한다. 동시에, N형 전계효과 트랜지스터(M1)의 트랜지스터의 게이트 전극과 소스 전극 및 게이트 전극과 드레인 전극 사이의 전압 차이가 증가하여 AVEE 신호의 전류가 N형 전계효과 트랜지스터(M1)를 통과하는 속도가 빨라지는데, 즉 AVEE 신호가 0V에서 -5.5V의 미리 설정값에 도달하는 속도가 빨라진다. 마찬가지로, 노드 N4와 노드 N2 사이의 전압 차이가 급격히 증가하여 AVDD 신호의 전원 공급 속도를 증가시킨다. AVDD 신호와 AVEE 신호에 신속하게 전원이 연결되어 미리 정해진 전압에 도달하면, 부스터 회로의 논리적 혼란에 인해 큰 래치업 전류가 발생하여 구동 칩이 연소될 가능성을 줄이고 부스터 회로의 전원 연결 과정을 최적화할 수 있다.
- [0039] 선택적으로, 상기 제1 입력 단자는 VDDI 입력 단자이고, 상기 제2 서브 입력 단자는 AVDD 입력 단자이고, 상기 제3 서브 입력 단자는 AVEE 입력 단자이며,
- [0040] 상기 제어 회로는,
- [0041] 제1 단자가 상기 VDDI 입력 단자와 연결되는 제3 저항(R3);
- [0042] 게이트 전극은 상기 제3 저항(R3)의 제2 단자와 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제1 N형 전계효과 트랜지스터(M3);
- [0043] 제1 단자는 상기 제3 저항(R3)의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 제1 N형 전계효과 트랜지스터(M3)의 제2 전극과 연결되는 제3 커패시터(C3);
- [0044] 제1 단자가 상기 제1 N형 전계효과 트랜지스터(M3)의 제2 전극과 연결되는 제4 저항(R4);
- [0045] 게이트 전극은 상기 제4 저항(R4)의 제2 단자와 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제2 N형 전계효과 트랜지스터(M4);
- [0046] 제1 단자는 상기 제4 저항(R4)의 제2 단자와 연결되고, 제2 단자는 접지되거나 또는 상기 제2 N형 전계효과 트랜지스터(M4)의 제2 전극과 연결되는 제4 커패시터(C4);를 포함한다.
- [0047] 상기 구현 방식에서, 상기 제1 N형 전계효과 트랜지스터(M3)의 제2 전극이 구동 칩에 연결되는 부분은 상기 제2 N형 전계효과 트랜지스터(M4)의 제2 전극이 상기 구동 칩에 연결되는 부분과 다르다. 상기 전계효과 트랜지스터의 제1 전극 및 제2 전극은 각각 소스 전극 및 드레인 전극이거나 또는 각각 드레인 전극 및 소스 전극일 수 있다. 상기 회로를 더 잘 이해하기 위해, 도 4를 참조할 수 있으며, 도 4는 본 발명의 일부 실시예에 따른 제어 회로의 구조도이다.
- [0048] 도 4에 도시된 바와 같이, 이 경우, 상기 제3 커패시터(C3)의 제2 단자는 접지되고, 상기 제4 커패시터(C4)의 제2 단자도 접지된다. VDDI 신호에 전원이 연결된 후, 제3 커패시터(C3)가 충전되며, 일반적으로 제3 커패시터(C3)가 약 0.3V에 도달하면 제1 N형 전계효과 트랜지스터(M3)를 턴온시킬 수 있는 문턱 전압에 도달하며, 제3 커패시터(C3)의 전압이 계속하여 증가되면 제1 N형 전계효과 트랜지스터(M3)를 턴온시키고, AVDD 신호는 제1 N형 전계효과 트랜지스터(M3)를 통해 입력되는데, 한 채널은 구동 칩의 부스트 회로로 입력되고, 다른 한 채널은 제4 저항(R4)을 통해 제4 커패시터(C4)를 충전하고, 제4 커패시터(C4)의 전압이 상승함에 따라 제2 N형 전계효과 트랜지스터(M4)를 턴온시키며, AVEE 신호가 구동 칩에 입력될 수 있다. 따라서, VDDI 신호에 먼저 전원이 연결되고, 그 다음에 AVDD 신호에 전원이 연결되고 마지막으로 AVEE 신호에 전원이 연결되는 순서를 확보할 수 있다.
- [0049] 선택적으로, 상기 제어 회로는,
- [0050] 선택 회로;
- [0051] 상기 VDDI 입력 단자가 상기 선택 회로를 통해 게이트 전극에 연결되고, 제1 전극은 상기 AVDD 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제3 N형 전계효과 트랜지스터(M5);

- [0052] 상기 VDDI 입력 단자가 상기 선택 회로를 통해 게이트 전극에 연결되고, 제1 전극은 상기 AVEE 입력 단자와 연결되고, 제2 전극은 상기 구동 칩과 연결되는 제4 N형 전계효과 트랜지스터(M6);를 더 포함하며,
- [0053] 상기 선택 회로는 상기 제3 N형 전계효과 트랜지스터(M5) 및 상기 제4 N형 전계효과 트랜지스터(M6)에서 제1 대상 전계효과 트랜지스터, 제2 대상 전계효과 트랜지스터를 순차적으로 선택하고, 상기 제1 대상 전계효과 트랜지스터, 상기 제2 대상 전계효과 트랜지스터의 소스 전극 및 드레인 전극을 순차적으로 지연하여 턴온(turn on)시키기 위해 사용된다.
- [0054] 상기 구현 방식에서, 상기 제3 N형 전계효과 트랜지스터(M5)의 제2 전극이 구동 칩에 연결되는 부분은 상기 제4 N형 전계효과 트랜지스터(M6)의 제2 전극이 상기 구동 칩에 연결되는 부분과 다르다. 상기 전계효과 트랜지스터의 제1 전극 및 제2 전극은 각각 소스 전극 및 드레인 전극이거나 또는 각각 드레인 전극 및 소스 전극일 수 있다. 상기 제1 대상 전계효과 트랜지스터가 제3 N형 전계효과 트랜지스터(M5)인 경우, 제2 대상 전계효과 트랜지스터는 제4 N형 전계효과 트랜지스터(M6)이며; 상기 제1 대상 전계효과 트랜지스터가 제4 N형 전계효과 트랜지스터(M6)인 경우, 제2 대상 전계효과 트랜지스터는 제3 N형 전계효과 트랜지스터(M5)이다.
- [0055] 상기 구현 방식에서, 선택 회로는 AVDD 신호와 AVEE 신호의 전원 연결 및 전원 차단 순서를 제어하기 위한 서로 다른 커패시터를 포함할 수 있다. AVEE 신호가 AVDD 신호보다 먼저 구동 칩에 입력될 때, 제2 서브 입력 단자는 AVEE 입력 단자이고, 제3 서브 입력 단자는 AVDD 입력 단자이며; AVDD 신호가 AVEE 신호보다 먼저 구동 칩에 입력되는 경우, 제2 서브 입력 단자는 AVDD 입력 단자이고, 제3 서브 입력 단자는 AVEE 입력 단자이다. 물론, 구체적인 방식은 실제 요구에 따라 선택 회로에서 설정할 수 있으며, 본 실시예는 이를 제한하지 않는다.
- [0056] 상기 회로를 더 잘 이해하기 위해, 도 5를 참조할 수 있으며, 도 5는 본 발명의 일부 실시예에 따른 제어 회로의 구조도이다.
- [0057] 도 5에 도시된 바와 같이, VDDI 신호가 입력되면 선택 회로가 작동되어 구동 신호를 출력하며, 순서가 미리 설정된 경우, 제3 N형 전계효과 트랜지스터(M5)와 제4 N형 전계효과 트랜지스터(M6)를 차례로 턴온시켜 AVDD 신호가 먼저 입력되고 그 다음에 AVEE 신호가 입력되도록 순서를 제어한다. 프로그램을 미리 프로그래밍하여 구동 칩 내부에 내장하거나 또는 VDDI 신호에 전원이 연결되어 구동 칩이 작동될 때 구동 칩에서 프로그래밍하여 AVDD 신호 및 AVEE 신호의 전원 연결 순서를 결정할 수 있으며, 선택 회로는 해당 순서에 따라 제어 신호를 출력한다. 따라서, AVDD 신호 및 AVEE 신호의 입력을 프로그래밍을 통해 유연하게 제어할 수 있다.
- [0058] 선택적으로, 상기 AVEE 입력 단자와 상기 구동 칩의 경로에 서미스터가 직렬 연결되며;
- [0059] 및/또는, 상기 AVDD 입력 단자와 상기 구동 칩의 경로에 서미스터가 직렬 연결된다.
- [0060] 상기 구현 방식에서, 서미스터를 직렬 연결하는 방식을 통해, 구동 칩의 부스트 회로에 큰 래치업 전류가 발생하는 경우, 전류가 증가되면 서미스터를 가열하여 저항을 증가시키며, 저항이 증가되면 흐르는 전류의 크기를 감소시킴으로써, 구동 칩을 보호한다.
- [0061] 상기 회로 구조를 더 잘 이해하기 위해, 도 6을 참조할 수 있으며, 도 6은 본 발명의 일부 실시예에 따른 제어 회로의 구조도이다. 도 6에 도시된 바와 같이, 상기 AVEE 입력 단자와 상기 구동 칩의 경로에 서미스터(R5)가 직렬 연결되며; 및, 상기 AVDD 입력 단자와 상기 구동 칩의 경로에 서미스터(R6)가 직렬 연결된다. 구동 칩이 작동하기 시작하면 AVEE 신호와 AVDD 신호가 높은 전류를 끌어오는데, 특히 구동 칩의 부스터 회로에 큰 래치업 전류가 발생하는 경우, 전류가 증가되면 서미스터를 가열하여 저항을 증가시키며, 저항이 증가되면 서미스터를 흐르는 전류의 크기를 감소시킴으로써, 구동 칩을 보호한다.
- [0062] 본 실시예에서, 회로에 트랜지스터를 사용하여 제어하는 것 외에도, 사이리스터를 사용하여 전원의 전류를 제어함으로써 구현할 수도 있다. 또한, 회로의 저항, 서미스터 및 커패시터는 외부 회로 기판에 설치되거나 구동 칩 내부에 통합될 수 있다. 본 발명의 일부 실시예에 설명된 다양한 선택적 구현 방식은 서로 조합되어 구현될 수 있거나 또는 별도로 구현될 수도 있으며, 본 발명의 일부 실시예는 이를 제한하지 않는다.
- [0063] 본 발명의 일부 실시예에 따른 제어 회로는 디스플레이 모듈에 입력된 구동 칩의 복수의 전원 신호의 연결/차단 순서를 제어하기 위해 사용되며, 상기 제어 회로는 각각 서로 다른 외부 전원 신호를 수신하는 제1 입력 단자(101) 및 제2 입력 단자(102)를 포함하며, 상기 제어 회로는 상기 제1 입력 단자(101), 상기 제2 입력 단자(102)가 상기 구동 칩에 전원 신호를 입력하도록 순차적으로 제어하고, 상기 제2 입력 단자(102), 상기 제1 입력 단자(101)의 전원 차단을 순차적으로 제어한다. 따라서, 서로 다른 전원 신호의 순서를 제어하여 서로 다른 전원 신호의 정상적인 순서를 최대한 확보함으로써, 구동 칩의 손상 가능성을 줄인다.

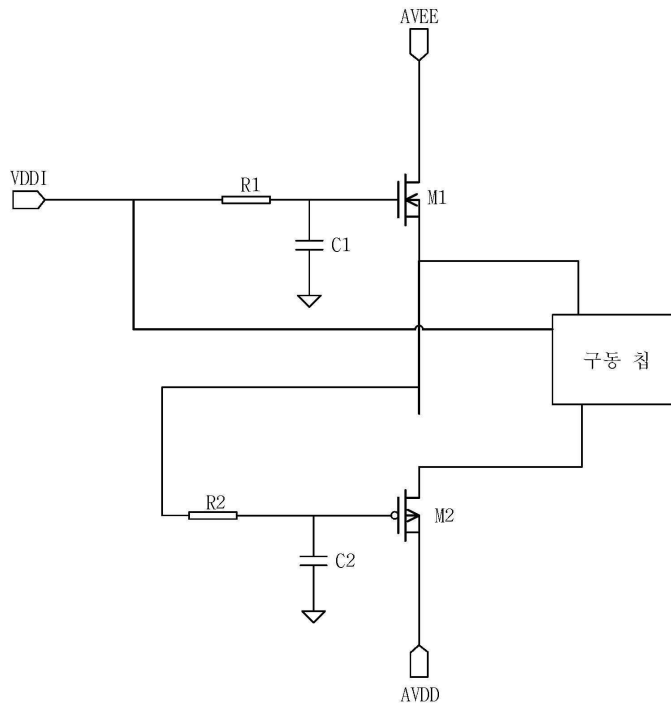
- [0064] 본 발명의 일부 실시예에는 또한 구동 칩과 상기 제어 회로를 포함하여 구성된 액정 디스플레이 구동 모듈을 제공한다.
- [0065] 본 발명의 일부 실시예에는 또한 상기 액정 디스플레이 구동 모듈을 포함하여 구성된 액정 디스플레이 장치를 제공한다.
- [0066] 본 발명의 일부 실시예에서, 상기 액정 디스플레이 장치는 휴대폰, 태블릿 컴퓨터(Tablet Personal Computer), 랩톱 컴퓨터(Laptop Computer), 개인 디지털 비서(Personal Digital Assistant, PDA), 모바일 인터넷 장치(Mobile Internet Device, MID) 또는 웨어러블 장치(Wearable Device) 등일 수 있다.
- [0067] 본 명세서에서, "포함", "함유" 또는 다른 변형은 비배타적 포함을 가리키며, 일련의 요소를 포함하는 프로세스, 방법, 물품 또는 장치가 그 요소뿐만 아니라 명확하게 나열되지 않은 다른 요소도 포함하며, 또는 이러한 프로세스, 방법, 물품 또는 장치의 고유한 요소도 포함한다. 별도로 제한이 없는 한, "... 포함"으로 정의된 요소는 해당 요소를 포함하는 프로세스, 방법, 물품 또는 장치에서 다른 동일한 요소의 존재를 배제하지 않는다.
- [0068] 상술한 바와 같이 첨부도면을 결부하여 본 발명의 실시예를 설명하였지만, 본 발명은 상술한 특정 실시예에 한정되지 않고, 상술한 특정 실시예는 단지 예시일뿐이고 제한적인 것이 아니며, 당업자는 본 발명의 목적 및 청구 범위에 따른 보호 범위를 벗어나지 않고 본 발명에 기반하여 다양한 변형을 실시할 수 있으며, 이러한 변형은 모두 본 발명의 보호범위에 속한다.

도면

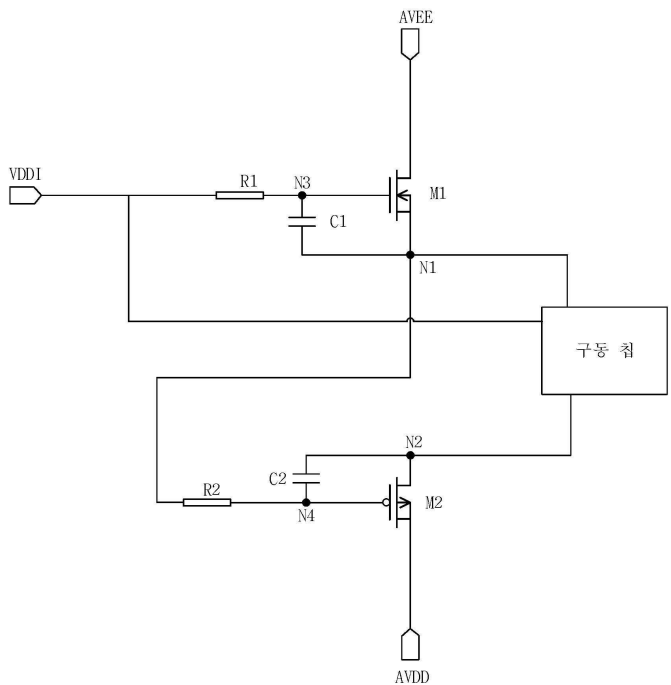
도면1



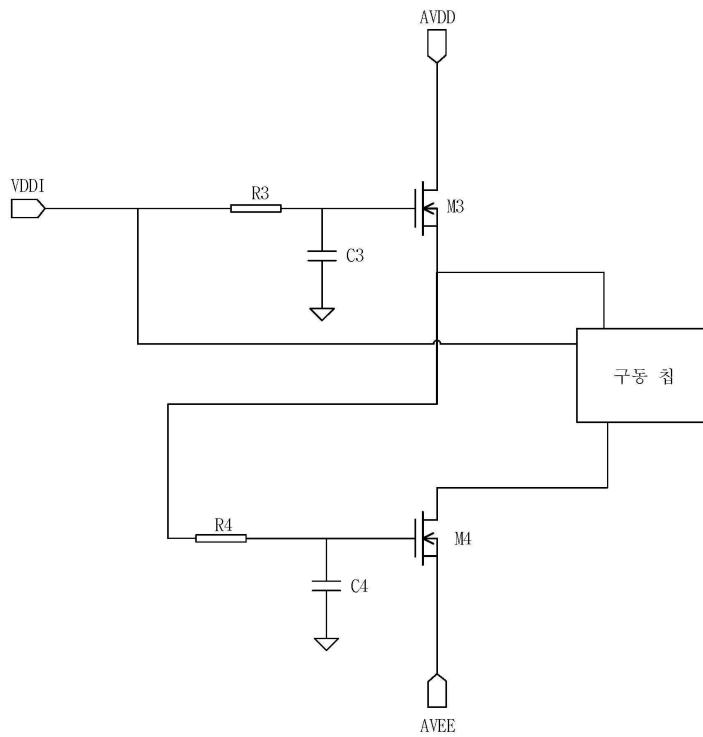
도면2



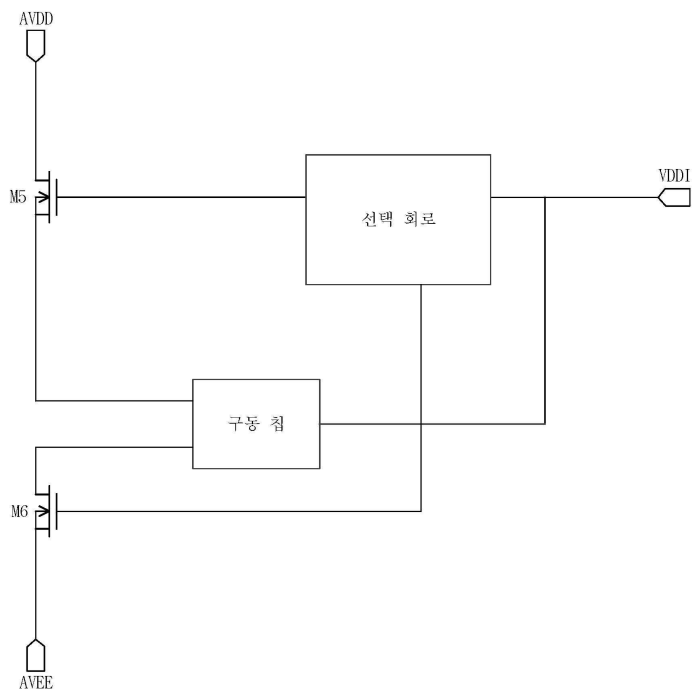
도면3



도면4



도면5



도면6

