



(12) 发明专利

(10) 授权公告号 CN 108732839 B

(45) 授权公告日 2021.09.24

(21) 申请号 201810541906.2

(22) 申请日 2018.05.30

(65) 同一申请的已公布的文献号

申请公布号 CN 108732839 A

(43) 申请公布日 2018.11.02

(73) 专利权人 南京京东方显示技术有限公司

地址 210033 江苏省南京市栖霞区天佑路7号

(72) 发明人 戴超 陈旭 赵文达 王志军

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静

(51) Int. Cl.

G02F 1/1362 (2006.01)

(56) 对比文件

CN 106997132 A, 2017.08.01

CN 103676345 A, 2014.03.26

CN 103944154 A, 2014.07.23

审查员 周明阳

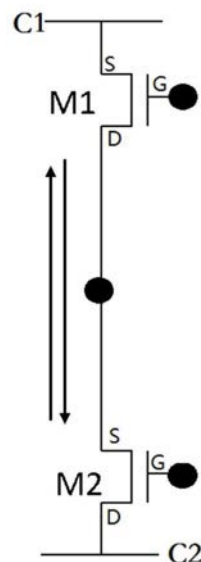
权利要求书1页 说明书7页 附图6页

(54) 发明名称

静电防护电路、静电防护模块以及液晶显示装置

(57) 摘要

本发明公开了一种静电防护电路,包括第一晶体管、第二晶体管;第一晶体管的源极连接第一电极线,第一晶体管的漏极连接第二晶体管的源极,第二晶体管的漏极连接第二电极线,第一晶体管的栅极和第二晶体管的栅极均悬空;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管和第二晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线上的静电电荷通过第二晶体管 and 第一晶体管释放至第一电极线。本发明增强静电防护电路的防护能力,同时降低静电防护回路漏电流对正常显示的影响,以及增加多个放电回路来分别控制正向静电释放和反向静电释放,以降低累积的静电对静电防护电路的负担。



1. 一种静电防护电路,位于第一电极线和第二电极线之间,其特征在于,包括第一晶体管、第二晶体管;第一晶体管的源极连接第一电极线,第一晶体管的漏极连接第二晶体管的源极,第二晶体管的漏极连接第二电极线,第一晶体管的栅极和第二晶体管的栅极均悬空,或者第一晶体管的栅极和第二晶体管的栅极相连;

还包括第十三晶体管和第十四晶体管;第十三晶体管的源极和栅极连接第一晶体管的源极并连接至第一电极线,第十三晶体管的漏极连接在第一晶体管的漏极和第二晶体管的源极之间;第十四晶体管的源极连接在第一晶体管的漏极和第二晶体管的源极之间,第十四晶体管的漏极和栅极短接并连接第二晶体管的漏极;

当第一电极线累积静电电荷时,第一电极线的静电电荷通过第十三晶体管和第二晶体管释放至第二电极线;

当第二电极线累积静电电荷时,第二电极线的静电电荷通过第十四晶体管和第一晶体管释放至第一电极线。

2. 一种静电防护模块,其特征在于,包括上述权利要求1所述的多个静电防护电路串联形成。

3. 一种液晶显示装置,其特征在于,包括权利要求2所述的静电防护模块。

静电防护电路、静电防护模块以及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种静电防护电路、静电防护模块以及液晶显示装置。

背景技术

[0002] 显示器面板在生产制造、运输使用等过程中,会因为各种各样的原因产生静电累积现象,当静电累积到一定程度会在面板上释放,如果没有任何防护措施的话静电释放会击伤显示面板,导致面板显示不良;而静电防护就是采用一些特殊的设计来规避静电释放带来的损伤,常用的面板静电防护方法有:1.通过回路设计分担电荷,避免电荷积累;2.设计静电释放点,使静电在非重要部位释放;3.外部回路设计,主要是防止外部静电引入和进行内部静电疏导。

[0003] 目前面板设计中常用3种用于显示面板的静电防护设计,如图1所示现有技术静电分享电路示意图,将晶体管M1A和晶体管M1B进行栅极G和源极S连接形成二极管,利用两颗晶体管元件进行静电释放,该设计抗静电击穿电压低且回路漏电流高。图2为现有技术浮栅型静电防护电路示意图,是将晶体管M1A的栅极进行悬空,利用寄生电容耦合感应栅极电压进行电荷分享,称之为浮栅型,但该设计在栅极容易产生电荷残留且电荷释放稳定性差。图3为现有技术尖端型静电释放电路示意图,是利用尖端放电的原理释放静电,但是该设计在静电释放后一般会击伤金属和绝缘层,只能进行一次静电防护。

发明内容

[0004] 为解决上述技术问题,本发明提供一种静电防护电路、静电防护模块以及液晶显示装置,针对浮栅型静电防护电路进行改进,有效解决单一元件的浮栅静电防护设计在栅极容易产生电荷残留且电荷释放稳定性差的问题。

[0005] 本发明提供的技术方案如下:

[0006] 本发明公开了一种静电防护电路,位于第一电极线和第二电极线之间,包括第一晶体管、第二晶体管;第一晶体管的源极连接第一电极线,第一晶体管的漏极连接第二晶体管的源极,第二晶体管的漏极连接第二电极线,第一晶体管的栅极和第二晶体管的栅极均悬空;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管和第二晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线上的静电电荷通过第二晶体管和第一晶体管释放至第一电极线。

[0007] 进一步地,还包括第三晶体管;第三晶体管的源极与第一晶体管的源极短接并连接至第一电极线,第三晶体管的栅极连接在第一晶体管的漏极和第二晶体管的源极之间,第三晶体管的漏极与第二晶体管的漏极短接并连接至第二电极线;当第一电极线累积静电电荷时,第一电极线上的静电电荷通过第一晶体管、第三晶体管以及第二晶体管释放至第二电极线;第二电极线上的静电电荷通过第二晶体管、第三晶体管以及第一晶体管释放至第一电极线。

[0008] 进一步地,还包括第六晶体管;第六晶体管的源极连接第一晶体管的源极,第六晶体管的栅极连接第三晶体管的栅极,第六晶体管的漏极与第二晶体管的漏极短接并连接至第二电极线;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管、第六晶体管、第三晶体管以及第二晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线的静电电荷通过第二晶体管、第六晶体管、第三晶体管以及第一晶体管释放至第一电极线。

[0009] 进一步地,还包括第四晶体管;第四晶体管的源极连接第三晶体管的漏极;第四晶体管的栅极连接第二晶体管的源极;第四晶体管的漏极与第二晶体管的漏极短接并连接至第二电极线;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管、第三晶体管、第四晶体管以及第二晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线的静电电荷通过第二晶体管、第四晶体管、第三晶体管以及第一晶体管释放至第二电极线。

[0010] 进一步地,所述第三晶体管为复合式器件;所述第三晶体管等效于N颗晶体管串联,其中N为大于1的整数。

[0011] 进一步地,还包括第十三晶体管和第十四晶体管;第十三晶体管的源极和栅极连接第一晶体管的源极并连接至第一电极线,第十三晶体管的漏极连接在第一晶体管的漏极和第二晶体管的源极之间;第十四晶体管的源极连接在第一晶体管的漏极和第二晶体管的源极之间,第十四晶体管的漏极和栅极短接并连接第二晶体管的漏极;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第十三晶体管和第三晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线的静电电荷通过第十四晶体管和第一晶体管释放至第一电极线。

[0012] 本发明还公开一种静电防护电路,位于第一电极线和第二电极线之间,包括第一晶体管、第二晶体管;第一晶体管的源极连接第一电极线,第一晶体管的漏极连接第二晶体管的源极,第二晶体管的漏极连接第二电极线,第一晶体管的栅极和第二晶体管的栅极相连;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管和第三晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线上的静电电荷通过第二晶体管和第一晶体管释放至第一电极线。

[0013] 进一步地,还包括第三晶体管;第三晶体管的源极连接第一晶体管的源极,第三晶体管的栅极连接在第一晶体管的漏极和第二晶体管的源极之间,第三晶体管的漏极连接第二晶体管的漏极;当第一电极线累积静电电荷时,第一电极线上的静电电荷通过第一晶体管、第三晶体管以及第二晶体管释放至第二电极线;第二电极线上的静电电荷通过第二晶体管、第三晶体管以及第一晶体管释放至第一电极线。

[0014] 进一步地,还包括第四晶体管;第四晶体管的源极连接第三晶体管的漏极;第四晶体管的栅极连接第二晶体管的源极;第四晶体管的漏极与第二晶体管的漏极短接并连接至第二电极线;当第一电极线累积静电电荷时,第一电极线的静电电荷通过第一晶体管、第三晶体管、第四晶体管以及第二晶体管释放至第二电极线;当第二电极线累积静电电荷时,第二电极线的静电电荷通过第二晶体管、第四晶体管、第三晶体管以及第一晶体管释放至第二电极线。

[0015] 进一步地,所述第三晶体管为复合式器件;所述第三晶体管等效于N颗晶体管串

联,其中N为大于1的整数。

[0016] 本发明还公开一种静电防护模块,包括上述多个静电防护电路串联形成。

[0017] 本发明还公开一种液晶显示装置,包括上述静电防护模块。

[0018] 与现有技术相比,本发明通过浮栅型晶体管与二极管型晶体管组合的方式增强静电防护电路的防护能力,同时降低静电防护回路漏电流对正常显示的影响,以及增加多个放电回路来分别控制正向静电释放和反向静电释放,以降低累积的静电对静电防护电路的负担。

附图说明

[0019] 下面将以明确易懂的方式,结合附图说明优选实施方式,对本发明予以进一步说明。

[0020] 图1为现有技术静电分享电路示意图;

[0021] 图2为现有技术浮栅型静电防护电路示意图;

[0022] 图3为现有技术尖端型静电释放电路示意图;

[0023] 图4为本发明一种静电防护电路的实施例一的电路示意图;

[0024] 图5为本发明一种静电防护电路实施例二的电路示意图;

[0025] 图6为本发明一种静电防护电路实施例三的电路示意图;

[0026] 图7为本发明一种静电防护电路实施例四的电路示意图;

[0027] 图8为本发明实施例四中复合式器件结构图;

[0028] 图9为本发明一种静电防护电路实施例五的电路示意图;

[0029] 图10为本发明液晶显示装置中静电防护电路示意图。

[0030] 附图标号说明:

[0031] M1、第一晶体管,M2、第二晶体管,M3、第三晶体管,M4、第四晶体管,M6、第六晶体管,M13、第十三晶体管,M14、第十四晶体管,C1、第一电极线,C2、第二电极线。

具体实施方式

[0032] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对照附图说明本发明的具体实施方式。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,并获得其他的实施方式。

[0033] 为使图面简洁,各图中只示意性地表示出了与本发明相关的部分,它们并不代表其作为产品的实际结构。另外,以使图面简洁便于理解,在有些图中具有相同结构或功能的部件,仅示意性地绘示了其中的一个,或仅标出了其中的一个。在本文中,“一个”不仅表示“仅此一个”,也可以表示“多于一个”的情形。

[0034] 需要说明的是本发明中所述第一电极线C1和第二电极线C2并不作具体限定,任何累积有静电电荷需要释放的两条线路均可以为第一电极线C1和第二电极线C2,本发明静电防护电路位于第一电极线C1和第二电极线C2之间。

[0035] 实施例一

[0036] 图4a为本发明一种静电防护电路的实施例一的一种电路示意图,如图4a所示,一

种静电防护电路,包括第一晶体管M1、第二晶体管M2;第一晶体管M1的源极S连接第一电极线C1,第一晶体管M1的漏极D连接第二晶体管M2的源极S,第二晶体管M2的漏极D连接第二电极线C2,第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空。

[0037] 当第一电极线C1累积静电电荷时,电位会发生变化(例如突然升高),由于第一晶体管M1源极S与栅极G之间存在寄生电容,源极S电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第一晶体管M1,同理,当第二晶体管M2源极S(即第一晶体管M1漏极D)电位上升后,由于第二晶体管M2源极S和栅极G之间的寄生电容的耦合作用,第二晶体管M2的栅极G也会随之升高使第二晶体管M2打开释放电荷给第二电极线C2。

[0038] 当第二电极线C2累积静电电荷时,电位会发生变化(例如突然升高),由于第二晶体管M2漏极D与栅极G之间存在寄生电容,漏极D电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第二晶体管M2,同理,当第二晶体管M2源极S(即第一晶体管M1漏极D)电位上升后,由于第一晶体管M1漏极D和栅极G之间的寄生电容的耦合作用,第一晶体管M1的栅极G也会随之升高使第一晶体管M1打开释放电荷给第一电极线C1。

[0039] 需要说明的是,本实施例中第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,也可以设计为第一晶体管M1的栅极G和第二晶体管M2的栅极G相连,图4b为本发明一种静电防护电路的实施例一的另一种电路示意图。第一晶体管M1和第二晶体管M2的栅极G断开时,第一晶体管M1和第二晶体管M2的栅极G由于靠耦合作用抬升电位会依序不同时升高,而当第一晶体管M1和第二晶体管M2的栅极G相连时,第一晶体管M1和第二晶体管M2的栅极G电位会同时拉高,但是拉高的电位会低于栅极G断开的情况。上面两种设计都能够提高电流释放的速度以及降低器件被击伤的几率。

[0040] 实施例二

[0041] 图5a所示为本发明一种静电防护电路实施例二的一种电路示意图,如图5a所示,静电防护电路包括第一晶体管M1、第二晶体管M2以及第三晶体管M3;第一晶体管M1的源极S连接第一电极线C1,第一晶体管M1的漏极D连接第二晶体管M2的源极S,第二晶体管M2的漏极D连接第二电极线C2,第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,第三晶体管M3的源极S与第一晶体管M1的源极S短接并连接至第一电极线C1,第三晶体管M3的栅极G连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第三晶体管M3的漏极D与第二晶体管M2的漏极D短接并连接至第二电极线C2。

[0042] 当第一电极线C1累积静电电荷时,电位会发生变化(例如突然升高),由于第一晶体管M1源极S与栅极G之间存在寄生电容,源极S电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第一晶体管M1,然后电荷释放至第一晶体管M1、第二晶体管M2、第三晶体管M3连接处,这样第三晶体管M3的栅极G就获得高电位打开第三晶体管M3,然后通过第三晶体管M3将电荷释放给第二电极线C2。同时,由于第二晶体管M2打开,电荷也会从第二晶体管M2释放一部分。

[0043] 当第二电极线C2累积静电电荷时,电位会发生变化(例如突然升高),由于第二晶体管M2漏极D与栅极G之间存在寄生电容,漏极D电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第二晶体管M2,然后电荷释放至第一、二、三晶体管连接处,这样第三晶体管M3的栅极G就获得高电位打开第三晶体管M3,然后通过第三晶体管M3将电荷释放给第二电极线C2。同时,由于第一晶体管M1打开,电荷也会从第一晶体管M1释放一部

分。

[0044] 当第三晶体管M3在遭受静电击伤后,如果第一晶体管M1和第二晶体管M2处于正常状态,该静电防护回路依然能够正常工作。

[0045] 需要说明的是,本实施例中第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,也可以设计为第一晶体管M1的栅极G和第二晶体管M2的栅极G相连,如图5b为本发明一种静电防护电路实施例二的另一种电路示意图。

[0046] 实施例三

[0047] 图6所示为本发明一种静电防护电路实施例三的电路上示意图,如图6所示,静电防护电路包括第一晶体管M1、第二晶体管M2、第三晶体管M3以及第六晶体管M6;第一晶体管M1的源极S连接第一电极线C1,第一晶体管M1的漏极D连接第二晶体管M2的源极S,第二晶体管M2的漏极D连接第二电极线C2,第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,第三晶体管M3的源极S与第一晶体管M1的源极S短接并连接至第一电极线C1,第三晶体管M3的栅极G连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第三晶体管M3的漏极D与第二晶体管M2的漏极D短接并连接至第二电极线C2;第六晶体管M6的源极S与第一晶体管M1的源极S短接并连接至第一电极线C1,第六晶体管M6的栅极G连接第三晶体管M3的栅极G并连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第六晶体管M6的漏极D与第二晶体管M2的漏极D短接并连接至第二电极线C2。

[0048] 当第一电极线C1突然累积电荷时,电位会发生变化(例如突然升高),由于第一晶体管M1源极S与栅极G之间存在寄生电容,源极S电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第一晶体管M1,然后电荷释放至第一晶体管M1、第二晶体管M2、第三晶体管M3、第六晶体管M6连接处,这样第三晶体管M3、第六晶体管M6的栅极G就获得高电位打开第三晶体管M3、第六晶体管M6,然后通过第三晶体管M3、第六晶体管M6将电荷释放给第二电极线C2。同时,电荷从第二晶体管M2释放一部分。

[0049] 当第二电极线C2突然累积电荷时,电位会发生变化(例如突然升高),由于第二晶体管M2漏极D与栅极G之间存在寄生电容,漏极D电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第二晶体管M2,然后电荷释放至第二晶体管M2、第一晶体管M1、第三晶体管M3、第六晶体管M6连接处,这样第三晶体管M3、第六晶体管M6的栅极G就获得高电位打开第三晶体管M3、第六晶体管M6,然后通过第三晶体管M3、第六晶体管M6将电荷释放给第二电极线C2。同时,电荷从第一晶体管M1释放一部分。

[0050] 当第三晶体管M3或第六晶体管M6在遭受静电击伤后,如果第一晶体管M1和第二晶体管M2处于正常状态,该静电防护回路依然能够正常工作。

[0051] 同理,如果第一晶体管M1、第二晶体管M2被静电击伤后,如果第三晶体管M3和第六晶体管M6处于正常状态,该静电防护回路依然能够正常工作。

[0052] 实施例四

[0053] 图7所示为本发明一种静电防护电路实施例四的电路上示意图,如图7所示,静电防护电路包括第一晶体管M1、第二晶体管M2、第三晶体管M3以及第四晶体管M4;第一晶体管M1的源极S连接第一电极线C1,第一晶体管M1的漏极D连接第二晶体管M2的源极S,第二晶体管M2的漏极D连接第二电极线C2,第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,第三晶体管M3的源极S与第一晶体管M1的源极S短接并连接至第一电极线C1,第三晶体管M3的栅

极G连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第三晶体管M3的漏极D与第四晶体管M4的源极S连接;第四晶体管M4的栅极G连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第四晶体管M4的漏极D与第二晶体管M2的漏极D短接并连接至第二电极线C2。因为第三晶体管M3管是主要释放电荷的元件,承受的电荷冲击比较大,因此本实施例中再串联额外的元件第四晶体管M4,分担第三晶体管M3的负担。

[0054] 当第一电极线C1累积静电电荷时,电位会发生变化(例如突然升高),由于第一晶体管M1源极S与栅极G之间存在寄生电容,源极S电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第一晶体管M1,然后电荷释放至第一晶体管M1、第二晶体管M2、第三晶体管M3以及第四晶体管M4连接处,这样第三晶体管M3的栅极G和第四晶体管M4的栅极G就获得高电位打开第三晶体管M3和第四晶体管M4,然后通过第三晶体管M3和第四晶体管M4将电荷释放给第二电极线C2。同时,由于第二晶体管M2打开,电荷也会从第二晶体管M2释放一部分。

[0055] 当第二电极线C2累积静电电荷时,电位会发生变化(例如突然升高),由于第二晶体管M2漏极D与栅极G之间存在寄生电容,漏极D电位升高会由于电容耦合作用导致栅极G电位随之升高,这样就可以打开第二晶体管M2,然后电荷释放至第二晶体管M2、第四晶体管M4、第三晶体管M3、第一晶体管M1连接处,这样第三晶体管M3的栅极G和第四晶体管M4的栅极G就获得高电位打开第三晶体管M3和第四晶体管M4,然后通过第三晶体管M3和第四晶体管M4将电荷释放给第二电极线C2。同时,由于第一晶体管M1打开,电荷也会从第一晶体管M1释放一部分。

[0056] 需要说明的是,本实施例中第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,也可以设计为第一晶体管M1的栅极G和第二晶体管M2的栅极G连接。

[0057] 优选的,第三晶体管M3采用特殊元件设计,即采用复合式器件,图8为本发明实施例四复合式器件的结构图,图8所示,该器件可以等效为3颗晶体管串联,3颗晶体管的沟道长度依次为L1、L2、L3,本实施例中L1/L2/L3的长度取值视实际使用情况而定,长度可以相同也可以不同。等效的相邻两颗晶体管公用源极S和漏极D。本实施例中以第三晶体管M3等效于3个晶体管串联为例,但N的取值视实际使用情况而定,本发明对N不作限定。

[0058] 实施例五图9a所示为本发明一种静电防护电路实施例五的一种电路示意图,如图9a所示,静电防护电路包括第一晶体管M1、第二晶体管M2、第十三晶体管M13和第十四晶体管M14;第一晶体管M1的源极S连接第一电极线C1,第一晶体管M1的漏极D连接第二晶体管M2的源极S,第二晶体管M2的漏极D连接第二电极线C2,第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空;第十三晶体管M13的源极S和栅极G连接第一晶体管M1的源极S并连接至第一电极线C1,第十三晶体管M13的漏极D连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间;第十四晶体管M14的源极S连接在第一晶体管M1的漏极D和第二晶体管M2的源极S之间,第十四晶体管M14的漏极D和栅极G短接并连接第二晶体管M2的漏极D。

[0059] 当第一电极线C1累积静电电荷时,电位发生变化(例如突然升高),电荷会优先经过第十三晶体管M13释放至第一晶体管M1的漏极D和第二晶体管M2的源极S连接处,然后连接处电位突然升高,由于第二晶体管M2的源极S和栅极G之间存在耦合电容使得栅极G电位升高,打开第二晶体管M2使电荷释放给第二电极线C2;

[0060] 当第二电极线C2累积静电电荷时,电位发生变化(例如突然升高),电荷会优先经

过第十四晶体管M14释放至第一晶体管M1的漏极D和第二晶体管M2的源极S连接处,然后连接处电位突然升高,由于第一晶体管M1的漏极D和栅极G之间存在耦合电容使得栅极G电位升高,打开第一晶体管M1使电荷释放给第一电极线C1。

[0061] 需要说明的是,本实施例中第一晶体管M1的栅极G和第二晶体管M2的栅极G均悬空,也可以设计为连接,如9b为本发明一种静电防护电路实施例五的另一种电路示意图。

[0062] 本发明还公开一种液晶显示装置,包括信号驱动电路、栅极驱动电路以及多个上述静电防护电路组成的静电防护模块。图10为本发明液晶显示装置中静电防护电路示意图。如图10所示,多个静电防护电路形成静电防护模块与液晶显示装置的面板内部的线路相连,本发明中静电防护电路应用于液晶显示装置中,一部分静电防护电路用于释放数据信号线与公共电极线之间的静电电荷,因此第一电极线C1为数据信号线,第二电极线C2为公共电极线,而另一部分静电防护电路用于释放栅极信号线与公共电极线之间的静电电荷,因此第一电极线C1指栅极信号线,第二电极线C2指公共电极线。

[0063] 应当说明的是,上述实施例均可根据需要自由组合。以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

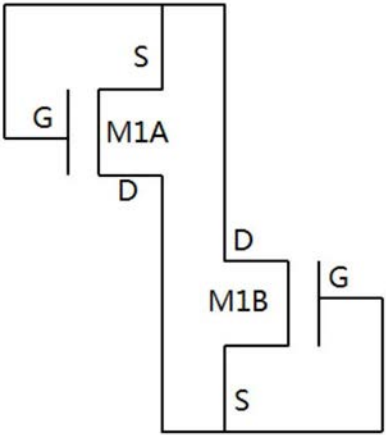


图1

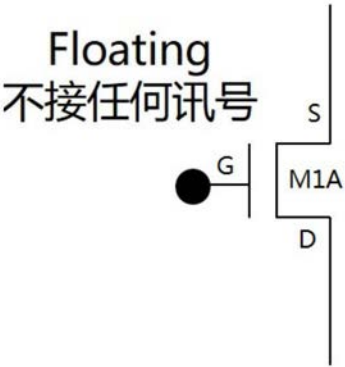


图2



图3

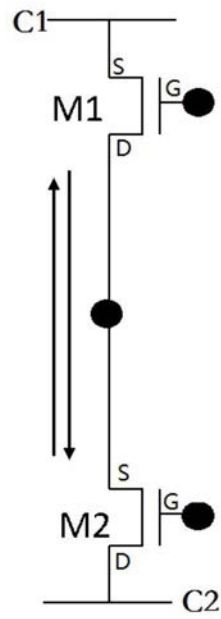


图4a

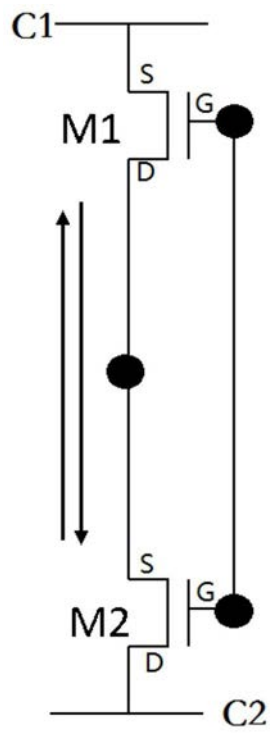


图4b

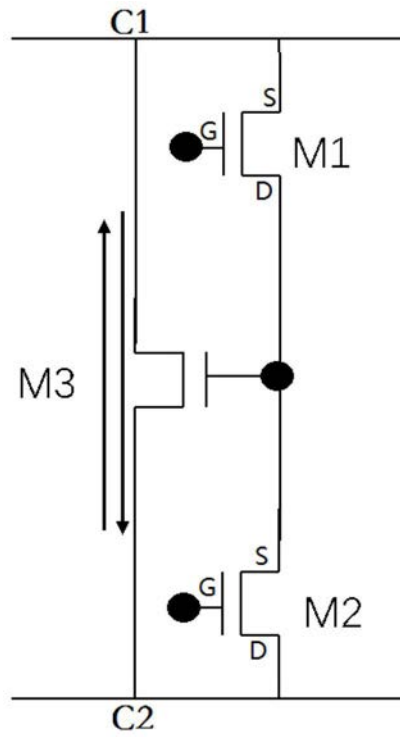


图5a

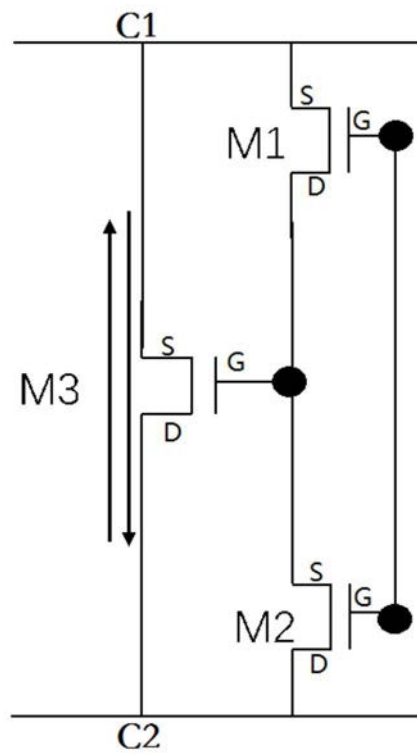


图5b

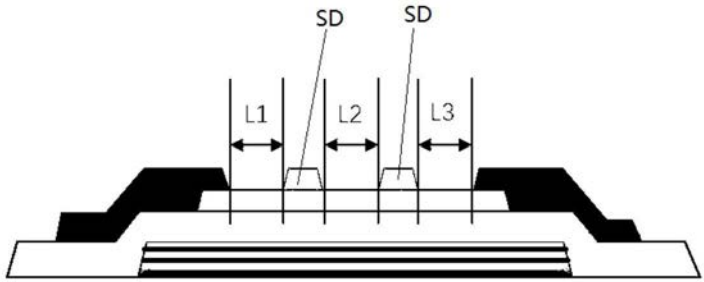


图8

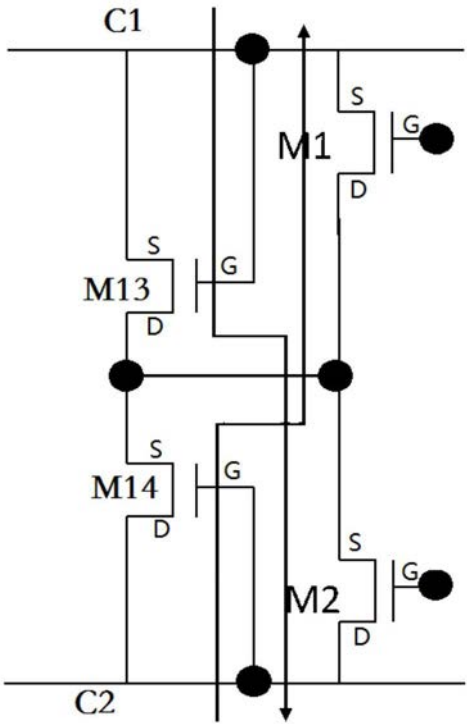


图9a

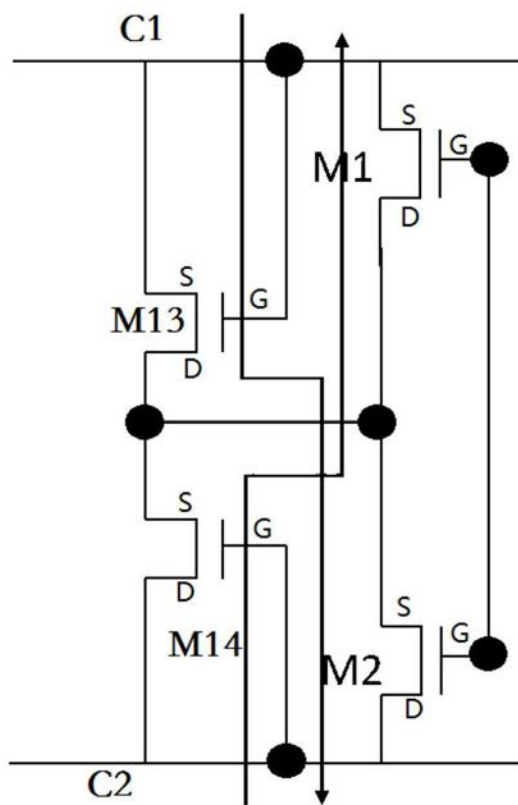


图9b

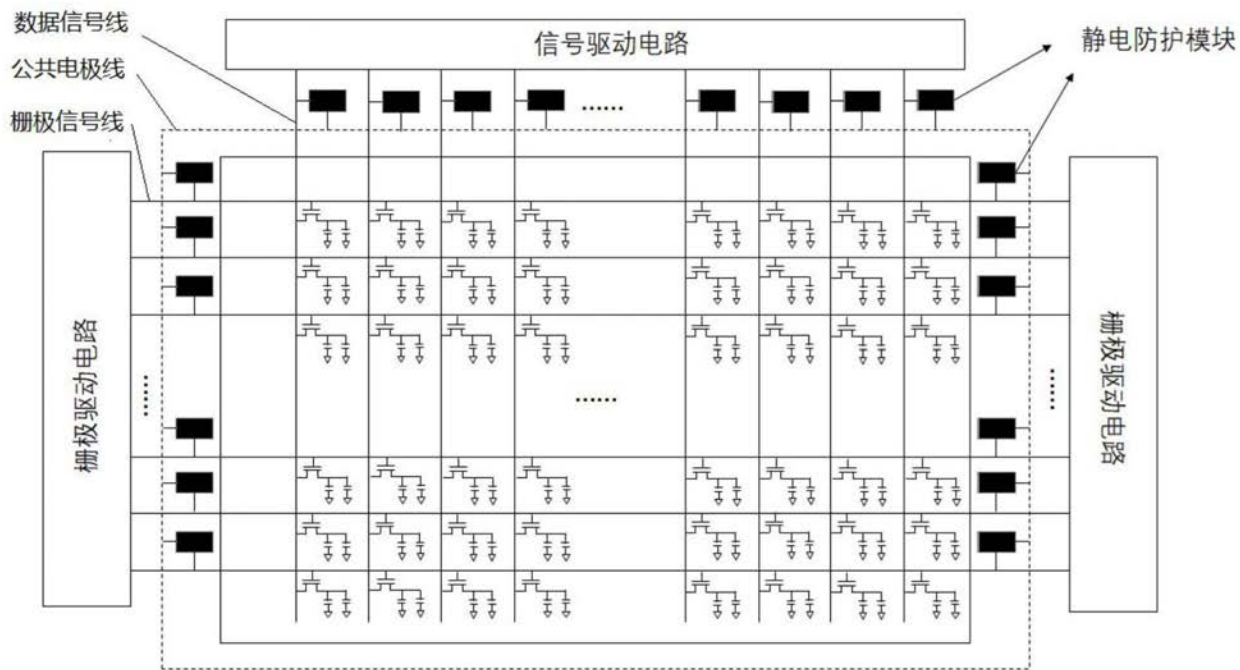


图10